

# **Systematischer Entwurf analoger Low-Power Schaltungen in CMOS anhand einer kapazitiven Sensorauslese**

Von der Fakultät für Ingenieurwissenschaften  
der Universität Duisburg-Essen  
zur Erlangung des akademischen Grades eines

Dr.-Ing.

genehmigte Dissertation

von

Benjamin Bechen

aus Hilden

Referent:	Prof. B. J. Hosticka, Ph. D.
Korreferent:	Prof. Dr.-Ing. H.-L. Fiedler
Tag der mündlichen Prüfung:	19.11.2007

# Vorwort

Diese Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Fraunhofer Institut für Mikroelektronische Schaltungen und Systeme (IMS) in Duisburg.

An dieser Stelle möchte ich Herrn Prof. B. J. Hosticka, Ph. D., für die Themenstellung und seine engagierte wissenschaftliche Betreuung der Arbeit und den Herren Prof. Dr. A. Grabmaier bzw. Prof. Dr. G. Zimmer, die mir als Institutsleiter die Durchführung der vorliegenden Arbeit am IMS in Duisburg ermöglichten, meinen besonderen Dank aussprechen.

Herrn Prof. Dr. H. Fiedler danke ich für die freundliche und sehr gewissenhafte Übernahme des Korreferats.

Für die freundliche Unterstützung und fachliche Anregung in zahlreichen Diskussionen möchte ich mich bei allen Kollegen der Abteilung SYS bedanken. Namentlich möchte ich die Herren T. v. d. Boom, Dr. D. Weiler, S. Thoß, P. Fürst, R. Thiel, N. Haas, W. Rack und F. Matheis hervorheben.

Abschließend möchte ich mich für die Unterstützung und das Verständnis meiner Familie und Freunde während der Anfertigung der hier vorliegenden Arbeit bedanken.

# Inhaltsverzeichnis

Vorwort	i
Inhaltsverzeichnis	ii
Abbildungsverzeichnis	v
Tabellenverzeichnis	x
Abkürzungen und Formelzeichen	xi
1 Einleitung	1
1.1 Motivation und Ziele	1
1.2 Gliederung	3
2 Grundlagen	4
2.1 Der MOSFET	4
2.1.1 Starke Inversion	5
2.1.2 Schwache Inversion	10
2.1.3 Physikalische Effekte des Kurzkanal-MOSFETs	13
2.2 Modellierung des Rauschens	14
3 Theoretische Zusammenhänge des Wirkleistungsverbrauchs	18
3.1 Digitalschaltungen	18
3.1.1 Statische und Dynamische Wirkleistung	18
3.1.2 Limitierungen	21
3.2 Analogschaltungen	22
3.2.1 Leistung in einpoligen Systemen	22
3.2.2 Limitierungen	24
3.3 Vergleich des Leistungsverbrauchs in analogen und digitalen Schaltungen	25
3.4 Maßnahmen zur Reduktion der Leistungsaufnahme	27
4 Betrachtung von Technologieaspekten, Schaltungstechnik und Systemarchitektur	33
4.1 Technologie	33
4.1.1 Leckstrom	33
4.1.2 Low-Voltage Betrieb	36
4.1.3 Technologierobustheit	38
4.1.4 Technologieskalierung	39
4.2 Analoge CMOS Schaltungstechnik am Beispiel Filter	41
4.2.1 Zeitkontinuierlich: Passive LCR-Filter	41

4.2.2	Zeitkontinuierlich: Active-RC Filter	43
4.2.3	Zeitkontinuierlich: Active Gm-C Filter	48
4.2.4	Zeitdiskret: Active-SC Filter	51
4.2.5	Leistungsvergleich	55
4.3	Systemarchitektur am Beispiel ADU	58
4.3.1	SAR A/D-Umsetzer	60
4.3.2	Zyklischer A/D-Umsetzer	64
4.3.3	Sigma-Delta A/D-Umsetzer	67
4.3.4	Vergleich der Leistungseffizienz	71
5	Komponenten für eine Low-Power Sensorsignalauslese	75
5.1	Grundsätzliche Betrachtungen zur Sensorsignalauslese	75
5.2	Monolithisch integrierbarer Drucksensor	79
5.3	Komponenten	80
5.3.1	Drucksensorauslese nach dem Oszillatorprinzip	81
5.3.2	SAR-ADU	90
5.3.3	Zyklischer ADU	93
5.3.4	C/U-Konverter	105
5.4	Rauschbetrachtung	108
5.4.1	SAR-ADU	109
5.4.2	Zyklischer ADU	114
5.4.3	C/U-Konverter	120
6	Simulations- und Messergebnisse	125
6.1	Nichtidealitäten im Simulator	125
6.2	Kapazitätsauslese nach dem Oszillatorprinzip	126
6.3	SAR A/D-Umsetzer	134
6.3.1	Simulation	135
6.3.2	Messung	144
6.4	Zyklischer A/D-Umsetzer	149
6.4.1	Simulation	150
6.4.2	Messung	155
6.5	C/U-Konverter	159
6.6	Vergleichsanalyse	162
6.6.1	Technologieunabhängiges Figure of Merit	162
6.6.2	Vergleich	164

7	Zusammenfassung und Ausblick	168
7.1	Themenbeschreibung	168
7.2	Ergebnisse und Innovationen	168
7.3	Zukünftige Arbeit	170
Literatur		171
Anhang		182
Anhang A	Ergänzungen zur Kapazitätsauslese nach dem Oszillatorprinzip	182
A.1	Zähler	182
Anhang B	Ergänzungen zum SAR A/D-Umsetzer	185
B.1	Digitalteil	185
B.2	Matlab Beschreibung des SAR ADUs	188
B.3	Skripte zur Auswertung der Messungen in Matlab	191
B.4	Parameter des SAR A/D-Umsetzer	194
B.5	Berechnung der Rauschspannungsquadrate	195
Anhang C	Ergänzungen zum zyklischen A/D-Umsetzer	195
C.1	Digitalteil	196
C.2	Matlab Beschreibung des zyklischen ADUs	203
C.3	Skripte zur Auswertung der Messungen in Matlab	205
C.4	Parameter des realisierten zyklischen ADUs	208
C.5	Berechnung der Rauschspannungsquadrate	209
Anhang D	Ergänzungen zum C/U-Konverter	209
D.1	Parameter des C/U-Konverters	209
D.2	Berechnung der Rauschspannungsquadrate	210
Anhang E	Nebenrechnungen	211
E.1	Eingangsbezogenes Rauschen beim $\Sigma\Delta$ -Modulator	211

# Abbildungsverzeichnis

Abbildung 2.1: Querschnitt durch einen NMOS- und PMOS-Transistor in p-Substrat.....	5
Abbildung 2.2: NMOS mit angelegten Spannungen in Verarmung (a) und Inversion (b) .....	6
Abbildung 2.3: Kanal vom NMOS im Pinch-Off.....	7
Abbildung 2.4: Kleinsignalersatzschaltbild vom MOSFET .....	8
Abbildung 2.5: Prinzipieller Verlauf vom Drainstrom $I_D$ über $U_{GS}$ .....	10
Abbildung 2.6: Ersatzschaltbild eines rauschenden Widerstandes .....	14
Abbildung 2.7: Ersatzschaltbild eines rauschenden MOSFETs.....	15
Abbildung 3.1: Modell eines digitalen CMOS-Gatters .....	19
Abbildung 3.2: CMOS-Inverter mit drei Hauptkomponenten des Stromverbrauchs.....	21
Abbildung 3.3: Kleinsignalersatzschaltbild eines „Common Source“ Verstärkers .....	23
Abbildung 3.4: Normierte Leistung in einem einpoligen analogen bzw. digitalen System....	26
Abbildung 3.5: Kleinsignalersatzschaltbild eines rauschenden OTAs mit Rückkopplung.....	28
Abbildung 3.6: Übertragungsfunktion des rückgekoppelten (grün) und nicht rückgekoppelten (schwarz) OTAs.....	29
Abbildung 3.7: Maximales SNR in dB in Abhängigkeit von $\beta$ (für $C_L=1\text{pF}$ ; $U_{pp}=2,5\text{V}$ ; 80dB Leerlaufverstärkung OTA) .....	30
Abbildung 4.1: Querschnitt eines MOSFETs mit sechs Leckstrom-Mechanismen.....	34
Abbildung 4.2: Passiver RC-Tiefpass .....	41
Abbildung 4.3: Aktiver RC-Tiefpass mit einpoligem Transkonduktanzverstärker .....	44
Abbildung 4.4: Aktiver RC-Tiefpass mit Rauschquellen.....	45
Abbildung 4.5: Gm-C Tiefpass erster Ordnung .....	48
Abbildung 4.6: Gm-C Tiefpass erster Ordnung mit äquivalenten Rauschquellen.....	49
Abbildung 4.7: Aktiver SC-Tiefpass .....	51
Abbildung 4.8: Rauschersatzschaltbild des SC-Tiefpass in Phase $\phi_2$ .....	52
Abbildung 4.9: Leistungsverbrauch verschiedener Tiefpässe in Abhängigkeit der Frequenz des Eingangssignals.....	56
Abbildung 4.10: Leistungsverbrauch verschiedener Tiefpässe in Abhängigkeit der Polfrequenz des Filters .....	57
Abbildung 4.11: Prinzip des SAR A/D-Umsetzers .....	60
Abbildung 4.12: Kapazitiver D/A-Umsetzer.....	61
Abbildung 4.13: Kondensatorarray des DAU mit Rauschquellen .....	61

Abbildung 4.14: SC-Verstärker „single-ended“ ohne Schalter .....	62
Abbildung 4.15: Prinzip des zyklischen A/D-Umsetzers nach dem RSD-Verfahren .....	64
Abbildung 4.16: SC-Verstärker voll differentiell ohne Schalter .....	65
Abbildung 4.17: Prinzip des $\Sigma\Delta$ A/D-Umsetzers M-ter Ordnung .....	67
Abbildung 4.18: SC-Integrator voll differentiell ohne Schalter .....	68
Abbildung 4.19: Figure of Merit vom SAR-ADU, zyklischen ADU, $\Sigma\Delta$ -Modulator und $\Sigma\Delta$ -ADU (M=3) .....	73
Abbildung 5.1: Sensorspezifisches Frontend .....	75
Abbildung 5.2: Elektrisches Ersatzschaltbild eines Sensors mit Spannung als Ausgangssignal .....	76
Abbildung 5.3: Vier Schemata einer Sensorauslese .....	76
Abbildung 5.4: Modell einer vereinfachten generischen Sensorauslese .....	77
Abbildung 5.5: Querschnitt durch den monolithisch integrierbaren Drucksensor .....	80
Abbildung 5.6: Kapazitätsauslese nach dem Oszillatorprinzip .....	82
Abbildung 5.7: Telescopic-OTA („single-ended“) .....	83
Abbildung 5.8: Präzisions-Schmitt-Trigger mit vorgebbaren Schwellen $U_{ST1}$ und $U_{ST2}$ .....	84
Abbildung 5.9: Zweistufiger Komparator .....	84
Abbildung 5.10: Geschaltete Stromquellen für die Kapazitätsauslese nach dem Oszillatorprinzip .....	85
Abbildung 5.11: Kleinsignalersatzschaltbild des Integrators .....	86
Abbildung 5.12: Qualitativer Verlauf der Integratorausgangsspannung .....	87
Abbildung 5.13: Blockschaltbild eines SAR A/D-Umsetzers mit der Auflösung B in Bit .....	91
Abbildung 5.14: Alternative Realisierung des kapazitiven D/A-Umsetzers mit Sample&Hold Funktion .....	93
Abbildung 5.15: Blockschaltbild des zyklischen A/D-Umsetzers .....	94
Abbildung 5.16: Sample&Hold-Stufe mit implementierter Signal-Invertierung .....	95
Abbildung 5.17: relative Ausgangsspannung der Sample&Hold Stufe in Abhängigkeit der Leerlaufverstärkung des Verstärkers .....	96
Abbildung 5.18: Prinzip-Schaltbild der Standard Multiplizierstufe .....	97
Abbildung 5.19: relative Ausgangsspannung der Multiplizierstufe in Abhängigkeit der Leerlaufverstärkung des Verstärkers .....	98
Abbildung 5.20: Halbes Schaltbild der Multiplizierstufe mit implementierter Mismatch Kompensation .....	99
Abbildung 5.21: Taktschema für die Multiplizierstufe mit Mismatch Kompensation .....	99

Abbildung 5.22: Schaltplan eines Switched-Opamp .....	101
Abbildung 5.23: CMFB für den verwendeten SOA .....	101
Abbildung 5.24: Regenerativer Komparator .....	102
Abbildung 5.25: Clock Booster .....	103
Abbildung 5.26: Kombination aus S&H-Stufe und Multiplizierstufe mit einem Verstärker .....	104
Abbildung 5.27: C/U-Konverter .....	106
Abbildung 5.28: Ausgangsspannung des C/U-Konverters bei minimalem Druck (Sollwert 1V) über der Leerlaufverstärkung $A_{U0}$ .....	107
Abbildung 5.29: Deaktivierbarer Folded-Cascode OTA mit Gain Boosting .....	108
Abbildung 5.30: Der i-te Inverter des Komparators mit Rauschquellen .....	110
Abbildung 5.31: Ersatzschaltbild eines zweistufigen Verstärkers mit Rauschquellen .....	115
Abbildung 5.32: Beträge der Rauschübertragungsfunktionen von den Eingängen der SOAs in der S&H-Stufe $H_{nSH-X2}(f)$ und in der Multiplizierstufe $H_{nX2-X2}(f)$ zum Ausgang der Multiplizierstufe .....	117
Abbildung 5.33: Ersatzschaltbild eines einstufigen Verstärkers mit Rauschquellen .....	121
Abbildung 5.34: Betrag der Rauschübertragungsfunktion vom Eingang des OTAs zum Ausgang des C/U-Konverters mit $f_s = 16$ kHz .....	122
Abbildung 6.1: OTA-Modell („single-ended“) .....	128
Abbildung 6.2: Simulation zur Bestimmung des Integrationsstromes .....	128
Abbildung 6.3: Simulation zur Bestimmung eines geeigneten Ausgangswiderstandes .....	129
Abbildung 6.4: Simulation des Bode Diagramms vom Telescopic OTA .....	130
Abbildung 6.5: Bestimmung der Schwellen des Präzisions-Schmitt-Triggers in einer Simulation .....	131
Abbildung 6.6: Simulation der Oszillationsfrequenz der Sensorauslese in Abhängigkeit des Druckes .....	132
Abbildung 6.7: Simulation der Nichtlinearität der Drucksensorauslese nach dem Oszillatorprinzip .....	132
Abbildung 6.8: Prinzipschaltbild des SAR A/D-Umsetzers .....	134
Abbildung 6.9: SNDR über eingangsbezogener Rauschspannung des Komparators für einen 10 Bit SAR ADU .....	136
Abbildung 6.10: SNDR in Abhängigkeit des Kondensatormismatches für einen 10 Bit SAR ADU .....	137



Abbildung 6.11: Zeitlicher Verlauf der Eingänge clk, reset und der Ausgänge $D_{\text{aus}}$ , done sowie der internen Signale $U_{\text{init}}$ , $U_{\text{LSB}}$ , $U_{\text{MSB}}$ für eine Eingangsspannung von 1,666 V („typical“, 27 °C).....	138
Abbildung 6.12: Interne Steuersignale im SAR ADU für eine Eingangsspannung von 1,666 V („typical“, 27 °C).....	140
Abbildung 6.13: Zeitlicher Verlauf des Komparatorausganges und eines internen Signals im Komparator bei einer Eingangsspannung von 1,666 V („typical“, 27 °C) .....	141
Abbildung 6.14: $\Delta D_{\text{aus}}$ gegenüber $U_{\text{ein}}$ aus Simulation des Schaltplanes („typical“ bei 27 °C) .....	142
Abbildung 6.15: Layout des 10 Bit SAR ADU .....	143
Abbildung 6.16: Foto vom Testchip des 10 Bit SAR ADUs .....	144
Abbildung 6.17: Rauschen beim Übergang des digitalen Ausgangswertes von 503 nach 504 .....	145
Abbildung 6.18: Messung der DNL eines Testchips des SAR-ADUs.....	146
Abbildung 6.19: Messung der INL eines Testchips des SAR-ADUs .....	146
Abbildung 6.20: Gemessenes FFT Spektrum bei VDD=2,5V; 80Hz Eingangssignalfrequenz; 1,25V Amplitude und 0,8kSample/s Abtastrate .....	148
Abbildung 6.21: „Worst Case“ der INL (Simulation) über Kondensatormismatch in der Sample&Hold Stufe.....	150
Abbildung 6.22: „Worst Case“ der INL (Simulation) über Kondensatormismatch in der Multiplizierstufe .....	151
Abbildung 6.23: Simulation der INL des „worst case“ ohne Mismatch Kompensation (bei 1% Kapazitätsabweichung).....	151
Abbildung 6.24: Simulation der INL des „worst case“ mit Mismatch Kompensation (bei 1% Kapazitätsabweichung).....	152
Abbildung 6.25: Simulation einiger Ausgangssignale und interne Signale des zyklischen ADUs ( $U_{\text{ein}}=976,5625\text{mV}$ ).....	153
Abbildung 6.26: Layout des SOA basierten zyklischen ADUs.....	154
Abbildung 6.27: Foto vom Testchip des 11 Bit SOA basierten zyklischen ADUs.....	156
Abbildung 6.28: Messung der DNL eines Testchips des zyklischen ADUs.....	156
Abbildung 6.29: Messung der INL eines Testchips des zyklischen ADUs.....	157
Abbildung 6.30: Gemessenes FFT Spektrum bei VDD=2,5V; 145,45Hz Eingangssignalfrequenz; 1V Eingangsamplitude und 1,45kSample/s Abtastrate.....	158

Abbildung 6.31: Simulation des Ausgangs und der Takte des C/U-Konverters bei maximalem Druck .....	160
Abbildung 6.32: Simulierte Übertragungskennlinie des C/U-Konverters über den gesamten Druckbereich .....	161
Abbildung 6.33: Simulierte Nichtlinearität der Spannungs-Druck Kurve des C/U-Konverters .....	161
Abbildung A.1: Schaltplan des Zählers .....	184
Abbildung B.1: Schaltplan der State-Machine für den SAR ADU .....	186
Abbildung C.1: Schaltplan der State-Machine für den zyklischen ADU .....	202

# Tabellenverzeichnis

Tabelle 4.1: Bauelemente der Tiefpässe verschiedener Schaltungstechniken (für $f_{\text{Pol}}=10\text{kHz}$ , $U_{\text{DD}}=2,5\text{V}$ , $\text{SNR}=80\text{dB}$ ) .....	56
Tabelle 4.2: $\text{FOM}_{\text{DF}}$ von veröffentlichten Dezimationsfiltern .....	70
Tabelle 4.3: Vergleich dreier ADU-Typen.....	71
Tabelle 5.1: Parameter zur Abschätzung des Leistungsverbrauchs von der Sensorauslese nach dem Oszillatorprinzip .....	90
Tabelle 6.1: Spezifikationen der Kapazitätsauslese nach dem Oszillatorprinzip.....	127
Tabelle 6.2: Simulationsergebnisse des Telescopic OTAs.....	130
Tabelle 6.3: Durchschnittlich simulierter Stromverbrauch der Drucksensorausleseschaltung für verschiedene Corner Parameter bei $U_{\text{DD}}=2,5\text{V}$ und $p=746,48\text{mbar}$ .....	133
Tabelle 6.4: Ergebnisse der Backannotating-Simulation in den Corner-Parametern.....	143
Tabelle 6.5: Gemessene Daten des SAR A/D-Umsetzers .....	147
Tabelle 6.6: Mittelwert von den Ergebnissen der dynamischen Messung des SAR ADUs...	149
Tabelle 6.7: Simulationsergebnisse der Abweichung $\Delta D_{\text{aus}}$ in den Corner Parametern für verschiedene Versorgungsspannungen.....	154
Tabelle 6.8: Gemessene Daten des zyklischen A/D-Umsetzers.....	157
Tabelle 6.9: Mittelwert von den Ergebnissen der dynamischen Messung des zyklischen ADUs .....	158
Tabelle 6.10: Theoretisches FOM und klassisches FOM realisierter Schaltungen verschiedener ADUs bzw. eines Modulators .....	165
Tabelle 6.11: Verhältnis vom in der Praxis erreichten Figure of Merit zu dem theoretischen Minimum .....	166
Tabelle 6.12: Technologieunabhängiges FOM verschiedener ADUs .....	166
Tabelle B.1: Parameter des SAR-ADU für eine Berechnung des Rauschens .....	195
Tabelle B.2: Rauschspannungsquadrate des SAR-ADUs .....	195
Tabelle C.1: Parameter des zyklischen A/D-Umsetzers.....	208
Tabelle C.2: Parameter der Switched-Opamps im zyklischen ADU.....	208
Tabelle C.3: Parameter des Komparators im zyklischen ADU .....	209
Tabelle C.4: Rauschspannungsquadrate des zyklischen ADUs .....	209
Tabelle D.1: Parameter des C/U-Konverters.....	210
Tabelle D.2: Rauschspannungsquadrate des C/U-Konverters.....	210

# Abkürzungen und Formelzeichen

$\nabla$	Nabla-Operator
$\Delta D_{\text{aus}}$	Abweichung des digitalen Ausgangswertes zu einer Ausgleichsgeraden
$\Delta f$	Frequenzband
$\Delta p_{\text{LSB}}$	kleinster aufzulösender Druck
$\Gamma$	excess noise factor
$\Psi_B$	Volumenpotenzial des Halbleiters
$\beta$	Kehrwert der Temperaturspannung
$\chi$	Verhältnis von Substrat-Transkonduktanz zu Transkonduktanz; Elektronenaffinität
$\varepsilon$	Permittivität; Kapazitätsabweichung
$\varepsilon_{\text{in}}$	Permittivität des Isolators
$\varepsilon_{\text{Si}}$	Permittivität von Silizium
$\phi$	Potenzial
$\phi_B$	Barrierenhöhe
$\phi_F$	Fermi-Niveau
$\phi_m$	Austrittsarbeit des Metalls
$\phi_{\text{ms}}$	Potenzialdifferenz Metall-Halbleiter
$\phi_S$	Potenzial an Halbleiteroberfläche
$\phi_s$	Austrittsarbeit des Halbleiters
$\gamma$	Parameter des Substrateffekts; Rauschfaktor
$\lambda$	Parameter der Kanallängenmodulation
$\mu_n$	Ladungsträgerbeweglichkeit der Elektronen
$\pi$	Kreiszahl (3,141593)
$\rho$	elektrische Raumladungsdichte
$\sigma$	Standardabweichung
$\sigma^2$	Varianz
$\omega$	Kreisfrequenz

$\omega_{\text{GBW}}$	Kreisfrequenz des Verstärkungs-Bandbreite-Produkts
$\omega_{\text{Pol}}$	Polkreisfrequenz
$\xi$	Nichtelektrische Sensorgröße
$a_{\text{Csens}}$	Steigung Kapazitäts-Druck-Kennlinie
$A_{\text{cm}}$	Gleichtakt-Verstärkung
$A_{\text{dm}}$	differentielle Verstärkung
ADU	Analog/Digital-Umsetzer
AHDL	Analog Hardware Description Language
$A_{\text{U}}$	Verstärkung
B	Auflösung eines ADU bzw. DAU
BSIM	“Berkeley Short-Channel IGFET Model”
BSL	Best-fit Straight Line
BTBT	Band-To-Band Tunneling
C	elektrische Kapazität
$C_{\text{db}}$	Drain-Bulk Kapazität
$C_{\text{gb}}$	Gate-Bulk Kapazität
$C_{\text{gd}}$	Gate-Drain Kapazität
$C_{\text{gs}}$	Gate-Source Kapazität
$C_{\text{L}}$	Lastkapazität
CMFB	Common Mode FeedBack
CMOS	Complementary Metal Oxide Semiconductor
CMRR	Gleichtaktunterdrückungsverhältnis (Common Mode Rejection Ratio)
$C'_{\text{ox}}$	Gateoxidkapazitätsbelag
$C_{\text{par}}$	parasitäre Kapazität
$C_{\text{S}}$	Skalierungskapazität im kapazitiven DAU
$C_{\text{sb}}$	Source-Bulk Kapazität
$C_{\text{sens}}$	Sensorkapazität
D	elektrische Flussdichte
d	Isolatordicke
DAU	Digital/Analog-Umsetzer
DC	Direct Current
DIBL	Drain-Induced Barrier Lowering
$D_{\text{n}}$	Elektronendiffusionskoeffizient

DNL	Differentielle Nichtlinearität
DR	Dynamikbereich (Dynamic Range)
E	elektrische Feldstärke; Energie
$E_C$	Leitungsband im Halbleiter
EEPROM	Electrically Erasable Programmable Read-Only Memory
$E_F$	Fermi-Energieniveau im Halbleiter
$E_g$	Bandlücke im Halbleiter
$E_i$	intrinsisches Fermi-Energieniveau im Halbleiter
EKV	Enz-Krummenacher-Vittoz
ENOB	Equivalent Number Of Bits
$E_S$	elektrisches Feld an der Halbleiteroberfläche
$E_{tr}$	Energie pro Umschaltvorgang
$E_V$	Valenzband im Halbleiter
f	Frequenz
$f_{3dB}$	3dB-Eckfrequenz
$f_B$	Signalbandbreite
$f_{equi}$	äquivalente Rauschbandbreite
FFT	Fast Fourier Transformation
FOM	Figure of Merit
$f_{Pol}$	Polfrequenz
$f_S$	Taktfrequenz des zeitdiskreten Systems
$f_{sample}$	Abtastfrequenz
FSR	Full Scale Range
$f_{System}$	Oszillationsfrequenz der Kapazitätsauslese
$f_T$	Transit-Frequenz
G	elektrischer Leitwert
$g_{ds}$	Kleinsignal Drain-Source-Leitwert
GE	Verstärkungsfehler (Gain Error)
GIDL	Gate-Induced Drain Leakage
$g_m$	Transkonduktanz eines Transistors
$G_m$	Transkonduktanz eines Transkonduktanzverstärkers
$g_{mb}$	Substrat-Transkonduktanz
$g_{md}$	Drain-Transkonduktanz

$g_{mg}$	Gate-Transkonduktanz
$g_{ms}$	Source-Transkonduktanz
GND	elektrische Masse
H	Übertragungsfunktion
HDL	Hardware Description Language
$H_i$	i-te Harmonische
I	elektrischer Strom
$I_{aus}$	Ausgangsstrom
$I_{Bias}$	Biasstrom
$i_d$	Kleinsignalanteil des Drain-Stromes
$I_D$	Großsignalanteil des Drain-Stromes
$I_{D0}$	charakteristischer Drain-Strom in schwacher Inversion
$i_{DD}$	Versorgungsstrom
$I_F$	Großsignalanteil des „Forward“-Stromes
$I_{int}$	Integrationsstrom
$I_{Leak}$	Leckstrom
INL	Integrale Nichtlinearität
$i_n^2$	Rauschstromquadrat
$I_{OFF}$	Leckstrom bei $U_G = 0$
$I_R$	Großsignalanteil des „Reverse“-Stromes
$I_S$	Großsignalanteil des Source-Stromes
$I_{Sp}$	spezifischer Strom in schwacher Inversion
K	digitaler Skalierungsfaktor
$K_A$	analoger Skalierungsfaktor
k	Anzahl der Bias-Ströme in einem Verstärker
$k_B$	Boltzmann Konstante ( $1,38065 \cdot 10^{-23}$ Ws/K)
$K_{fn}$	1/f-Rauschkonstante für den NMOS
$K_{fp}$	1/f-Rauschkonstante für den PMOS
L	Kanallänge eines MOSFET
$l_{dep}$	Tiefe der Verarmungszone
$L_{eff}$	effektive Kanallänge durch Kanallängenmodulation
LSB	Least Significant Bit
m	Umschaltvorgänge pro Taktzyklus

M	Ordnung beim $\Sigma\Delta$ -Modulator
MEMS	Micro-Electro-Mechanical Systems
MIS	Metall-Isolator-Halbleiter (Metal Insulator Semiconductor)
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
MSB	Most Significant Bit
n	Steigungsfaktor in schwacher Inversion
N	Schaltungskomplexität
$N_A$	Konzentration der Akzeptoren
$N_B$	Dotierungskonzentration des Substrates
$N_{\text{cycle}}$	Anzahl der Zyklen beim zyklischen ADU
$N_D$	Konzentration der Donatoren
$n_i$	intrinsische Ladungsträgerkonzentration
NMOS	n-Kanal MOS Transistor (n-channel metal-oxide semiconductor)
$n_p$	Elektronenkonzentration im p-Halbleiter
$n_{\text{Zähler}}$	Wortbreite des Zählers
OE	Offsetfehler (Offset Error)
OPV	Operationsverstärker
OSR	Überabtastrate (Over-Sampling Ratio)
OTA	Transkonduktanzverstärker (operational transconductance amplifier)
P	elektrische Leistung
p	Druck
$P_{\text{dynamic}}$	dynamische Leistung
$P_{\text{leak}}$	Leistung durch Leckströme
$P_{\text{min}}$	minimale Leistung
PMOS	p-Kanal MOS Transistor (p-channel metal-oxide semiconductor)
$p_p$	Löcherkonzentration im p-Halbleiter
$P_{\text{short-circuit}}$	Kurzschluss-Leistung
PSRR	Versorgungsspg.unterdrückungsverhältnis (Power Supply Rejection Ratio)
$P_{\text{static}}$	statische Leistung
$P_W$	Wirkleistung
q	Elementarladung ( $1,6022 \cdot 10^{-19}$ C)
Q	elektrische Ladung
$Q'_{\text{dep}}$	Ladungsdichte der Verarmungszone



$Q_S$	Gesamtladung im Halbleiter
$Q'_{ss}$	Oberflächenladungsdichte
$Q_T$	effektive Flächenladung an der Halbleiter-Isolator Grenze
$R$	elektrischer Widerstand
$R_{aus}$	Ausgangswiderstand
$R_B$	Substrat-Widerstand
$R_G$	Gate-Widerstand
$R_N$	äquivalenter Widerstand
$r_o$	Ausgangswiderstand eines MOSFET
$R_{on}$	Widerstand eines Schalters im Durchlassbetrieb
RSD	Redundant Signed Digit
$S$	normierte Schwellenspannung für digitale Gatter
$s$	komplexe Kreisfrequenz
SAR	Successive Approximation Register
SC	Schalter-Kondensator Technik (Switched Capacitor)
SCS	Sum of Current Sources
SFDR	Spurious Free Dynamic Range
$S_n$	Rauschleistungsdichte
SNDR	Signal-to-Noise and Distortion Ratio
SNR	Signal-zu-Rausch Verhältnis (signal-to-noise ratio)
$SNR_{dB}$	Signal-zu-Rausch Verhältnis in Dezibel
SOA	Switched Operational Amplifier
SR	Slew Rate
$T$	Periodendauer
$t_{auslese}$	Zeitfenster der Auslese
$T_{emp}$	Absolute Temperatur in Kelvin
TG	Transmissiongate
$t_{in}$	Dicke der Inversionsschicht
$t_{ox}$	Oxiddicke
$T_S$	Taktperiode des zeitdiskreten Systems
$U_{auseff}$	Effektivwert der Ausgangsspannung
$u_{bs}$	Kleinsignalanteil der Bulk-Source-Spannung
$U_{cm}$	Common Mode Spannung

$U_D$	Großsignalanteil der Drain-Spannung
$u_d$	Kleinsignalanteil der Drain-Spannung
$U_{DD}$	Versorgungsspannung
$U_{DS}$	Großsignalanteil der Drain-Source-Spannung
$U_{DS,sat}$	Drain-Source-Sättigungsspannung
$U_{ein}$	Eingangsspannung
$U_{eineff}$	Effektivwert der Eingangsspannung
$U_{FB}$	Flachband-Spannung
$U_G$	Großsignalanteil der Gate-Spannung
$u_g$	Kleinsignalanteil der Gate-Spannung
$U_{GS}$	Großsignalanteil der Gate-Source-Spannung
$u_{gs}$	Kleinsignalanteil der Gate-Source-Spannung
$U_{GS,eff}$	effektive Gate-Source Spannung
$U_{in}$	Eingangsspannung
$U_{LSB}$	LSB der Eingangsspannung beim ADU
$U_M$	Mittenspannung
$u_n^2$	Rauschspannungsquadrat
$U_{out}$	Ausgangsspannung
$U_P$	Pinch-Off Spannung
$U_{pp}$	Spitze-Spitze Wert einer sinusförmigen Spannung
$U_{refm}$	negative Referenzspannung
$U_{refp}$	positive Referenzspannung
$U_S$	Großsignalanteil der Source-Spannung
$u_s$	Kleinsignalanteil der Source-Spannung
$U_{SB}$	Großsignalanteil der Source-Bulk-Spannung
$U_{ST}$	Schmitt Trigger Schwellenspannung
$U_{swing}$	Spannungshub
$U_T$	Temperaturspannung; Übergangspunkte zwischen zwei Ausgangswerten beim ADU
$U_{TH}$	Schwellenspannung
$U_{TH0}$	Schwellenspannung ohne Substrateffekt (bei $U_{SB} = 0$ )
$v$	Konstante als Zusammenfassung mehrerer Parameter
$W$	Kanalweite eines MOSFET
$x$	Koordinate im Raum

$X_d$	Kanallängenreduzierung durch Kanallängenmodulation
$y$	Koordinate im Raum
$z$	Koordinate im Raum; Variable der z-Transformierten

# 1 Einleitung

## 1.1 Motivation und Ziele

In vielen Bereichen der Signalverarbeitung ist die Entscheidung zu treffen, ob die analoge oder die digitale Realisierung der benötigten Algorithmen besser geeignet ist, wenn beide Realisierungen möglich sind. Die Größen, die in unserer Umwelt vorkommen (z. B. Temperatur und Druck) sind rein analog. Somit ist das Eingangssignal und oft auch das Ausgangssignal eines Systems in analoger Form vorhanden, wenn das System sich auf Umweltgrößen bezieht. Hier entsteht also die Notwendigkeit analoge bzw. digitale Schaltungen (und im letzten Fall entsprechende Umsetzer) zu realisieren, die solche Signale auch verarbeiten können. Andererseits besteht in vielen Anwendungen die Forderung nach geringer Verlustleistung. Diese Arbeit ist dem systematischen Entwurf analoger verlustarmer („low-power“) CMOS-Schaltungen gewidmet, wobei das hier auch analog/digitale Umsetzung einbezieht. Als generisches Beispiel wird eine Ausleseschaltung untersucht, welche bei einem kapazitiven Drucksensor ansetzt und bis zur Umsetzung des Druckes in digitale Werte führt.

Der weltweite Anstieg des Interesse nach Low-Power Entwurfstechniken für Schaltungen wird durch zwei aufkommende Bedürfnisse angetrieben: Die Notwendigkeit die Batterielebensdauer in portablen Systemen zu verlängern und das Bedürfnis, das Problem der resultierenden Hitzeentwicklung in komplexen Chips zu lösen [71]. Neben portablen, batteriebetriebenen Geräten sind ebenfalls sogenannte passive Transponder (d.h. ohne Batterie) gefragt. Wegen der begrenzten Leistungsübertragung durch das magnetischen Feld beim Transponder sind hier ebenfalls Low-Power und Low-Voltage Systeme notwendig. Die Liste der Anwendungen, welche einen niedrigen Leistungsverbrauch benötigen, ist lang, und reicht von Uhren über mobile Unterhaltungselektronik und mobile Kommunikation zu medizinischen Applikationen. Die in dieser Arbeit entwickelten Schaltungen zielen auf eine Anwendung in medizinischen Implantaten.

Für den Fall, dass das Implantat batteriebetrieben ist, wird in [81] eine Batterielebensdauer von bis zu 10 bis 12 Jahren gefordert. Dies ist beispielsweise bei einem Herzschrittmacher, welcher neben den stimulierenden Elektroden einen Pulsgenerator mit Steuerelektronik umfasst, gegeben. Eine typische Quelle stellt eine Li-Ion Batterie dar. Ein Lithium-Ion Akkumulator besitzt nach [65] eine volumetrische Energiedichte von derzeit bis zu 0,35 Wh /

$\text{cm}^3$ . Im Dauerbetrieb stünden bei 10 Jahren und  $1 \text{ cm}^3$  Batterievolumen durchschnittlich  $4 \mu\text{W}$  zur Verfügung. Je nach Komplexität des Implantats kann dies schwer erreichbar sein. Deshalb ist der Einsatz von sogenannten „Power-Down“ Modi notwendig, bei denen die Schaltungen in nicht benötigten Phasen abgeschaltet werden. Der Leistungsverbrauch der Schaltungen muss zudem für den Betriebsfall, so weit es möglich ist, reduziert werden. Dabei wurde die Optimierung auf den Analogteil konzentriert, da es bei der Analogtechnik noch Bedarf an Designtechniken für Low-Power Schaltungen gibt. In der Digitaltechnik gibt es bereits zahlreiche Veröffentlichungen zur Low-Power Schaltungstechnik: [15], [72], [73], [74], [75]. Auch bei den A/D-Umsetzern gibt es einige Veröffentlichungen, die einen geringen Leistungsverbrauch erreichen: [55], [66], [77], [82], [83]. Diese Arbeit nutzt jedoch die entwickelten ADUs auch als Verifikation der getroffenen Aussagen zu einem leistungsarmen Entwurf des analogen Schaltungsteils. Zusätzlich bildet der ADU einen wichtigen Teil einer Low-Power Sensorauslese.

Der Schlüssel zu integrierten Low-Power Systemen ist es, auf allen Ebenen des Designs Low-Power Techniken anzuwenden, d. h. auf Systemebene, Schaltungsebene, Transistorebene und der Technologie [71]. In [52] wird die Bedeutung von Low-Power Design diskutiert. In der analogen Schaltungstechnik bedeutet Low-Power Design, mit der entworfenen Schaltung die Spezifikationen einzuhalten und dabei den minimal möglichen Leistungsverbrauch, durch Nutzung der geeignetsten Architektur und Schaltungstechnik, zu erreichen.

Beim Entwurf der Schaltungen wurde auf eine Standard CMOS Technologie zurückgegriffen, die es ermöglicht, Sensoren monolithisch auf dem Chip zusammen mit Schaltungen zu integrieren. Somit kann eine Sensorausleseschaltung mit einem einzelnen Chip realisiert werden. Ein weiterer Grund liegt in der Möglichkeit der Kombination von Analog- und Digitalteil auf einem einzigen Chip. Die CMOS Technologie ist ideal geeignet für digitale Low-Power Schaltungen, da der statische Leistungsverbrauch gering gehalten wird. Im Analogen bietet die CMOS Technologie, aufgrund des nahezu unendlich hohen Eingangswiderstands der MOS Transistoren, den Vorteil, Switched Capacitor (SC) Schaltungen zu ermöglichen. Der Nachteil für Analogschaltungen in der CMOS Technologie ist, dass die CMOS Prozesse in der Vergangenheit auf digitale Bedürfnisse optimiert wurden. Die fortschreitende Skalierung der CMOS Technologien (d. h. eine konsequente Reduktion der technologischen Strukturen) kommt mit einer Reduzierung der Versorgungsspannung einher. Somit resultiert neben der Flächen- und Kosteneinsparung der Chips, eine Reduzierung des Leistungsverbrauchs von digitalen Schaltungen, da dieser proportional zum Quadrat der Versorgungsspannung ist. In analogen Schaltungen hingegen steigt der

Leistungsverbrauch mit sinkender Versorgungsspannung, da mehr Leistung notwendig ist, um einen bestimmten Dynamikbereich bei sinkendem Spannungshub und gleichbleibender Bandbreite beizubehalten. Der Dynamikbereich wird durch Rauschen, Offset, harmonische Verzerrungen und Signalhub limitiert [79]. Für das Signal-zu-Rausch Verhältnis SNR gilt nach [80]: Jeder zusätzliche Gewinn von 10dB an SNR benötigt einen zehnfachen Anstieg des Leistungsverbrauchs.

## 1.2 Gliederung

Die Strukturierung dieser Arbeit sieht wie folgt aus. In Kapitel 2 werden die Grundlagen über MOSFETs und die Modellierung des Rauschens behandelt. Die Unterschiede des Leistungsverbrauchs in digitalen und analogen Schaltungen werden in Kapitel 3 beschrieben. Neben dem „Power-Down“ Modus, sollte der Leistungsverbrauch auf allen Ebenen, von der Technologie bis hin zur Systemarchitektur, minimiert werden, indem die energieeffizienteste Methode verwendet wird. Mit dem Leistungsverbrauch auf den verschiedenen Ebenen beschäftigt sich Kapitel 4. In Kapitel 5 werden die realisierten Komponenten zur Erstellung einer kapazitiven Sensorausleseschaltung beschrieben und teilweise einer Rauschberechnung unterzogen. Die wichtigsten Simulations- und Messergebnisse der Komponenten sind in Kapitel 6 angeführt.

## 2 Grundlagen

Die im Rahmen dieser Dissertation entworfenen Schaltungsblöcke sind in einem CMOS-Prozess entwickelt worden. Daher sind zunächst grundlegende Kenntnisse über den MOSFET erforderlich und werden im ersten Unterkapitel behandelt. Das Hauptaugenmerk dieser Arbeit liegt darin, den Leistungsverbrauch dieser Schaltungen bei Einhaltung gegebener Spezifikationen so niedrig wie möglich zu halten. Im Hinblick auf den Leistungsverbrauch wird auf die Physik in Feldeffekttransistoren eingegangen. Weiterhin wird die Modellierung des Rauschens, wie es in dieser Arbeit verwendet wird, aufgezeigt.

### 2.1 Der MOSFET

MOSFETs (Metal-Oxide-Semiconductor Field-Effekt Transistors) wurden zunächst hauptsächlich bei digitalen Schaltungen verwendet, da mit ihnen eine hohe Integrationsdichte und ein geringer Leistungsverbrauch erreicht wurde. Die in Analogschaltungen früher häufig genutzten Bipolar-Transistoren werden zunehmend durch CMOS Transistoren (d.h. n- und p-Kanal MOSFETs) verdrängt, um auch in analogen Schaltungen die oben genannten Vorteile zu nutzen.

Im folgenden werden kurz die beiden Betriebszustände starke und schwache Inversion vorgestellt. Es gibt eine Reihe von Modellen die das Verhalten der MOSFETs näherungsweise widerspiegeln. Eines der bekanntesten ist das BSIM-Modell (entwickelt von der Universität von Kalifornien in Berkeley), welches auch in der Version 3v1 von dem für diese Arbeit verwendeten Simulations-Programm CADENCE genutzt wird. Eine ausführliche Beschreibung des BSIM-Modells ist in [1] gegeben. Für die starke Inversion wird in Kapitel 2.1.1 das Shockley Modell nullter Ordnung unter Beachtung der Kanallängenmodulation und des Substrateffektes vorgestellt. Es ist ein recht einfaches Modell, mit dem auch ohne Hilfe eines Rechners Berechnungen durchgeführt werden können, und das ein Gefühl für das Verhalten der Schaltung liefern kann. In Kapitel 2.1.2 wird die schwache Inversion behandelt. Dort werden die bedeutendsten Arbeiten auf diesem Gebiet vorgestellt. Der Arbeitsbereich der schwachen Inversion wird in vielen Simulationsmodellen nicht oder nur schlecht implementiert. Eine Modellierung, die zunehmend implementiert wird, beruht auf dem EKV-Modell. Die Modellgleichungen in dessen Version 2.6 sind in [26] gegeben.

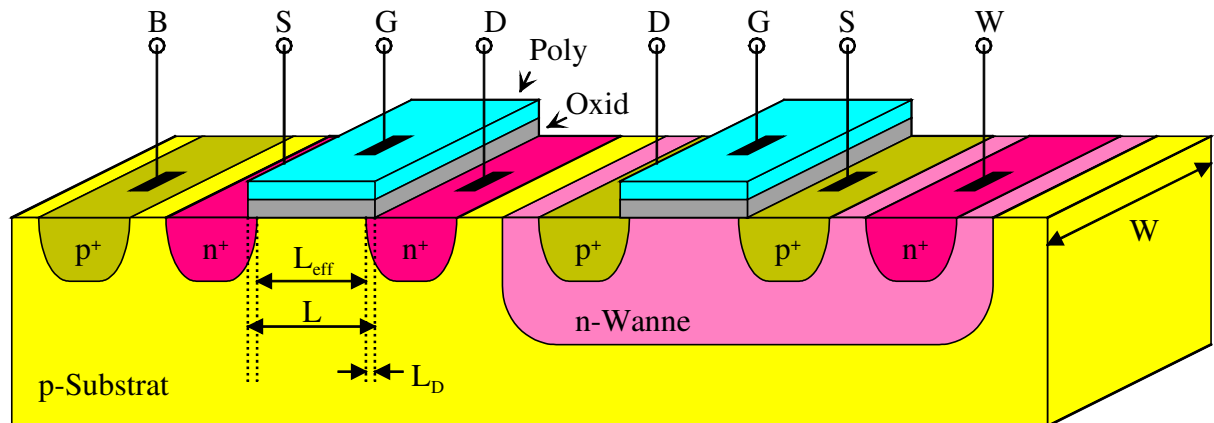


Abbildung 2.1: Querschnitt durch einen NMOS- und PMOS-Transistor in p-Substrat

In Abbildung 2.1 ist ein Querschnitt durch einen n-Kanal MOS Transistor (NMOS) und einen p-Kanal MOS Transistor (PMOS) gegeben. Der NMOS ist in einem p-Substrat realisiert, während der PMOS in einer n-Wanne entsteht. Es ist auch umgekehrt möglich ein n-Substrat zu verwenden und den NMOS dann in einer p-Wanne zu erstellen. Die Anschlüsse Drain (D) und Source (S) kontaktieren jeweils ein hoch dotiertes Diffusionsgebiet, welches mit dem Substrat oder der Wanne einen pn-Übergang bildet. Getrennt vom Substrat durch ein Oxid (meist  $\text{SiO}_2$ ), liegt das Gate (G) der Länge  $L$  zwischen Drain und Source, bestehend aus polykristallinem Silizium oder Metall. Unter dem Gateoxid befindet sich die Kanalregion mit der effektiven Länge  $L_{\text{eff}}$ . Zur Festlegung des Potentials im Substrat dient der Bulk (B) Anschluss bzw. für das Potential der Wanne dient der Well (W) Anschluss.

### 2.1.1 Starke Inversion

Für MOSFETs in starker Inversion werden hier die wichtigsten Gleichungen des Großsignalverhaltens und ein Modell für das Kleinsignalverhalten aufgeführt. Die Erläuterungen finden anhand eines n-Kanal MOS Transistors (NMOS) statt. Die Gleichungen lassen sich aber für den p-Kanal MOS Transistor (PMOS) leicht angeben, indem das Vorzeichen für Strom, Spannung und Ladung umgekehrt wird.

Nimmt man in Abbildung 2.2 eine kleine positive Drain-Spannung  $U_D$  und eine ansteigende Gate-Spannung  $U_G$  an, so stellt sich zunächst eine Verarmungszone in der Kanalregion ein. Dies geschieht, da die positive Gate-Spannung die Löcher unter dem Gate zurückdrängt. Es bleiben die negativen ionisierten Akzeptoren zurück (siehe Abbildung 2.2a). Überschreitet man die Schwellenspannung  $U_{\text{TH}}$  bildet sich eine Inversionsschicht in der Kanalregion. Man



erhält Elektronenleitung im p-Substrat (siehe Abbildung 2.2b). Nun kommt es zu einem Stromfluss von Drain nach Source.

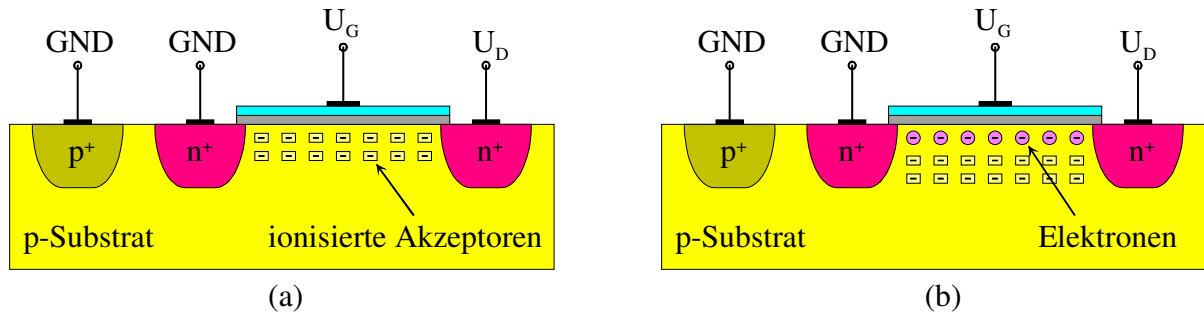


Abbildung 2.2: NMOS mit angelegten Spannungen in Verarmung (a) und Inversion (b)

Zur starken Inversion kommt es, wenn das Oberflächenpotenzial des Substrates das doppelte des Fermi-Niveaus

$$\phi_F = \frac{k_B \cdot T_{\text{emp}}}{q} \cdot \ln\left(\frac{N_A}{n_i}\right) \quad (\text{Gl. 2.1})$$

überschreitet. Die Ladungsdichte der Verarmungszone an der Schwelle zur Inversion lässt sich in Abhängigkeit zur Spannung von Source zum Substrat  $U_{\text{SB}}$  angeben:

$$Q'_{\text{dep}}(U_{\text{SB}}) = -\sqrt{2 \cdot q \cdot N_A \cdot \epsilon \cdot (2 \cdot \phi_F + U_{\text{SB}})}. \quad (\text{Gl. 2.2})$$

Hier ist also schon der so genannte Substrateffekt berücksichtigt. Fällt das Potenzial am Bulk-Anschluss unter das des Source-Anschlusses werden immer mehr Löcher an den Substratanschluss angezogen, so dass sich, aufgrund der zurückbleibenden Akzeptorrümpfe unter dem Gate, der Betrag der Verarmungsladung erhöht. Dies hat auch einen Einfluss auf die zuvor erwähnte Schwellenspannung  $U_{\text{TH}}$ . Die Schwellenspannung beziffert die Gate-Source Spannung  $U_{\text{GS}}$ , welche zum Erreichen einer Inversionsschicht notwendig ist:

$$\begin{aligned} U_{\text{TH}} &= \phi_{\text{MS}} + 2 \cdot \phi_F - \frac{Q'_{\text{dep}}}{C'_{\text{ox}}} - \frac{Q'_{\text{ss}}}{C'_{\text{ox}}} \\ &= \phi_{\text{MS}} + 2 \cdot \phi_F - \frac{Q'_{\text{dep}}(0)}{C'_{\text{ox}}} - \frac{Q'_{\text{ss}}}{C'_{\text{ox}}} - \frac{Q'_{\text{dep}} - Q'_{\text{dep}}(0)}{C'_{\text{ox}}} \\ &= U_{\text{TH0}} + \gamma \cdot \left( \sqrt{2 \cdot \phi_F + U_{\text{SB}}} - \sqrt{2 \cdot \phi_F} \right) \end{aligned} \quad (\text{Gl. 2.3})$$

Es muss also die Potenzialbarriere vom Polysilizium-Gate zum Halbleiter-Substrat  $\phi_{\text{MS}}$  überwunden werden und zusätzlich das doppelte Fermi-Niveau angelegt, sowie die Verarmungsladung  $Q_{\text{dep}}$  und die Oberflächenladung des Silizium zum Oxid  $Q_{\text{ss}}$  umgeladen

werden. Für  $U_{SB} > 0$  steigt also durch die erhöhte Verarmungsladung die Schwellenspannung  $U_{TH}$  an. Dabei ist  $C'_{ox}$  der Gateoxidkapazitätsbelag und der Parameter  $\gamma$  berechnet sich zu

$$\gamma = \frac{1}{C'_{ox}} \cdot \sqrt{2 \cdot q \cdot \epsilon \cdot N_A} . \quad (Gl. 2.4)$$

Für die folgenden Ergebnisse werden zunächst nachstehende Vereinfachungen und Gegebenheiten festgelegt. Der Spannungsabfall über dem Kanal wird als so klein angenommen, dass die Dicke der Verarmungszone über der Kanallänge konstant ist. Der Source-Anschluss liegt an Masse, und  $U_{GS}$  ist größer als  $U_{TH}$ , so dass es zur starken Inversion kommt und sich ein leitender Kanal ausbildet. Wie in [2] gezeigt, berechnet sich der Drain-Strom für kleine  $U_{DS}$  zu

$$I_D = \mu_n \cdot C'_{ox} \cdot \frac{W}{L} \cdot \left[ (U_{GS} - U_{TH}) \cdot U_{DS} - \frac{1}{2} \cdot U_{DS}^2 \right] . \quad (Gl. 2.5)$$

Dabei bezeichnet  $\mu_n$  die Ladungsträgerbeweglichkeit der Elektronen,  $W$  die Weite des Transistors und  $L$  die Länge desselbigen. Zu größeren Drain-Source Spannungen hin weitet sich die Raumladungszone an Drain aus, so dass der Kanal abschnürt (Abbildung 2.3). Dies geschieht im Maximum der Parabel aus (Gl. 2.5). Der Transistor geht also in Sättigung ab

$$U_{DS,sat} = U_{GS} - U_{TH} . \quad (Gl. 2.6)$$

Der Strom für Sättigung in der starken Inversion beträgt dann

$$I_D = \frac{1}{2} \cdot \mu_n \cdot C'_{ox} \cdot \frac{W}{L_{eff}} \cdot (U_{GS} - U_{TH})^2 \quad (Gl. 2.7)$$

und ist relativ unabhängig von  $U_{DS}$ , wenn  $L_{eff}$  in der Größenordnung von  $L$  bleibt. Berücksichtigt man aber die so genannte Kanallängenmodulation, steigt der Drain-Strom auch für  $U_{DS} > U_{DS,sat}$  weiter an. In [3] wird von  $L_{eff} = L - X_d$  ausgehend hergeleitet, dass gilt:

$$I_D = \frac{1}{2} \cdot \mu_n \cdot C'_{ox} \cdot \frac{W}{L} \cdot (U_{GS} - U_{TH})^2 \cdot (1 + \lambda \cdot U_{DS}) . \quad (Gl. 2.8)$$

Der Parameter  $\lambda$  für die Kanallängenmodulation wird meist durch Messungen bestimmt.

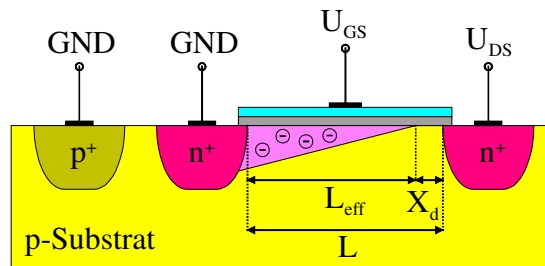


Abbildung 2.3: Kanal vom NMOS im Pinch-Off

Dem in linearen Verstärkern großsignalmäßig eingestellten Arbeitspunkt von Strom bzw. Spannung überlagert sich meist eine zeitlich variable Größe. So setzen sich zum Beispiel der Drain-Strom  $I_d = I_D + i_d$  und die Gate-Source-Spannung  $U_{gs} = U_{GS} + u_{gs}$  aus dem den Großsignalen im Arbeitspunkt ( $I_D$ ,  $U_{GS}$ ) und den Kleinsignalanteilen ( $i_d$ ,  $u_{gs}$ ) zusammen. Für hinreichend kleine Kleinsignalanteile kann der Bereich um den Arbeitspunkt als linear angenommen werden. Ein solch linearisiertes Modell für den MOSFET ist in Abbildung 2.4 dargestellt. Es berücksichtigt bereits parasitäre Kapazitäten, lässt aber parasitäre Widerstände und Induktivitäten, durch beispielsweise Zuleitungen, außer acht. Die parasitären Induktivitäten sind insbesondere bei Hochfrequenzanwendungen einzubeziehen.

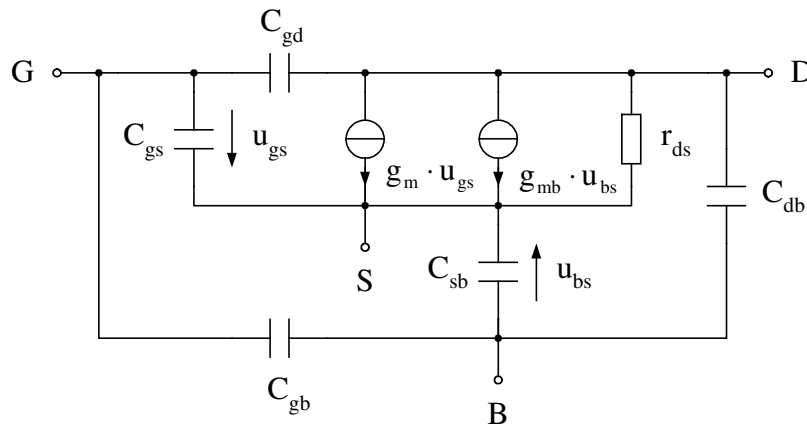


Abbildung 2.4: Kleinsignalersatzschaltbild vom MOSFET

Die intrinsischen Gate-Source und Gate-Drain Kapazitäten machen jeweils die Hälfte der gesamten Gateoxidkapazität aus, wenn der Transistor im Triodengebiet betrieben wird:

$$C_{gs} = C_{gd} = \frac{C'_{ox} \cdot W \cdot L}{2}. \quad (\text{Gl. 2.9})$$

Gelangt der Transistor jedoch in die Sättigung, schnürt der Kanal zum Drain hin ab, und die Drain-Spannung hat nur noch geringen Einfluss auf die Kanal- und Gate-Ladung [3]. Es gilt dann

$$C_{gs} = \frac{2}{3} \cdot C'_{ox} \cdot W \cdot L \text{ und } C_{gd} = 0. \quad (\text{Gl. 2.10})$$

Die folgenden Parameter des Kleinsignalersatzschaltbildes werden für den Fall der Sättigung angegeben. Dementsprechend berechnet sich der Ausgangswiderstand unter Berücksichtigung der Kanallängenmodulation und (Gl. 2.8) zu

$$r_{ds} = \frac{\partial U_{DS}}{\partial I_D} = \frac{1}{\frac{1}{2} \cdot \mu_n \cdot C'_{ox} \cdot \frac{W}{L} \cdot (U_{GS} - U_{TH})^2 \cdot \lambda} \approx \frac{1}{\lambda \cdot I_D}. \quad (\text{Gl. 2.11})$$

Die Änderung des Drainstromes anhand der Gate-Source-Spannung, wird als Transkonduktanz eines MOS Transistors bezeichnet:

$$\begin{aligned} g_m &= \frac{\partial I_D}{\partial U_{GS}} = \mu_n \cdot C'_{ox} \cdot \frac{W}{L} \cdot (U_{GS} - U_{TH}) \cdot (1 + \lambda \cdot U_{DS}) \\ &= \sqrt{2 \cdot \mu_n \cdot C'_{ox} \cdot \frac{W}{L} \cdot I_D \cdot (1 + \lambda \cdot U_{DS})} \end{aligned} \quad (\text{Gl. 2.12})$$

Ebenso hat auch die Bulk-Source-Spannung einen Einfluss auf den Drainstrom. Dies wird in der Substrat-Transkonduktanz berücksichtigt:

$$\begin{aligned} g_{mb} &= \frac{\partial I_D}{\partial U_{BS}} = \frac{\gamma \cdot \mu_n \cdot C'_{ox} \cdot \frac{W}{L} \cdot (U_{GS} - U_{TH}) \cdot (1 + \lambda \cdot U_{DS})}{2 \cdot \sqrt{2 \cdot \phi_F + U_{SB}}} \\ &= \gamma \cdot \sqrt{\frac{\mu_n \cdot C'_{ox} \cdot \frac{W}{L} \cdot I_D \cdot (1 + \lambda \cdot U_{DS})}{2 \cdot (2 \cdot \phi_F + U_{SB})}} \end{aligned} \quad (\text{Gl. 2.13})$$

Das Verhältnis der Substrat-Transkonduktanz  $g_{mb}$  zur Transkonduktanz  $g_m$  berechnet sich demnach zu

$$\frac{g_{mb}}{g_m} = \frac{\gamma}{2 \cdot \sqrt{2 \cdot \phi_F + U_{SB}}} = \chi. \quad (\text{Gl. 2.14})$$

Die Komponenten des Drainstromes  $g_m \cdot u_{gs}$  und  $g_{mb} \cdot u_{bs}$  haben also dasselbe Vorzeichen, aber der Einfluss des Gate-Potenzials ist größer als der des Bulk-Potenzials.

Die parasitären Kapazitäten  $C_{sb}$  und  $C_{db}$  aus Abbildung 2.4 entstehen durch die in Sperrrichtung betriebenen pn-Übergänge an Source und Drain. Die Kapazität  $C_{gb}$  bildet sich zwischen dem Teil des Polysilizium-Gates, welcher das aktive Gebiet überlappt, und dem Substrat. In [4] wird die Transit-Frequenz  $f_T$  so bestimmt, dass die Stromverstärkung des MOSFET Eins beträgt. Unter Verwendung von (Gl. 2.6), (Gl. 2.10) sowie (Gl. 2.12) und der Bedingungen  $C_{gs} \gg C_{gb}$  bzw.  $\lambda \cdot U_{DS} \ll 1$  ergibt sich

$$f_T = \frac{g_m}{2 \cdot \pi \cdot (C_{gs} + C_{gd} + C_{gb})} \approx \frac{g_m}{2 \cdot \pi \cdot C_{gs}} = \frac{3 \cdot \mu_n}{4 \cdot \pi} \cdot \frac{U_{DS,sat}}{L^2}. \quad (\text{Gl. 2.15})$$

Es ist zu erkennen, dass schnelle Anwendungen eine große Sättigungsspannung  $U_{DS,sat}$  und eine kleine Gatelänge  $L$  benötigen. Für Kurzkanaltransistoren ist jedoch zu berücksichtigen, dass die Ladungsträgerbeweglichkeit  $\mu_n$  nicht mehr konstant bleibt.

## 2.1.2 Schwache Inversion

Zuvor wurde erwähnt, der MOSFET leite erst ab einem  $U_{GS} = U_{TH}$ . In Wirklichkeit existiert aber schon bei einem  $U_{GS} < U_{TH}$  eine sehr dünne Inversionsschicht, die einen geringen und von der Gate-Source-Spannung exponentiell abhängigen Drainstrom  $I_D$  zulässt. Der exponentielle Bereich wird mit schwacher Inversion, und der Übergang zur starken Inversion als moderate Inversion bezeichnet (Abbildung 2.5). In der Vergangenheit wurden einige Veröffentlichungen zum Thema der schwachen Inversion getätigt. Im folgenden werden einige davon vorgestellt.

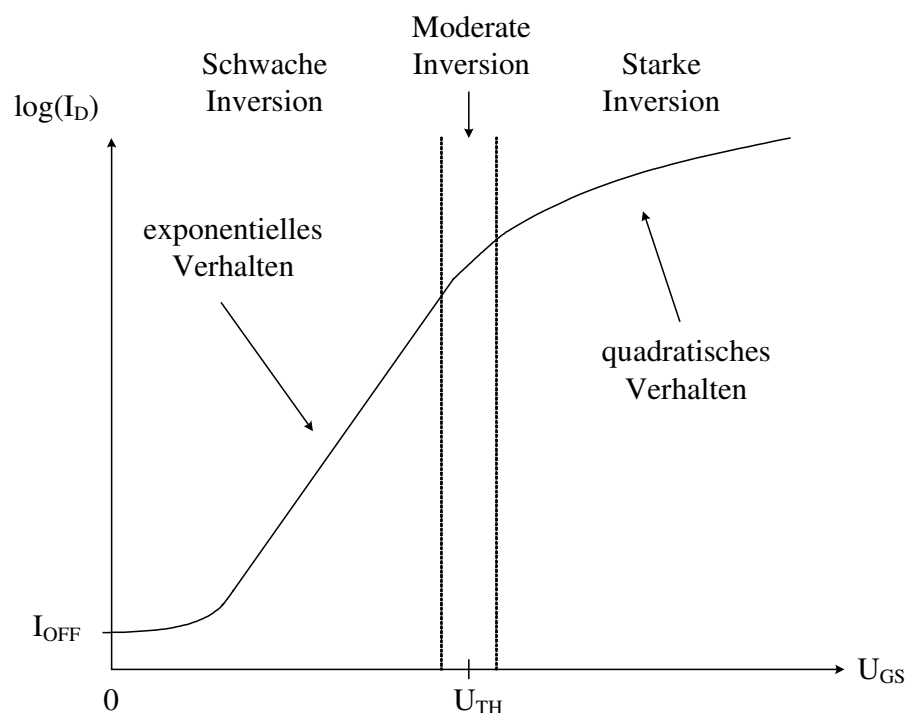


Abbildung 2.5: Prinzipieller Verlauf vom Drainstrom  $I_D$  über  $U_{GS}$

Barron hat in [5], aufgrund der Abweichung des Drain- gegenüber dem Source-Strom bei sehr kleinen Strömen, einen analytischen Ausdruck für den Source-Strom  $I_S$  theoretisch hergeleitet. Der Ausdruck ist gültig vom Oberflächenzustand Verarmung bis hin zum Beginn der starken Inversion. Bei der Berechnung wurden ausgehend von Feld-Gleichungen einige Approximationen angenommen.

Troutman und Chakravarti haben in [6] einen geschlossenen Ausdruck für den Strom eines Feldeffekttransistors in schwacher Inversion entwickelt und experimentell belegt. Dabei wurden die Parameter sowohl für Langkanaltransistoren ausgehend von einem eindimensionalen Modell bestimmt, als auch für Kurzkanaltransistoren zweidimensionale

Effekte beachtet. Die Besonderheit liegt darin, eine beliebige Substrat-Spannung implementieren zu können. Weiterhin wurde die in [7] aufgestellte Schlussfolgerung, dass der Strom in schwacher Inversion durch Diffusion bestimmt wird, nachgewiesen. In nachfolgenden Arbeiten geht Troutman näher auf den Einfluss der Substratspannung [8] und die Steigung der exponentiellen Charakteristik [9] ein.

Masuhara, Etoh und Nagata präsentieren in [10] einen geschlossenen Ausdruck für den Drain-Strom eines MOSFET's sowohl für die schwache als auch für die starke Inversion. Dies wird möglich durch die Nutzung verschiedener Oberflächenpotenziale als Parameter in den Stromgleichungen. Der Übergang von schwacher zu starker Inversion wird dadurch, auch ohne den Einsatz zusätzlicher Parameter, fließend. Es wird eine sehr gute experimentelle Übereinstimmung erzielt.

Ausgehend von den zuvor erwähnten Veröffentlichungen haben Vittoz und Fellrath in [11] ein einfaches Modell für MOS Transistoren in schwacher Inversion hergeleitet. Es beinhaltet nur zwei Parameter, und kann somit auch für Berechnungen ohne Rechnerunterstützung genutzt werden. Es werden drei vereinfachende Annahmen zu Grunde gelegt: Als erstes werden Langkanaltransistoren angenommen, so dass die Kanallängenmodulation vernachlässigbar ist. Weiterhin werden weder im Drain- bzw. Source-Gebiet noch im Kanal Ströme generiert, so dass Drain- und Source-Strom gleich groß sind. Außerdem werden die Dichte der schnellen Oberflächenzustände und die Fluktuationen der Oberflächenpotenziale als vernachlässigbar angesehen.

Später haben Enz, Krummenacher und Vittoz in [12] den Drainstrom

$$I_D = I_F - I_R = I_{D0} \cdot e^{\frac{U_G}{n \cdot U_T}} \cdot \left( e^{\frac{U_S}{U_T}} - e^{\frac{U_D}{U_T}} \right) \quad (\text{Gl. 2.16})$$

in Abhängigkeit der Gate-, Source- und Drain-Spannung bezogen auf die Substrat-Spannung modelliert. Dabei gibt  $U_T$  die Temperaturspannung an:

$$U_T = \frac{k_B \cdot T_{\text{emp}}}{q} \quad (\text{Gl. 2.17})$$

Der Drainstrom wurde aus der Differenz des sogenannten „Forward“-Stromes  $I_F$  und des „Reverse“-Stromes  $I_R$  bestimmt. Diese berechnen sich in schwacher Inversion zu

$$I_{F(R)} = I_{Sp} \cdot e^{\frac{U_P - U_{S(D)}}{U_T}} \quad (\text{Gl. 2.18})$$

Für  $U_{DS} \gg U_T$  spricht man von Sättigung bei der schwachen Inversion. Die so genannte „Pinch-Off“-Spannung  $U_P$  lässt sich näherungsweise zu

$$U_p \cong \frac{U_G - U_{TH0}}{n} \quad (\text{Gl. 2.19})$$

angeben. Somit ergibt sich der charakteristischen Drainstrom zu

$$I_{D0} = I_{sp} \cdot e^{-\frac{U_{TH0}}{n \cdot U_T}}. \quad (\text{Gl. 2.20})$$

Dieser beschreibt quasi einen Leckstrom für eine Gatespannung von Null. Der absolute Wert des Parameters  $I_{D0}$  ist schlecht kontrollierbar, so dass Berechnungen auf Drainstrom-Verhältnissen basieren sollten. Nach [12] berechnet sich der spezifische Strom  $I_{sp}$ , welcher auch die Grenze zwischen schwacher und starker Inversion bildet, zu

$$I_{sp} = 2 \cdot n \cdot \mu_n \cdot C'_{ox} \cdot \frac{W}{L} \cdot U_T^2. \quad (\text{Gl. 2.21})$$

Der Steigungs-Faktor  $n$  der exponentiellen Charakteristik ergibt sich nach [11] zu

$$n = 1 + \frac{1}{C'_{ox}} \cdot \sqrt{\frac{q \cdot N_B \cdot \epsilon_{Si}}{2 \cdot (\phi_F - 5 \cdot U_T + U_S)}}. \quad (\text{Gl. 2.22})$$

Dabei bezeichnet  $N_B$  die Dotierung des Substrates,  $\epsilon_{Si}$  die Permittivität des Siliziums und  $U_T$  die Temperaturspannung.

In der schwachen Inversion ergeben sich auch im Kleinsignalverhalten Änderungen gegenüber der starken Inversion. Im folgenden werden einige Veröffentlichungen vorgestellt, welche sich mit Kleinsignalmodellen, gültig für die schwache Inversion, beschäftigen.

Enz, Krummenacher und Vittoz haben in [12] unter anderem eine Berechnung der Kleinsignal-Variablen kontinuierlich über alle Bereiche, in denen der Transistor arbeiten kann, aufgestellt. Der Übergang von schwacher zu starker Inversion, also die moderate Inversion, wird durch eine passende Funktion interpoliert. Die Kleinsignalmodelle werden sowohl für mittlere als auch für hohe Frequenzen aufgestellt.

Porret, Sallese und Enz präsentieren in [13] ebenfalls ein Kleinsignalmodell für beliebige Frequenzen, das über alle Bereiche gültig ist. Durch Anwendung einer Normalisierung aller Größen, wurde eine einfaches Ersatzschaltbild entwickelt, welches durch zwei frequenzabhängige Gleichungen beschrieben wird.

Barker gibt in [14] an, dass in schwacher Inversion ein Standard-Kleinsignalersatzschaltbild für kleine Frequenzen mit genügender Genauigkeit verwendet werden kann. Obwohl das Substrat normalerweise an eine Konstantspannungsquelle angeschlossen ist, kann ein signifikanter Kleinsignalanteil eingekoppelt sein. Deshalb muss die Substrat-Transkonduktanz  $g_{mb}$  zusätzlich berücksichtigt werden, da diese, wie nachfolgend gezeigt, ein Vielfaches der eigentlichen Transkonduktanz  $g_m$  ist. Somit ist sie ähnlich der Transkonduktanz des

Bipolartransistors. Berücksichtigt man auch die parasitären Kapazitäten erhält man das Kleinsignalersatzschaltbild aus Abbildung 2.4. Diese Kapazitäten werden in [12], auch in schwacher Inversion gültig, bestimmt.

Die gesamte Kleinsignal-Änderung des Drainstromes setzt sich aus Änderungen von Gate-, Source- und Drain-Spannung zusammen. Die entsprechenden Gate-, Source- und Drain-Transkonduktanzen lauten:

$$\begin{aligned} g_{mg} &= \frac{\partial I_D}{\partial U_G} \Big|_{U_S, U_D = \text{const}} = \frac{1}{n \cdot U_T} \cdot I_{D0} \cdot e^{\frac{U_G}{n \cdot U_T}} \cdot \left( e^{-\frac{U_S}{U_T}} - e^{-\frac{U_D}{U_T}} \right) = \frac{I_D}{n \cdot U_T}, \\ g_{ms} &= -\frac{\partial I_D}{\partial U_S} \Big|_{U_G, U_D = \text{const}} = \frac{1}{U_T} \cdot I_{D0} \cdot e^{\frac{U_G}{n \cdot U_T}} \cdot e^{-\frac{U_S}{U_T}} = \frac{I_F}{U_T}, \\ g_{md} &= \frac{\partial I_D}{\partial U_D} \Big|_{U_G, U_S = \text{const}} = \frac{1}{U_T} \cdot I_{D0} \cdot e^{\frac{U_G}{n \cdot U_T}} \cdot e^{-\frac{U_D}{U_T}} = \frac{I_R}{U_T}. \end{aligned} \quad (\text{Gl. 2.23})$$

Somit lässt sich die Kleinsignal-Änderung des Drainstromes, wie in [12] vorgeschlagen, zu

$$i_d = g_{mg} \cdot u_g - g_{ms} \cdot u_s + g_{md} \cdot u_d \quad (\text{Gl. 2.24})$$

angeben. Unter Verwendung von (Gl. 2.23) und (Gl. 2.24) lassen sich Transkonduktanz  $g_m$ , Substrat-Transkonduktanz  $g_{mb}$  und Ausgangswiderstand  $r_{ds}$  des Kleinsignalersatzschaltbildes folgendermaßen berechnen:

$$g_m = \frac{\partial I_D}{\partial U_{GS}} \Big|_{U_{BS}, U_{DS} = \text{const}} = g_{mg} = \frac{I_D}{n \cdot U_T}, \quad (\text{Gl. 2.25})$$

$$\begin{aligned} g_{mb} &= \frac{\partial I_D}{\partial U_{BS}} \Big|_{U_{GS}, U_{DS} = \text{const}} = -g_{mg} + g_{ms} - g_{md} = -\frac{I_D}{n \cdot U_T} + \frac{I_F}{U_T} - \frac{I_R}{U_T}, \\ &= \frac{I_D}{U_T} - \frac{I_D}{n \cdot U_T} = \frac{I_D \cdot (n-1)}{n \cdot U_T} = (n-1) \cdot g_m \end{aligned} \quad (\text{Gl. 2.26})$$

$$r_{ds} = \left( \frac{\partial I_D}{\partial U_{DS}} \Big|_{U_{GS}, U_{BS} = \text{const}} \right)^{-1} = (g_{md})^{-1} = \frac{U_T}{I_R}. \quad (\text{Gl. 2.27})$$

Dabei wurden alle Spannungen der einzelnen Anschlüsse auf das Substrat bezogen und Spannungen der Art  $U_{XY}$  berechnen sich aus der Differenz  $U_X - U_Y$ .

### 2.1.3 Physikalische Effekte des Kurzkanal-MOSFETs

Ein Effekt bei Transistoren mit Abmessungen unterhalb des  $\mu\text{m}$ -Bereiches ist der Einfluss auf die Schwellenspannung  $U_{TH}$ . Zum einen verändert sich die Schwellenspannung mit der Weite  $W$ , zum anderen sinkt sie mit kleiner werdender Drain-Source-Spannung  $U_{DS}$  bzw. mit kleiner



werdender Länge  $L$ . Letzteres wird mit Kurzkanallängen-Effekt („Short-Channel-Length Effect“) bezeichnet. Die Größenordnung, bei der dieser Effekt auftritt, liegt bei  $L \leq 2 \mu\text{m}$ . Es ist wichtig diesen Effekt zu beachten, da bei sinkender Schwellenspannung der Leckstrom bei abgeschaltetem Transistor erheblich zunimmt. Bei der bisherigen Berechnung wurde angenommen, dass die Ladung unter dem Gate nicht von  $U_{DS}$  abhängt. Wird diese Abhängigkeit berücksichtigt, ist die Poisson Gleichung zweidimensional zu lösen. Zur analytischen Lösung sind Vereinfachungen notwendig. Drei mögliche Lösungen sind in [17], [18] und [19] vorgestellt. Des Weiteren lassen sich die so genannten „Narrow-Gate-Width Effects“ angeben. Sie werden vom Fabrikationsprozess beeinflusst und resultieren je nach Ursache in einer Erhöhung bzw. Verringerung der Schwellenspannung. Erwähnenswert bleibt noch der so genannte „Reverse Short-Channel Effect“, der in [20] beschrieben ist.

Mit abnehmender Länge  $L$  nähern sich die Verarmungszonen des Source- bzw. Drain-Gebietes einander an. Wird zusätzlich die Spannung in Gegenrichtung über den beiden pn-Übergängen Drain – Substrat bzw. Source – Substrat erhöht, verstärkt sich dieser Effekt. Wenn diese beiden Verarmungszonen überlappen, kommt es zum Durchbruch („Punchthrough“). Der Durchbruch-Effekt führt selbst bei einem gesperrten Transistor zu unerwünschten Leckströmen.

## 2.2 Modellierung des Rauschens

Die Untersuchung von Schaltungen anhand der Nichtidealität des Rauschens stellt einen wichtigen Teil dieser Arbeit dar. Um das Rauschen in Schaltungen zu modellieren, werden die Bauelemente mit Rauschquellen versehen. Bei einem rauschenden Widerstand ist dies eine Rauschspannungsquelle in Reihe mit einem idealen „rauschfreien“ Widerstand, oder für das äquivalente Ersatzschaltbild eine Rauschstromquelle parallel zu einem idealen „rauschfreien“ Leitwert (siehe Abbildung 2.6).

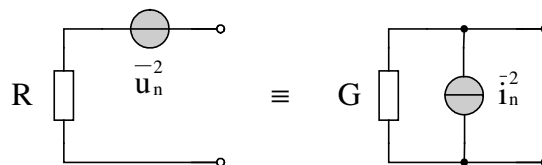


Abbildung 2.6: Ersatzschaltbild eines rauschenden Widerstandes

In einem Widerstand dominiert das thermische Rauschen, so dass die spektrale Rauschleistungsdichte für den Fall der Rauschspannung zu

$$\frac{\overline{u_{nth}^2}}{\Delta f} = 4 \cdot k_B \cdot T_{emp} \cdot R, \quad (\text{Gl. 2.28})$$

und für den Rauschstrom zu

$$\frac{\overline{i_{nth}^2}}{\Delta f} = \frac{4 \cdot k_B \cdot T_{emp}}{R} \quad (\text{Gl. 2.29})$$

angegeben werden kann. Es ist zu erkennen, dass die Rauschleistungsdichte des thermischen Rauschens nur von der Temperatur und von der Größe des Widerstandes abhängt.

Das in einem MOSFET vorhandene Rauschen kann in einer äquivalenten Rauschspannungsquelle am Gate oder einer Rauschstromquelle zwischen Drain und Source zusammengefasst werden (siehe Abbildung 2.7).



**Abbildung 2.7: Ersatzschaltbild eines rauschenden MOSFETs**

In dieser Arbeit werden die Formeln zur Modellierung des Rauschens aus [51] entnommen. Darin werden thermisches Kanalrauschen, 1/f Rauschen, thermisches Rauschen des Substratwiderstandes und des Gate-Widerstandes als wichtigste Rauscharten herausgestellt.

Der Widerstand des leitenden Kanals eines MOSFETs weist thermisches Rauschen auf. Nach [51] lautet die Rauschspannungsdichte für das thermische Kanalrauschen

$$\frac{\overline{u_{nch}^2}}{\Delta f} = 4 \cdot k_B \cdot T_{emp} \cdot n \cdot \gamma \cdot \frac{1}{g_m}. \quad (\text{Gl. 2.30})$$

Da (Gl. 2.30) sowohl für schwache als auch für starke Inversion gilt, tritt der Faktor  $n$  zusätzlich getrennt von  $g_m$  auf. Neben der Bedeutung von  $n$  als Steigungsfaktor der Strom-Spannungskennlinie in schwacher Inversion, kann  $n$  für alle Inversionsbereiche nach [84] als Approximation zu

$$n = \frac{g_m + g_{mb}}{g_m} \quad (\text{Gl. 2.31})$$

angegeben werden, wobei die Variationen in  $n$  von schwacher zu starker Inversion vernachlässigt werden. Eine genaue Beschreibung von  $n$  in den Inversionsbereichen ist in [85] gegeben. Wird die Substrat-Transkonduktanz  $g_{mb}$  in starker Inversion vernachlässigt, kann  $n$  zu eins angenähert werden.

Der Faktor  $\gamma$  variiert in Abhängigkeit vom Inversionsgrad für einen idealen Transistor zwischen 1/3 und 2/3 von schwacher zu starker Inversion. Gemessenes Rauschen kann je nach Prozess und Kanallänge höher ausfallen. In [86] wurde die Abhängigkeit des Faktors  $\gamma$  von der Transistorlänge in Messungen in einer 0,18  $\mu\text{m}$  CMOS Technologie untersucht. Bei Transistoren mit Minimallänge fiel  $\gamma$  deutlich höher als bei Transistorlängen von 0,36  $\mu\text{m}$  oder 0,72  $\mu\text{m}$  aus. Dieser Effekt bei Kurzkanaltransistoren wird mit dem „excess noise factor“  $\Gamma$ , welcher in  $\gamma$  integriert werden kann, modelliert. Für den Faktor  $\gamma$  ergibt sich dann

$$\gamma = \left[ \frac{1}{2} + \frac{4}{6} \cdot \frac{u}{(\sqrt{1+4 \cdot u} + 1)^2} \right] \cdot \Gamma, \quad (\text{Gl. 2.32})$$

und  $u$  ist gegeben durch

$$u = \frac{I_D}{\frac{W}{L} \cdot \mu_n \cdot C'_{\text{ox}} \cdot 2 \cdot n \cdot U_T^2}. \quad (\text{Gl. 2.33})$$

Insbesondere bei niedrigen Frequenzen hat das 1/f Rauschen einen hohen Anteil am Gesamtrauschen eines MOSFETs. Die Ursache des 1/f Rauschens ist noch nicht eindeutig bewiesen, allerdings rührt es nach [52] von der Fluktuation der Ladungsträgerdichte her. Diese Fluktuation wird durch das Einfangen von Ladungsträgern im Oxid und an der Oxid-Halbleiter-Grenzfläche hervorgerufen.

Nach [53] lässt sich die spektrale Dichte des Rauschspannungsquadrates am Gate des MOSFETs für das 1/f-Rauschen zu

$$\frac{\overline{u_{n1/f}^2}}{\Delta f} = \frac{K_f}{C_{\text{ox}}'^2 \cdot W \cdot L \cdot f} \quad (\text{Gl. 2.34})$$

angeben. Dabei ist  $K_f$  ein technologieabhängiger Parameter, welcher auch für PMOS und NMOS unterschiedliche Werte annimmt.

Des weiteren sind die thermischen Rauschanteile des Substratwiderstandes und des Gate-Widerstandes zu nennen. Nach [51] ist das äquivalente Rauschspannungsquadrat am Gate des MOSFET für das thermische Rauschen des Substratwiderstandes durch

$$\frac{\overline{u_{nRb}^2}}{\Delta f} = 4 \cdot k_B \cdot T_{\text{emp}} \cdot R_B \cdot \frac{g_{mb}^2}{g_m^2} \quad (\text{Gl. 2.35})$$

gegeben. Weiterhin wirkt das Rauschen des Gate-Widerstandes mit allen angeschlossenen Leitungen direkt am Eingang und lautet damit

$$\frac{\overline{u_{nRg}^2}}{\Delta f} = 4 \cdot k_B \cdot T_{\text{emp}} \cdot R_G. \quad (\text{Gl. 2.36})$$

Die Summe der vier vorgestellten Rauschmechanismen ergibt die äquivalente Rauschspannungsdichte am Eingang des MOSFETs. Die Rauschstromdichte erhält man durch Multiplikation mit dem Quadrat der Transkonduktanz  $g_m$ . Das Rauschspannungsquadrat bzw. Rauschstromquadrat erhält man durch Integration der Rauschdichten über die Rauschbandbreite, die am entsprechenden Knoten vorliegt.

## 3 Theoretische Zusammenhänge des Wirkleistungsverbrauchs

Der Bedarf an Low-Power Schaltungen ergibt sich zum einen aus der hohen Integrationsdichte der Chips und der daraus resultierenden Hitzeentwicklung, und zum anderen aus der Nachfrage an Transpondern und batteriebetriebenen, portablen Geräten. Die Wirkleistung ist der zeitunabhängige Anteil des Momentanwertes der Leistung [21] und wird der Quelle entzogen. Dabei wird die Wirkleistung in Wärme oder eine andere Leistungsform überführt. Blindleistung tritt auf, wenn ein Energiespeicher in Form eines Kondensators oder einer Spule mit der Quelle verbunden ist. In diesem Fall wird die Energie zwischen Quelle und Energiespeicher ausgetauscht, und bei einem idealen Energiespeicher keine Wirkleistung verbraucht. Im folgenden ist mit Leistungsverbrauch die umgesetzte Wirkleistung gemeint. Für den Verbrauch der Wirkleistung ergeben sich Unterschiede in Bezug auf Digital- und Analog-Schaltungen. Diese Unterschiede werden in diesem Kapitel herausgestellt und verglichen. Dabei wird darauf eingegangen, warum sich diese Arbeit gerade mit Low-Power in Analogschaltungen beschäftigt. Weiterhin werden die gegebenen Limitierungen des Leistungsverbrauchs angeführt. Zudem werden geeignete Maßnahmen zur Reduktion des Leistungsverbrauchs in diesem Kapitel vorgestellt.

### 3.1 Digitalschaltungen

Es wird beim Leistungsverbrauch zwischen statischem und dynamischen Verbrauch unterschieden. Leistung, die auch ohne sich änderndes Eingangssignal verbraucht wird, wird als statisch bezeichnet. Dagegen wird die durch Laden und Entladen von Kapazitäten verbrauchte Leistung als dynamisch bezeichnet. Während in der Bipolartechnik der statische Leistungsverbrauch dominierte, überwiegt in der digitalen CMOS-Technik die dynamisch verbrauchte Leistung.

#### 3.1.1 Statische und Dynamische Wirkleistung

Im folgenden werden die vier Hauptkomponenten des Leistungsverbrauchs in CMOS-Digitalschaltungen vorgestellt. Dies sind der dynamische und statische Leistungsverbrauch sowie der Leistungsverbrauch aufgrund von Kurzschluss- oder Leckströmen:

$$P_{\text{digital}} = P_{\text{dynamic}} + P_{\text{short-circuit}} + P_{\text{leak}} + P_{\text{static}} \quad (\text{Gl. 3.1})$$

Den größten Anteil steuert die dynamische Leistung aufgrund von Schaltvorgängen bei. Bei Schaltvorgängen muss der Ausgang entweder auf Betriebsspannung  $U_{DD}$  oder auf Masse-Potenzial geladen werden. Die Leistung zu einem Zeitpunkt  $t$  lässt sich für ein allgemeines CMOS-Digitalgatter (Abbildung 3.1) als zeitliche Ableitung der Energie  $E$  mit

$$P(t) = \frac{dE(t)}{dt} = U_{DD} \cdot i_{DD}(t) \quad (\text{Gl. 3.2})$$

angeben. Vernachlässigt man Leckströme, so sperrt das NMOS-Netzwerk beim Übergang am Ausgang von logisch 0 zu logisch 1 und es gilt

$$i_{DD}(t) = C_L \cdot \frac{dU_{\text{aus}}(t)}{dt}. \quad (\text{Gl. 3.3})$$

Mit der Anstiegszeit  $t_{\text{rise}}$ , die hinreichend groß ist, um die Lastkapazität  $C_L$  für einen Übergang von logisch 0 nach logisch 1 umzuladen, wird die folgende Energie benötigt:

$$E_{0 \rightarrow 1} = \int_0^{t_{\text{rise}}} P(t) dt = U_{DD} \cdot C_L \cdot \int_0^{U_{DD}} dU_{\text{aus}} = C_L \cdot U_{DD}^2. \quad (\text{Gl. 3.4})$$

Dies ist die Energie, welche der Energiequelle beim Übergang von logisch 0 nach 1 entzogen wird. Da nach [21] die auf der Kapazität gespeicherte Energie  $\frac{1}{2} \cdot C_L \cdot U_{DD}^2$  beträgt, wird nur die zweite Hälfte im PMOS-Netzwerk in Wärme umgewandelt. Das bedeutet, dass beim Übergang von logisch 1 nach logisch 0 in der Entladezeit  $t_{\text{fall}}$  die auf der Kapazität gespeicherte Energie im NMOS-Netzwerk in Wärme umgewandelt wird. Die gesamte Taktperiode für einen Ladevorgang und einen Entladevorgang plus die Zeit, in welcher der Zustand am Ausgang beibehalten wird, lautet  $T_{\text{clk}} = t_{\text{rise}} + t_{\text{high}} + t_{\text{fall}} + t_{\text{low}}$ . Für den Fall, dass

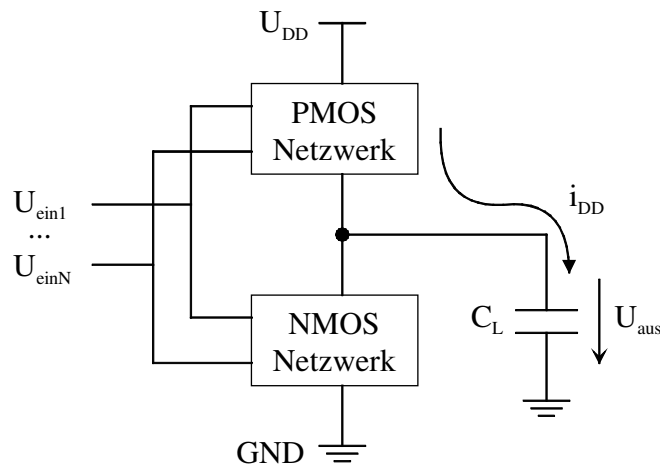


Abbildung 3.1: Modell eines digitalen CMOS-Gatters

für jeden Taktzyklus ein einzelner Übergang von logisch 0 nach logisch 1 und zurück stattfindet, lautet die mittlere verbrauchte Wirkleistung (die in der Fachliteratur als „dynamische Leistung“ bezeichnet wird):

$$P_{\text{dynamic}} = \frac{1}{T_{\text{clk}}} \cdot \int_0^{T_{\text{clk}}} P(t) dt = \frac{C_L \cdot U_{\text{DD}}^2}{T_{\text{clk}}} = C_L \cdot U_{\text{DD}}^2 \cdot f_{\text{clk}} \quad (\text{Gl. 3.5})$$

Dabei handelt es sich bei der Taktfrequenz  $f_{\text{clk}}$  um den Kehrwert von  $T_{\text{clk}}$ . Nach (Gl. 3.5) lässt sich der Leistungsverbrauch durch Minimierung der Gesamtkapazitäten, der Versorgungsspannung und der Frequenz reduzieren.

Bei einem allgemeinen digitalen System wird in jeder Taktperiode das  $m$ -fache, der für einen Umschaltvorgang benötigten Energie  $E_{\text{tr}}$ , verbraucht. Dabei beinhaltet der Faktor  $m$  zum einen die Anzahl der Umschaltvorgänge pro Taktzyklus und zum anderen die Wortbreite  $B$  des digitalen Systems. Ein Beispiel für  $m$  folgt in Kapitel 3.3. Somit erweitert sich (Gl. 3.5) zu

$$P_{\text{dynamic}} = m \cdot E_{\text{tr}} \cdot f_{\text{clk}} = m \cdot C_L \cdot U_{\text{DD}}^2 \cdot f_{\text{clk}} \quad (\text{Gl. 3.6})$$

Eine weitere Komponente des Leistungsverbrauchs  $P_{\text{short-circuit}}$  entsteht durch den Kurzschlussstrom, wenn die Anstiegszeit  $t_{\text{rise}}$  bzw. die Abfallzeit  $t_{\text{fall}}$  am Eingang größer ist als am Ausgang. Betrachtet man das Beispiel des CMOS-Inverters, so besteht für Eingangsspannungen im Bereich

$$U_{\text{TH},n} < U_{\text{in}} < U_{\text{DD}} - |U_{\text{TH},p}| \quad (\text{Gl. 3.7})$$

ein leitender Pfad, da beide Transistoren leitend sind. Dies lässt sich verhindern, indem die Versorgungsspannung kleiner als die Summe der Beträge der Schwellenspannungen gewählt wird. Dann sperrt immer ein Transistor, da die jeweilige Schwellenspannung unterschritten wird.

Verluste durch Leckströme bilden die dritte Komponente  $P_{\text{leak}}$  des Leistungsverbrauchs. In Digitalschaltungen lassen sich zwei Hauptquellen für Leckströme angeben. Zum einen Leckströme bei in Sperrrichtung betriebenen Drain zu Substrat/Wannen Dioden, und zum anderen der Leckstrom durch den Kanal bei sperrenden Transistoren (siehe Abbildung 4.1). Beide Leckströme werden hauptsächlich durch die Technologie bestimmt, aber letzterer kann durch Reduzierung der Transistorgeometrien und der Versorgungsspannung minimiert werden.

Die letzte Hauptkomponente des Leistungsverbrauchs, nämlich der statische Leistungsverbrauch  $P_{\text{static}}$ , wurde durch Einführung der CMOS-Technologie vernachlässigbar

klein gemacht. Dennoch können zum Zwecke der Flächeneinsparung bei komplexer Logik statische Lasten verwendet werden.

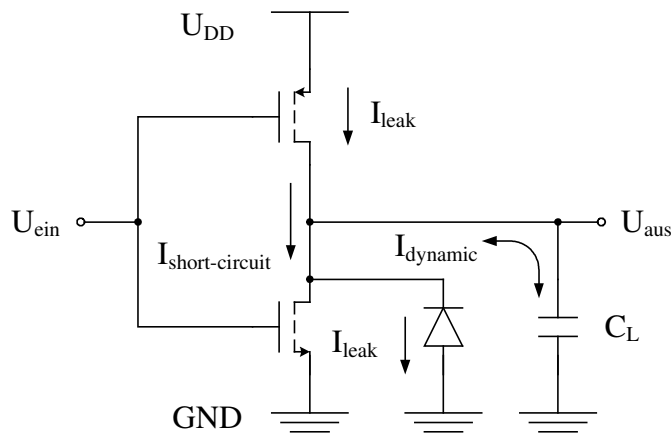


Abbildung 3.2: CMOS-Inverter mit drei Hauptkomponenten des Stromverbrauchs

Am Beispiel eines einfachen CMOS-Inverters sind in Abbildung 3.2 die drei wichtigsten Ursachen des Leistungsverbrauchs in Digitalschaltungen verdeutlicht. Der Leistungsverbrauch  $P_{\text{dynamic}}$  ist durch (Gl. 3.6) gegeben, und  $P_{\text{short-circuit}}$  und  $P_{\text{leak}}$  ergeben sich aus dem Produkt des jeweiligen Stromes und der Versorgungsspannung. Wie zu erkennen ist, resultiert  $I_{\text{dynamic}}$  vom Umladen der Lastkapazität, und  $I_{\text{short-circuit}}$  von den gleichzeitig leitenden PMOS und NMOS. Die Leckströme  $I_{\text{leak}}$  ergeben sich aus in Sperrrichtung betriebener pn-Übergängen und Strömen, welche bei abgeschaltetem Transistor fließen.

### 3.1.2 Limitierungen

Meindl sieht in [22] fünf Ebenen, die den Leistungsverbrauch limitieren. Diese sind neben den fundamentalen Limitierungen das Material, der Transistor, die Schaltung und das System. Dieses Kapitel beschränkt sich auf die fundamentale Limitierung, welche anhand der durch das thermische Rauschen induzierten Fehlerrate begrenzt wird. In [16] wird am Beispiel einer Inverterkette die minimale Energie  $E_l$ , die bei einer logischen Operation in Wärme umgesetzt wird, bestimmt. Eine logische Operation beschreibt einen Übergang von logisch 0 nach logisch 1 oder umgekehrt. Dafür werden die zufälligen Fehler aufgrund des Rauschens an einem idealisierten Gatter eingeführt. Es wird eine Gauß-Verteilung der Wahrscheinlichkeiten für eine logische 0 bzw. 1 über der auf die Rauschspannung normierten Ausgangsspannung angenommen. Ausgehend davon ist in [16] die minimale Energie  $E_l$  einer logischen Operation in Abhängigkeit der Fehlerrate  $A$  berechnet worden:



$$\frac{E_I}{k_B \cdot T_{\text{emp}}} = 3,92 \cdot \ln\left(\frac{1}{5 \cdot A}\right) + \varepsilon(A). \quad (\text{Gl. 3.8})$$

Dabei gilt, dass  $|\varepsilon(A)| < 0,5$  ist, für den Bereich  $10^{-7} > A > 10^{-23}$ . Die Fehlerrate  $A$  kann mit

$$A = \frac{2}{\sqrt{2 \cdot \pi}} \cdot \int_S^\infty \exp\left(-\frac{u^2 \cdot C_L}{2 \cdot k_B \cdot T_{\text{emp}}}\right) \cdot d\left(\frac{u}{\sqrt{k_B \cdot T_{\text{emp}}/C_L}}\right) \quad (\text{Gl. 3.9})$$

bestimmt werden. Die normierte Schwellenspannung  $S$  wird zu

$$S = \frac{U_{DD}}{2 \cdot \sqrt{k_B \cdot T_{\text{emp}}/C_L}} \quad (\text{Gl. 3.10})$$

angenommen.

Die der Quelle entzogene Energie  $E_{0 \rightarrow 1}$  (Gl. 3.4) ist doppelt so hoch wie die bei einer logischen Operation in Wärme umgesetzte Energie  $E_I$  ( $E_{0 \rightarrow 1} = 2 \cdot E_I$ ), da  $E_{0 \rightarrow 1}$  auch die auf dem Lastkondensator  $C_L$  gespeicherte Energie enthält, welche bei der zweiten logischen Operation in Wärme umgesetzt wird. Die Limitierung der dynamisch verbrauchten Wirkleistung lautet also bei zwei logischen Operationen pro Taktperiode  $P_{\text{dynamic}} = 2 \cdot E_I \cdot f_{\text{clk}}$ .

Die als Minimum gespeicherte Energie  $E_I$  bei einer logischen Operation fällt in dieser Limitierung deutlich höher aus, als es die Limitierung durch die Heisenbergsche Unschärferelation (siehe [23]) aus der Quantentheorie nahe legt.

## 3.2 Analogschaltungen

In Analogschaltungen ist immer eine bestimmte Leistung notwendig, um einen gewissen Signal zu Rauschabstand (SNR) zu erreichen. Ein repräsentatives „Figure of Merit“ (Gütefaktor) von verschiedenen Signalverarbeitungssystemen ist die verbrauchte Leistung, um einen einzigen Pol zu realisieren [24]. Deshalb wird in diesem Kapitel ein einpoliges analoges System auf den Leistungsverbrauch untersucht.

### 3.2.1 Leistung in einpoligen Systemen

Als generisches Modell eines einpoligen Systems wird hier ein einfacher „Common Source“ Verstärker untersucht, welcher durch einen Lastkondensator  $C_L$  in der Bandbreite begrenzt wird. Das Kleinsignalersatzschaltbild ist in Abbildung 3.3 zu sehen. Ein möglicher Lastwiderstand ist mit dem Ausgangswiderstand des Transistors  $r_{ds}$  zu  $R_{\text{aus}}$  zusammengefasst.

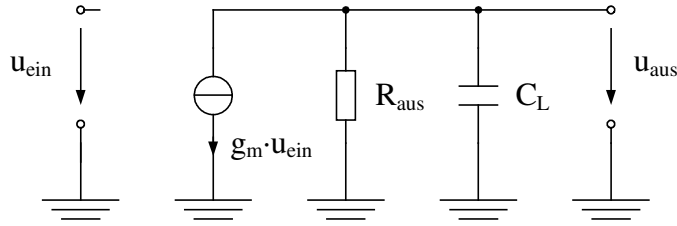


Abbildung 3.3: Kleinsignalersatzschaltbild eines „Common Source“ Verstärkers

Dieses einpolige System besitzt die folgende frequenzabhängige Spannungsverstärkung:

$$A_U(s) = \frac{u_{\text{aus}}(s)}{u_{\text{ein}}(s)} = -\frac{g_m \cdot R_{\text{aus}}}{1 + s \cdot R_{\text{aus}} \cdot C_L}. \quad (\text{Gl. 3.11})$$

Als Vereinfachung wird nur thermisches Kanalrauschen des Transistors mit der Rauschspannungsdichte aus (Gl. 2.30) am Eingang des Verstärkers modelliert. Das Rauschspannungsquadrat am Ausgang des Verstärkers lautet damit

$$\begin{aligned} \overline{u_{\text{naus}}^2} &= \int_0^\infty |A_U(s = 2 \cdot \pi \cdot f)|^2 \cdot \frac{\overline{u_{\text{nrh}}^2}}{\Delta f} \cdot df \\ &= \int_0^\infty \frac{g_m^2 \cdot R_{\text{aus}}^2}{1 + (2 \cdot \pi \cdot f \cdot R_{\text{aus}} \cdot C_L)^2} \cdot \frac{4 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{g_m} \cdot df. \\ &= \frac{k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{C_L} \cdot g_m \cdot R_{\text{aus}} \end{aligned} \quad (\text{Gl. 3.12})$$

Das SNR („signal-to-noise ratio“) am Ausgang ist der Quotient aus Effektivwert der Ausgangsspannung zum Quadrat und dem Rauschspannungsquadrat am Ausgang:

$$\text{SNR} = \frac{\left( \frac{U_{\text{pp}}}{2 \cdot \sqrt{2}} \right)^2}{\overline{u_{\text{naus}}^2}} = \frac{\left( \frac{U_{\text{pp}}^2}{8} \right)}{\left( \frac{k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{C_L} \cdot g_m \cdot R_{\text{aus}} \right)}. \quad (\text{Gl. 3.13})$$

Dabei ist  $U_{\text{pp}}$  die Spannung von Spitze zu Spitze der sinusförmigen Ausgangsspannung über dem Kondensator  $C_L$ . Der zeitliche Verlauf der Ausgangsspannung mit der Kreisfrequenz  $\omega$  lautet demnach

$$u_{\text{aus}}(t) = \frac{U_{\text{pp}}}{2} \cdot \sin(\omega \cdot t). \quad (\text{Gl. 3.14})$$

Für den Strom durch den Lastkondensator und den Ausgangswiderstand ergibt sich

$$i_c(t) = C_L \cdot \frac{du_{\text{aus}}(t)}{dt} = C_L \cdot \omega \cdot \frac{U_{\text{pp}}}{2} \cdot \cos(\omega \cdot t), \quad (\text{Gl. 3.15})$$

$$i_R(t) = \frac{1}{R_{\text{aus}}} \cdot \frac{U_{\text{pp}}}{2} \cdot \sin(\omega \cdot t). \quad (\text{Gl. 3.16})$$

Als umgesetzte Wirkleistung resultiert

$$P_{\text{ana log}} = \frac{1}{T} \cdot \int_0^T u_{\text{aus}}(t) \cdot [i_R(t) + i_C(t)] \cdot dt = \frac{1}{2 \cdot R_{\text{aus}}} \cdot \left( \frac{U_{\text{pp}}}{2} \right)^2 = \frac{U_{\text{pp}}^2}{8} \cdot C_L \cdot \omega_{3\text{dB}}. \quad (\text{Gl. 3.17})$$

Dabei ist  $T$  die Periodendauer der Schwingung am Ausgang des Verstärkers. Eine Kombination aus (Gl. 3.13) und (Gl. 3.17) ergibt eine Leistung des analogen einpoligen Systems von

$$P_{\text{ana log}} = k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma \cdot \frac{g_m}{C_L} \cdot \text{SNR}. \quad (\text{Gl. 3.18})$$

### 3.2.2 Limitierungen

Die fundamentalen Limitierungen für ein analoges einpoliges Systemen ergeben sich aus den Gleichungen des vorigen Kapitels. An (Gl. 3.18) ist zu erkennen, dass die Leistung eines einpoligen Verstärkers neben der Abhängigkeit von der Temperatur, dem Inversionsgrad und dem SNR insbesondere auch durch das Verstärkungs-Bandbreite-Produkt

$$\omega_{\text{GBW}} = \frac{g_m}{C_L}. \quad (\text{Gl. 3.19})$$

(auch „unity-gain frequency“) limitiert wird.

Somit hängt die dynamisch verbrauchte Leistung, im Falle einer Aussteuerung mit konstanter Amplitude am Ausgang, nicht von der Frequenz des verarbeiteten Signals ab. In der Berechnung der Leistung wurde angenommen, dass die Ausgangsspannung nach (Gl. 3.14) bei jeder Frequenz mit der Amplitude  $U_{\text{pp}}/2$  sinusförmig verläuft. Da zu höheren Frequenzen die Verstärkung abfällt, muss am Eingang eine höhere Spannung angelegt werden. Der Leistungsverbrauch bleibt konstant, da zum einen aufgrund des unendlich hohen Eingangswiderstandes keine Leistung am Eingang verbraucht wird, und zum anderen, weil die Leistung am Ausgang nach (Gl. 3.17) von der Frequenz unabhängig ist und für die Ausgangsspannung immer die gleiche Amplitude angenommen wurde.

Für den Fall konstanter Aussteuerung am Eingang des Verstärkers fällt die Amplitude am Ausgang mit steigender Frequenz ab, und somit sinkt die dynamisch verbrauchte Leistung. Da aber der Verstärker für einen Betrieb im Durchlassbereich (definiert durch  $\omega_{3\text{dB}}$ ) dimensioniert wird, ist eine volle Aussteuerung des Ausganges, um ein hohes SNR zu erreichen, und damit der untersuchte Fall anzustreben.

Bei einem Anstieg des Verstärkungs-Bandbreite-Produkts, wird auch der Leistungsverbrauch größer. Dies liegt daran, dass damit auch die Bandbreite, in der das Rauschen verstärkt wird, erhöht wird. Um das gleiche SNR zu erhalten, muss somit mehr Leistung aufgebracht werden. Neben diesen fundamentalen Limitierungen gibt es noch eine Reihe praktischer Begrenzungen, welche wie zuvor erwähnt sich auf verschiedenen Ebenen befinden. Kapazitäten werden oft zur Reduzierung der Rauschleistung eingesetzt. Jedoch erhöhen diese die notwendige Leistung, wenn eine Bandbreite des System erreicht werden soll. Ähnliches gilt für parasitäre Kapazitäten, die als Last fungieren. Um die notwendige Bandbreite noch zu erreichen, muss die zu investierende Leistung erhöht werden. Dies liegt auch an dem kleinen Transkonduktanz zu Strom Verhältnis  $g_m/I$  von MOSFETs in starker Inversion.

Die in Bias-Schaltungen verbrauchte Leistung sollte minimiert werden. Wird allerdings der notwendige Bias-Strom durch Multiplizierung erreicht, so ist dieser verrauschter als ein einfach eingeführter Bias-Strom.

Neben dem thermischen Rauschen gibt es weitere Rauscharten, wie das  $1/f$ -Rauschen, und weitere Rauschquellen, wie die Versorgungsspannung und das Rauschen anderer Schaltungsblöcke. Somit braucht man unter Umständen mehr Leistung, als (Gl. 3.18) angibt.

### 3.3 Vergleich des Leistungsverbrauchs in analogen und digitalen Schaltungen

Wie bereits erwähnt, ist die pro Pol verbrauchte Leistung ein zweckmäßiges Figure of Merit um verschiedene Signalverarbeitungssysteme zu vergleichen. Deshalb wird hier die Leistung eines einpoligen digitalen Filter mit der eines einpoligen analogen Verstärkers, welcher ein Tiefpassverhalten aufweist, gegenüber gestellt.

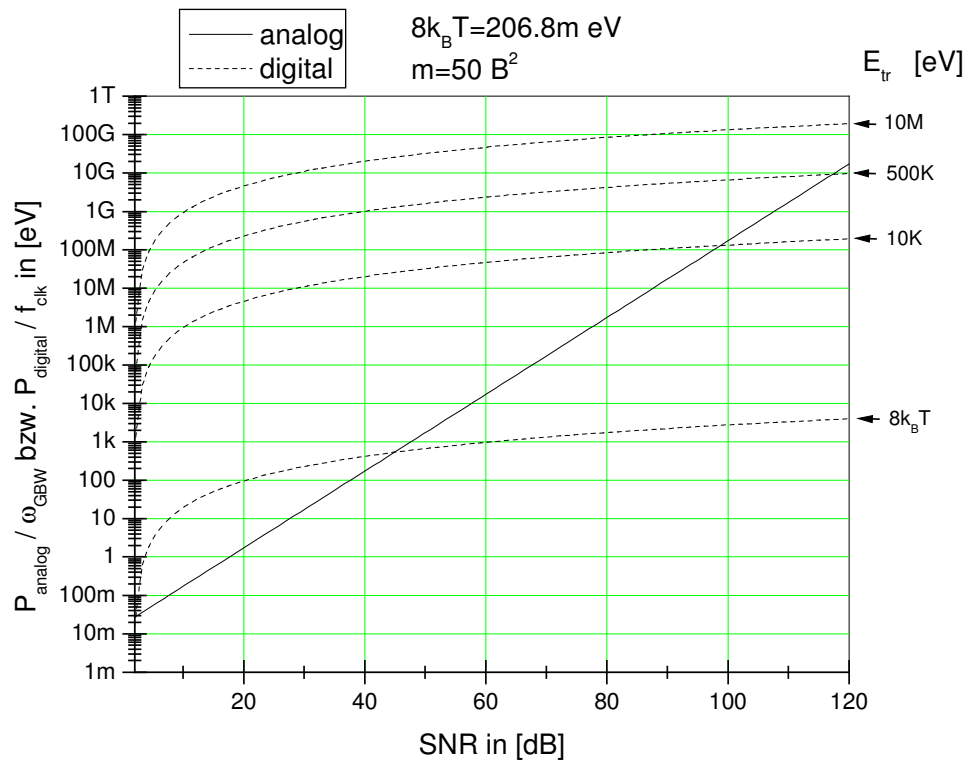
Für das digitale System wird hier nur der dynamische Leistungsverbrauch berücksichtigt. Der Faktor  $m$  der dynamisch verbrauchten Leistung in (Gl. 3.6) kann nach [52] in Abhängigkeit vom SNR angegeben werden:

$$m \cong B^a = \left[ \frac{10 \cdot \log(\text{SNR}) - 1,76}{6,02} \right]^a. \quad (\text{Gl. 3.20})$$

Dabei gibt  $B$  die Wortbreite des Systems in Bits an und wird mit dem Faktor  $a$  potenziert. Für ein einpoliges digitales Filter lässt sich  $m$  nach [24] zu

$$m \cong 50 \cdot B^2 \quad (\text{Gl. 3.21})$$

vereinfachen.



**Abbildung 3.4: Normierte Leistung in einem einpoligen analogen bzw. digitalen System**

Für das analoge einpolige System gilt (Gl. 3.18), wobei der Transistor in starker Inversion angenommen wird, so dass nach Kapitel 2.2  $n$  mit eins und  $\gamma$  mit  $2/3$  abgeschätzt wird.

In Abbildung 3.4 ist die Leistung des analogen einpoligen Systems, auf das Verstärkungs-Bandbreite-Produkt  $\omega_{\text{GBW}}$  normiert, in Abhängigkeit vom SNR dargestellt. Zum Vergleich ist auch die Leistung des digitalen einpoligen Systems, normiert auf die Taktfrequenz  $f_{\text{clk}}$ , zu sehen. Die Ergebnisse des digitalen Systems sind als Kurvenschar für verschiedene Energien  $E_{\text{tr}}$ , die für einen Umschaltvorgang von logisch 0 nach logisch 1 der Quelle entzogen werden, aufgetragen. Es ist auch das durch die Thermodynamik gegebene Limit von  $E_{\text{tr}} = 8 \cdot k_B \cdot T_{\text{emp}}$ , wie es in [87] angenommen wird, eingetragen. Wie aber in Kapitel 3.1.2 vorgestellt, liegt die Limitierung, welche die Fehlerrate durch Rauschen mit einbezieht, um zwei Ordnungen höher.

Wie in Abbildung 3.4 zu erkennen, schneiden die Kurven des digitalen Systems die des analogen Systems. Das bedeutet, dass ab einem bestimmten SNR die digitalen Systeme eine geringere Leistung pro Pol gegenüber dem analogen System benötigen. Also sind hohe SNRs mit analogen Low-Power Schaltungen schwer zu erreichen. Zudem wird für das analoge

System eine Verzehnfachung des Leistungsverbrauchs für eine Erhöhung des SNR um 10 dB vorausgesagt. Die Leistung im digitalen System hingegen besitzt eine logarithmische Abhängigkeit vom SNR.

Hosticka hat in [25] auch Merkmale von analogen und digitalen Schaltungen verglichen. Zusätzlich zu Leistungsverbrauch, SNR, Bandbreite und Signalfrequenz wird die Systemkapazität untersucht. Diese limitiert die maximale Informationsrate für eine fehlerfreie Übertragung in einem Kommunikationssystem.

Es werden eine analoge zeitkontinuierliche RC-Tiefpass-Schaltung, ein analoges SC-Abtast-Halte-Glied und ein digitales seriell Register anhand einfacher Modelle verglichen. Dabei werden die Schaltungen als Kommunikationskanäle behandelt.

Nach [25] schneidet analoge Schaltungstechnik in zwei Fällen günstiger als die digitale Schaltungstechnik ab. Zum einen in Low-Power Anwendungen und zum anderen in Hochfrequenz-Anwendungen. Diese Aussage bildet den Grundstein dafür, dass sich diese Arbeit mit Low-Power in Analogschaltungen beschäftigt. Weiterhin ist Low-Power in Digitalschaltungen schon etabliert, und in Analogschaltungen bieten sich noch Lücken zur Verbesserung.

Das Hauptproblem in analogen Schaltungen scheint das Erreichen hoher SNRs zu sein, wobei digitale Schaltungen dort ihre Vorteile haben. Daher scheinen analoge Schaltungen für Anwendungen mit geringen SNR Anforderungen prädestiniert zu sein [25].

Hahm, Friedman und Titlebaum vergleichen in [49] die analoge und digitale Realisierung eines programmierbaren Matched Filters auf dessen Leistungseffizienz. Dabei werden Aspekte wie Filtergröße, Arbeitsfrequenz und Technologie-Skalierung berücksichtigt. Das analoge Matched Filter weist eine höhere Leistungseffizienz für kleinere Filterlängen und schnelleren Betrieb auf. Wohingegen das digitale Matched Filter für den umgekehrten Fall eine bessere Leistungseffizienz besitzt. Zudem hat die digitale Variante Vorteile bei höheren Anforderungen an die Genauigkeit. Nach [49] können diese Erkenntnisse auf die allgemeine Schaltungsentwicklung angewendet werden.

### **3.4 Maßnahmen zur Reduktion der Leistungsaufnahme**

In diesem Kapitel werden allgemeine Maßnahmen zur Reduktion des Leistungsverbrauchs in analogen CMOS-Schaltungen vorgestellt. Als generisches Modell wird ein einstufiger OTA („operational transconductance amplifier“) mit frequenzunabhängiger Rückkopplung  $\beta$

herangezogen. Dessen Kleinsignalersatzschaltbild mit eingangsbezogener Rauschquelle am Eingang des OTAs ist in Abbildung 3.5 zu sehen.

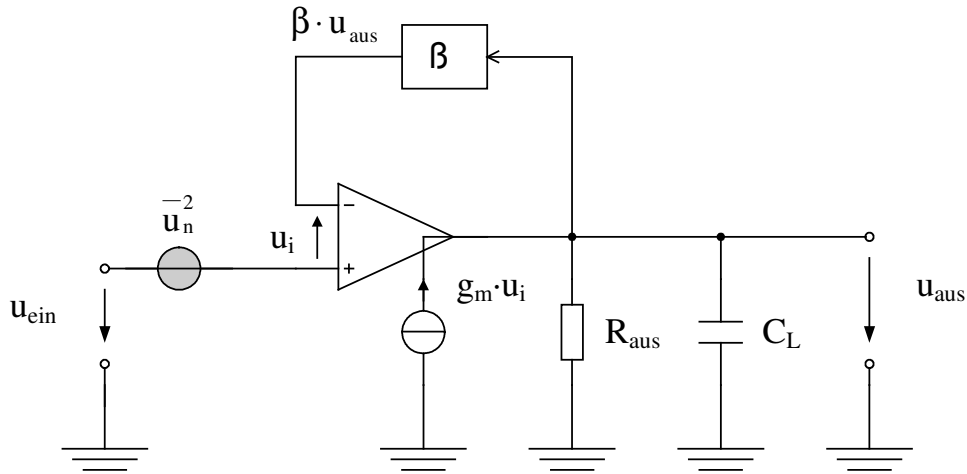


Abbildung 3.5: Kleinsignalersatzschaltbild eines rauschenden OTAs mit Rückkopplung

Für die Ausgangsspannung des rückgekoppelten Verstärkers ergibt sich mit der momentanen Rauschspannung  $u_n$ :

$$u_{aus} = \frac{g_m \cdot R_{aus}}{1 + g_m \cdot R_{aus} \cdot \beta} \cdot \frac{u_{ein} + u_n}{1 + \frac{s \cdot R_{aus} \cdot C_L}{1 + g_m \cdot R_{aus} \cdot \beta}}. \quad (\text{Gl. 3.22})$$

Betrachtet man die Übertragungsfunktion von Eingangsspannung zur Ausgangsspannung ohne Rauschquelle, erhält man für den Extremfall ohne Rückkopplung, also  $\beta = 0$ :

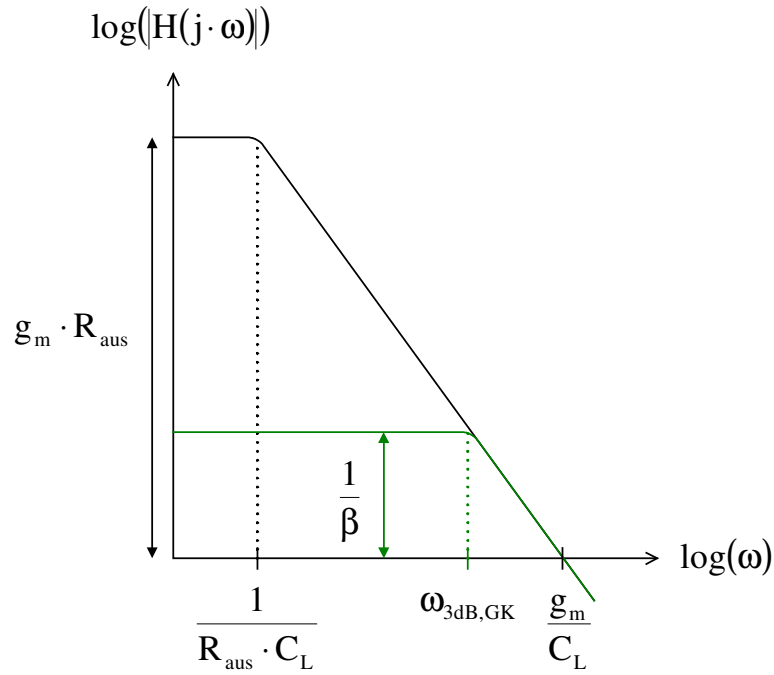
$$H(s) = \frac{u_{aus}(s)}{u_{ein}(s)} = \frac{g_m \cdot R_{aus}}{1 + s \cdot R_{aus} \cdot C_L}. \quad (\text{Gl. 3.23})$$

Dies ist der „open-loop“ Fall und entspricht den Betrachtungen aus Kapitel 3.2.1. Die 3dB-Eckfrequenz entspricht der Polfrequenz des OTAs und die maximale Verstärkung wird durch die Verstärkung des OTAs begrenzt.

Wird der OTA als Eins-Verstärker verschalten, also  $\beta = 1$ , lässt sich unter der Annahme  $g_m \cdot R_{aus} \cdot \beta \gg 1$  die Übertragungsfunktion zu

$$H(s) = \frac{u_{aus}(s)}{u_{ein}(s)} = \frac{1}{1 + \frac{s \cdot C_L}{g_m}}. \quad (\text{Gl. 3.24})$$

angeben. Die 3dB-Eckfrequenz entspricht in diesem Fall dem Verstärkungs-Bandbreite-Produkt des OTAs.



**Abbildung 3.6:** Übertragungsfunktion des rückgekoppelten (grün) und nicht rückgekoppelten (schwarz) OTAs

In Abbildung 3.6 sind die Übertragungsfunktionen eines „open-loop“ OTA und eines rückgekoppelten OTAs dargestellt. Die Darstellung gilt für die Annahmen einer frequenzunabhängigen Rückkopplung  $\beta$  und für eine hohe Leerlaufverstärkung des OTAs.

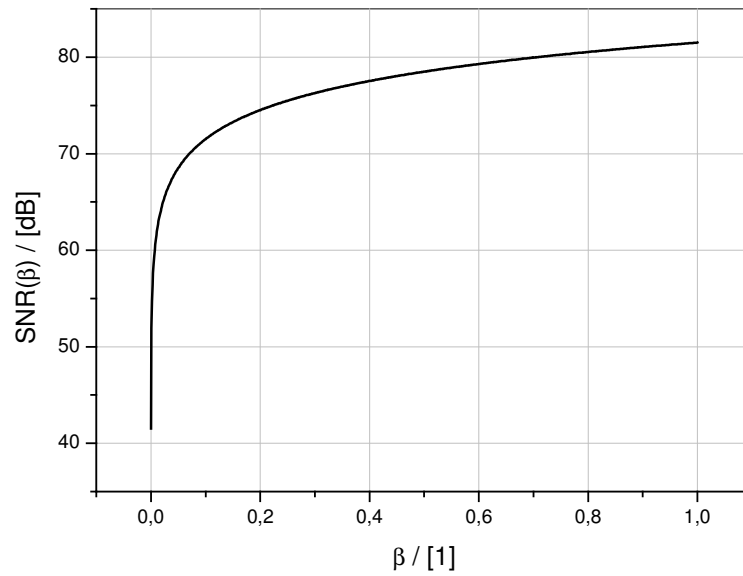
Das Rauschspannungsquadrat am Ausgang des rückgekoppelten Verstärker berechnet sich mit der Rauschleistungsdichte des thermischen Kanalrauschens aus (Gl. 2.30) zu

$$\begin{aligned} \overline{u_{\text{naus}}^2} &= \int_0^\infty \left( \frac{g_m \cdot R_{\text{aus}}}{1 + g_m \cdot R_{\text{aus}} \cdot \beta} \right)^2 \cdot \frac{1}{1 + \frac{(2 \cdot \pi \cdot f \cdot R_{\text{aus}} \cdot C_L)^2}{(1 + g_m \cdot R_{\text{aus}} \cdot \beta)^2}} \cdot \frac{\overline{u_n^2}}{\Delta f} \cdot df \\ &= \frac{k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{C_L} \cdot \frac{g_m \cdot R_{\text{aus}}}{1 + g_m \cdot R_{\text{aus}} \cdot \beta} \end{aligned} \quad (\text{Gl. 3.25})$$

Da der OTA eine Differenzeingangsstufe mit zwei Eingangstransistoren besitzt wird bei der Bestimmung des maximalen SNR das doppelte von (Gl. 3.25) als Rauschspannungsquadrat berücksichtigt:

$$\text{SNR} = \frac{\left( \frac{U_{\text{pp}}^2}{8} \right)}{\left( 2 \cdot \frac{k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{C_L} \cdot \frac{g_m \cdot R_{\text{aus}}}{1 + g_m \cdot R_{\text{aus}} \cdot \beta} \right)}. \quad (\text{Gl. 3.26})$$





**Abbildung 3.7: Maximales SNR in dB in Abhängigkeit von  $\beta$  (für  $C_L=1\text{pF}$ ;  $U_{pp}=2,5\text{V}$ ; 80dB Leerlaufverstärkung OTA)**

Das maximale SNR ist für einige typische Werte in Abbildung 3.7 in Abhängigkeit vom Rückkopplungsfaktor dargestellt. Das SNR wächst mit steigendem  $\beta$ , da aufgrund der sinkenden Verstärkung des rückgekoppelten Systems das Rauschen weniger verstärkt wird.

Aus (Gl. 3.26) resultiert eine minimale Lastkapazität des rückgekoppelten Verstärkers von

$$C_L = \frac{16 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{U_{pp}^2} \cdot \frac{g_m \cdot R_{\text{aus}}}{1 + g_m \cdot R_{\text{aus}} \cdot \beta} \cdot \text{SNR} . \quad (\text{Gl. 3.27})$$

Für ein SNR von 10 Bit, einen Ausgangshub von  $U_{pp} = 2,5 \text{ V}$  und der Abschätzung von  $n = 1$  bzw.  $\gamma = 2/3$  in starker Inversion ergibt sich im Falle des „open-loop“ ( $\beta = 0$ ) OTA mit 80 dB Leerlaufverstärkung eine minimale Lastkapazität von 72,39 fF. Aus Gründen der Stabilität muss  $C_L$  in der Praxis oft viel größer sein.

Der durch die kleinsignalmäßige Aussteuerung des Verstärkers entstehende Leistungsverbrauch ist durch (Gl. 3.17) gegeben und wird hier als dynamischer Leistungsverbrauch bezeichnet. In Kombination mit der rückkopplungsabhängigen 3dB-Eckfrequenz

$$\omega_{3\text{dB}} = \frac{1 + g_m \cdot R_{\text{aus}} \cdot \beta}{R_{\text{aus}} \cdot C_L} \quad (\text{Gl. 3.28})$$

ergibt sich eine minimale dynamische Leistung von

$$P_{\text{dynamisch}} = \frac{U_{\text{pp}}^2}{8} \cdot C_L \cdot \omega_{3\text{dB}} = \frac{U_{\text{pp}}^2}{8} \cdot \frac{1 + g_m \cdot R_{\text{aus}} \cdot \beta}{R_{\text{aus}}} \quad (\text{Gl. 3.29})$$

Beim Betrieb als „open-loop“ OTA ( $\beta = 0$ ) resultiert das Ergebnis aus Kapitel 3.2.1.

Zur Einstellung des Arbeitspunktes im Verstärker fließt zudem andauernd ein Bias-Strom, welcher einen statischen Leistungsverbrauch, zu dem auch Leckströme gehören, zur Folge hat:

$$P_{\text{statisch}} = U_{\text{DD}} \cdot (k \cdot I_{\text{Bias}} + I_{\text{Leak}}) \quad (\text{Gl. 3.30})$$

Dabei gibt  $k$  die Anzahl der Bias-Ströme im Verstärker an. Für eine Eingangsdifferenzstufe ist  $k = 2$ . Der Bias-Strom ergibt sich über die Transkonduktanz  $g_m$  und die Bias-Spannung am Stromquellentransistor:

$$I_{\text{Bias}} = g_m \cdot U_{\text{Bias}} \quad (\text{Gl. 3.31})$$

Der theoretisch minimal notwendige Bias-Strom kann zu

$$I_{\text{Bias}} \geq g_m \cdot U_T \quad (\text{Gl. 3.32})$$

abgeschätzt werden. Allerdings wird dieser Wert auch in schwacher Inversion nicht ganz erreicht.

Für die minimale Gesamtleistung von  $N$  Schaltungen, die theoretisch zu erreichen ist, gilt

$$P_{\text{theor}} = N \cdot (P_{\text{statisch}} + P_{\text{dynamisch}}) \quad (\text{Gl. 3.33})$$

Unter der Annahme, dass kein Leckstrom fließt und (Gl. 3.29) bis (Gl. 3.31) sowie (Gl. 3.26) gilt, ergibt sich in Abhängigkeit des SNR eine minimal notwendige Leistung von

$$P_{\text{theor}} = \frac{N \cdot 16 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma \cdot \omega_{3\text{dB}} \cdot \text{SNR}_{\text{max}}}{\beta^2} \cdot \left( k \cdot \frac{U_{\text{Bias}}}{U_{\text{DD}}} + \frac{\beta}{8} \right) \quad (\text{Gl. 3.34})$$

Für den maximalen Spannungshub  $U_{\text{pp}}$  wurde hier die Versorgungsspannung  $U_{\text{DD}}$  angenommen.

Unter den Bedingungen  $U_{\text{DD}} \gg k \cdot U_{\text{Bias}}$  und  $g_m \cdot R_{\text{aus}} \cdot \beta \gg 1$ , resultiert aus (Gl. 3.34) für die theoretische minimale Leistung  $P_{\text{theor}} = 2 \cdot N \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma \cdot (g_m / C_L) \cdot \text{SNR}_{\text{max}}$ . Ein Vergleich mit (Gl. 3.18) zeigt, dass der Differenzverstärker als Zusammenschaltung zweier „Common Source“ Verstärker gilt, und somit das zweifache der Leistung verbraucht.

Wie in (Gl. 3.34) zu erkennen, lässt sich die Leistung durch Senken des SNR oder der Bandbreite  $\omega_{3\text{dB}}$  reduzieren. Im Rahmen der Spezifikationen muss ein Kompromiss („Trade-Off“) zwischen diesen Größen gefunden werden. Daneben lassen sich weitere allgemeine Maßnahmen zur Leistungsreduktion in analogen CMOS-Schaltungen nennen. Zunächst sollten die Bias-Spannung  $U_{\text{Bias}}$  und der Leckstrom  $I_{\text{Leak}}$  reduziert werden. Für eine

Optimierung der Bias-Spannung ist eine technologierobuste Einstellung von  $I_{\text{Bias}}$  wichtig, um nicht zu viel Strom, aber auch nicht zu wenig Strom, zur Verfügung zu stellen. Zudem sollte die Schaltungskomplexität  $N$  minimiert werden, indem z. B. die Anzahl der benötigten Verstärker in einem System minimiert werden. Eine weitere effektive Maßnahme ist es, die Schaltung oder bestimmte Schaltungsteile in nicht benötigten Phasen zu deaktivieren („Power-Down“-Modus). Dies kann durch den Benutzer geschehen (Deaktivierung in den sogenannten „Idle Mode“), oder vom Takt in zeitdiskreten Schaltungen ausgehen (Verwendung eines „Dynamic Circuit“). Als dritte Möglichkeit wird die Schaltung durch das Eingangssignal aktiviert („Event Control“).

Wie bereits erwähnt, bieten sich auf allen Ebenen des Schaltungsentwurfs Möglichkeiten die verbrauchte Leistung zu reduzieren. Das nächste Kapitel behandelt den Einfluss von drei verschiedenen Abstraktionsebenen, um den energieeffizientesten Weg einzuschlagen. Die Betrachtungen berücksichtigen Aspekte von der oberste Ebene der Systemarchitektur bis zur untersten Ebene der Technologie.

## 4 Betrachtung von Technologieaspekten, Schaltungstechnik und Systemarchitektur

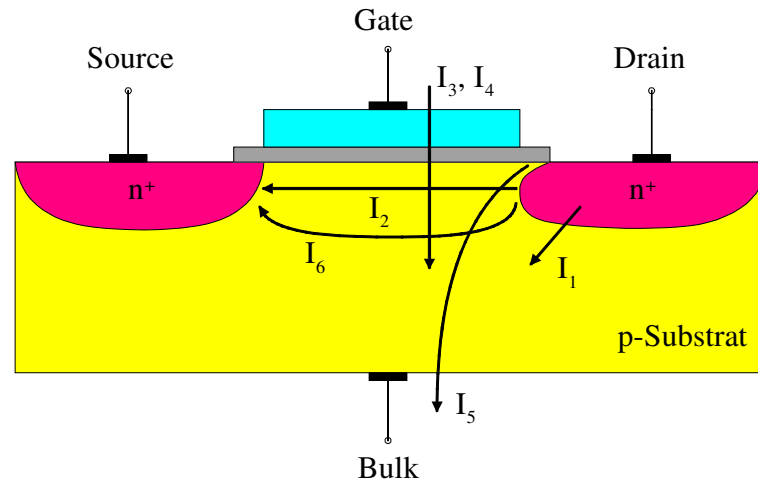
Beim Entwurf von Low-Power Schaltungen sollte auf allen Ebenen darauf geachtet werden, die leistungsärmsten Maßnahmen zu ergreifen. Dabei muss allerdings oft ein Kompromiss („Trade-Off“) in Hinblick auf andere Anforderungen als den Leistungsverbrauch gefunden werden. In diesem Kapitel werden Aspekte auf den Ebenen Technologie, Schaltungstechnik und Systemarchitektur untersucht. Wobei in dieser Arbeit auf der Technologieebene wenig Einfluss genommen werden kann.

### 4.1 Technologie

Auf der Ebene der Technologie sind Leckströme und der Low-Voltage Betrieb für die Eignung zu Low-Power Schaltungen von großer Bedeutung. Die CMOS Technologie vollzieht eine Skalierung seit vielen Jahren, wobei die Transistorstrukturen immer kleiner werden. Nach dem Gesetz von Moore aus dem Jahre 1965 verdoppelt sich die Anzahl der Transistoren auf einem IC jedes Jahr. Die Wachstumsrate wurde 1975 auf eine Verdopplung alle zwei Jahre angepasst [36]. Dies hat eine starke Leistungssteigerung bei digitalen Schaltungen und vor allem bei Mikroprozessoren zur Folge. Um die aus der hohen Integrationsdichte entstehende Hitzeentwicklung zu vermindern, wird zeitgleich die Versorgungsspannung reduziert. Mit zunehmender Skalierung wird allerdings die Betrachtung von Leckströmen immer wichtiger. Weiterhin wird auf die Bedeutung der Technologierobustheit für das Funktionieren einer Schaltung untersucht.

#### 4.1.1 Leckstrom

Mit Leckstrom ist der Strom gemeint, der durch einen Transistor im ausgeschalteten Zustand, also bei einer Gate-Source-Spannung  $U_{GS}=0$ , fließt. In Digitalschaltungen trägt der Leckstrom  $I_{OFF}$  bereits einen großen Anteil zum gesamten Leistungsverbrauch bei. In Analogschaltungen sind Leckströme vor allem bei SC-Schaltungen von Bedeutung, da die in Ladung gespeicherte Information bei leckenden Schaltern verloren gehen kann.



**Abbildung 4.1: Querschnitt eines MOSFETs mit sechs Leckstrom-Mechanismen**

Im folgenden werden sechs Leckstrom-Mechanismen, wie sie in [27] vorgestellt sind, beschrieben. Dabei wird der Einfluss von Kurzkanaltransistoren auf den Leckstrom hervorgehoben. Abbildung 4.1 zeigt die sechs Arten von Leckströmen in einer Prinzipdarstellung. Wie zu erkennen ist, tragen nicht nur die Ströme vom Drain-Anschluss zum Gesamtleckstrom bei. Die Ströme  $I_1$  und  $I_3$  wirken sowohl im an- als auch im ausgeschalteten Betrieb des Transistors.

Die Leckströme der in Sperrrichtung betriebenen pn-Übergänge von Drain oder Source zu Substrat bzw. Wanne sind mit  $I_1$  bezeichnet. Die zwei Hauptkomponenten von  $I_1$  sind die Diffusion bzw. der Drift von Minoritätsladungsträgern und die Elektronen/Loch-Paar Generation in der Verarmungsregion des pn-Überganges. Im Falle hoher Dotierungen in den p- und n-Regionen dominiert das Tunneln von Band zu Band BTBT (Band-To-Band Tunneling).

Der Leckstrom durch schwache Inversion  $I_2$  wird hauptsächlich durch Diffusionsstrom bestimmt. Da bei der Skalierung von Transistoren auch die Versorgungsspannung sinkt, ist eine Verringerung der Schwellenspannung  $U_{TH}$  notwendig. Dies erhöht allerdings Leckstrom  $I_2$  von Drain nach Source, da auch bei einem  $U_{GS} < U_{TH}$  eine kleine Anzahl Minoritätsladungsträger vorhanden ist. Für Langkanaltransistoren ist  $I_2$  unabhängig von der Drain-Spannung, wenn  $U_{DS}$  größer als ein Vielfaches der Temperaturspannung  $U_T$  ist. Bei Kurzkanaltransistoren ist die Schwellenspannung und damit  $I_2$  von der Drain-Source-Spannung  $U_{DS}$  abhängig. Dieser Effekt wird DIBL (Drain-Induced Barrier Lowering) genannt, und ist umso stärker je kürzer die Kanallänge und je höher  $U_{DS}$ . DIBL kann als Änderung in  $I_D$  bei konstantem  $U_{GS}$  und variiertem  $U_{DS}$  gemessen werden. Als weitere

Effekte, welche bereits in Kapitel 2 vorgestellt wurden, beeinflussen der Substrat-Effekt und der „Narrow-Width Effect“  $I_2$  über eine Schwellenspannungsänderung. Ebenso erhöht sich  $I_2$  mit steigender Temperatur.

Da durch die Skalierung der Transistoren auch das Gate-Oxid dünner wird, ermöglicht die erhöhte Feldstärke das Tunneln von Elektronen durch das Oxid, und damit den Leckstrom  $I_3$ . Es handelt sich um das so genannte „Fowler-Nordheim“ Tunneln, und bei sehr dünnem Oxid auch um direktes Tunneln.

Erlangen Elektronen oder Löcher, durch hohe Feldstärken an der Si-SiO<sub>2</sub> Grenzfläche, genügend Energie, so kommt es zur Injektion „heißer Ladungsträger“. Die Ladungsträger überwinden die Potenzialbarriere und gelangen in das Oxid. Dies wird durch den Leckstrom  $I_4$  repräsentiert.

Ein Ansteigen der Leckströme  $I_3$  und  $I_4$  verletzt zunehmend die ideale Annahme eines unendlichen Eingangswiderstandes beim MOSFET.

Für den Fall, dass die Gate-Source-Spannung Null oder negativ ist und die Drain-Source-Spannung den höchsten Wert mit  $U_{DD}$  annimmt, kann es in der  $n^+$  Drain Region unter dem Gate aufgrund hoher Feldstärken zu Verarmung oder Inversion kommen. Die entstehenden Minoritätsladungsträger fließen zum Substrat mit niedrigerem Potenzial ab. Dieser Leckstrom  $I_5$  beruht auf dem Effekt GIDL (Gate-Induced Drain Leakage). Die Temperaturabhängigkeit des GIDL ist in [28] untersucht worden.

Zum Durchbruchstrom  $I_6$  kann es bei Kurzkanaltransistoren kommen. Dabei berühren sich die Verarmungszonen der in Sperrrichtung betriebenen pn-Übergänge von Drain und Source.

Mukhopadhyay modelliert die drei wichtigsten Leckstrom-Mechanismen in [29] mit einem Transistormodell aus einer Summe aus Stromquellen SCS (Sum of Current Sources). Eckerbert modelliert in [30] Leckstrom für CMOS Gatter, indem der statische Leckstrom von der dynamischen Schalt- und Kurzschluss-Leistung getrennt betrachtet wird.

Es wurden einige Methoden zur Reduzierung von Leckströmen in Digitalschaltungen veröffentlicht ([27], [31] und [32]). Eine Methode zur Kompensation von Leckströmen in analogen SC-Schaltungen stellen Wong und andere in [33] vor. Am Beispiel eines Sample&Hold Verstärkers wird die Reduzierung des effektiven Leckstroms aufgezeigt. Dafür wird der gesamte Leckstrom mit umgekehrtem Vorzeichen auf den Kondensator gebracht. Dies geschieht durch die Nutzung eines Duplikates der Schaltung. Der resultierende Leckstrom, den der Kondensator sieht, ist somit kompensiert. Folglich können kleine Kondensatoren für SC-Schaltungen gewählt werden, und damit ein geringerer Leistungsverbrauch erreicht werden.

## 4.1.2 Low-Voltage Betrieb

Gründe für die fortschreitende Reduzierung der Versorgungsspannung liegen in der Skalierung der Transistorgrößen, sowie der Nutzung batteriebetriebener Elektronik oder passiver Transponder. Nach [34] handelt es sich bei analogen Schaltungen mit zwei übereinander gestapelten Gate-Source Spannungen und zwei Sättigungsspannungen um Low-Voltage Schaltungen:

$$U_{DD,min} = 2 \cdot (U_{GS} + U_{DS,sat}) \quad (\text{Gl. 4.1})$$

Für Versorgungsspannungen in Höhe von

$$U_{DD,min} = U_{GS} + U_{DS,sat} \quad (\text{Gl. 4.2})$$

handelt es sich um extreme Low-Voltage Schaltungen.

Eine große Bedeutung kommt dabei der Gate-Source Spannung zu. In starker Inversion gilt ein Transistor in Sättigung für

$$U_{DS} > U_{GS} - U_{TH} \quad (\text{Gl. 4.3})$$

Die Gate-Source Spannung ist um die effektive Gate-Source Spannung größer als die Schwellenspannung:

$$U_{GS} = U_{TH} + U_{GS,eff} \quad (\text{Gl. 4.4})$$

Daher sollte für den Low-Voltage Betrieb  $U_{SB}$  und damit  $U_{TH}$  möglichst gering gehalten werden. Die Eignung zu Low-Voltage wird also auch maßgeblich durch die Technologie in Form der Schwellenspannung bestimmt. Jedoch kommt durch eine geringe Schwellenspannung das Problem der Leckströme verstärkt auf. Durch den Betrieb eines Transistors in schwacher Inversion, lässt sich die Versorgungsspannung reduzieren, da  $U_{GS} < U_{TH}$  ist und der Transistor [3] schon für ungefähr

$$U_{DS} > 3 \cdot U_T \quad (\text{Gl. 4.5})$$

sättigt. Dabei ist  $U_T$  die Temperaturspannung.

In Digitalschaltungen ist eine kleine Versorgungsspannung  $U_{DD}$ , aufgrund der Proportionalität zu deren Quadrat, für einen niedrigen Leistungsverbrauch notwendig. Das Problem langsamerer Schaltungen infolge niedriger Versorgungsspannungen, wird nach [35] meist durch Technologien mit mehrfachen Schwellenspannungen oder durch Substrat-Biasing überwunden.

Bei Analogschaltungen wird jedoch in [36] ein Ansteigen des Leistungsverbrauchs bei sinkender Versorgungsspannung und festem Dynamikbereich DR berechnet. Ein Grund dafür ist, dass der Dynamikbereich mit abnehmender Versorgungsspannung sinkt. Der

Dynamikbereich ist hier der maximale Signal-zu-Rauschabstand SNR mit einem Signal in Höhe des maximalen Spannungshub am Ausgang.

Der Spannungshub, welcher den maximalen Spannungsbereich angibt, in dem der Ausgang angesteuert werden kann, ist direkt abhängig von der Versorgungsspannung und lautet bei einer CMOS-Ausgangsstufe mit nur zwei Transistoren im Ausgangszweig:

$$U_{pp,max} = U_{DD} - 2 \cdot U_{DS,sat} \quad (\text{Gl. 4.6})$$

Es wird ein Verstärker angenommen, welcher durch das thermische Rauschen limitiert wird. Weiterhin weist der Verstärker eine gegebene Leerlaufverstärkung und ein gegebenes Verstärkungs-Bandbreite-Produkt  $\omega_{GBW}$  auf. Aus (Gl. 3.25) folgt für  $\beta=1$  und für eine hohe Leerlaufverstärkung ein Rauschspannungsquadrat von  $\bar{u}_{naus}^{-2} \approx (k_B \cdot T_{emp} \cdot n \cdot \gamma \cdot \omega_{GBW}) / g_m$ . Das Rauschspannungsquadrat ist also umgekehrt proportional zur Transkonduktanz  $g_m$ . Da die Transkonduktanz bei vorgegebenem Verstärkungs-Bandbreite-Produkt  $\omega_{GBW}$  durch das Rauschen bestimmt wird, kann  $\omega_{GBW}$  durch Anpassung des Lastkondensators  $C_L$  erlangt werden. In Low-Power Anwendungen ist durch die geringen Ströme die schwache Inversion in der Eingangsstufe gut erreichbar. In diesem Fall ist die Transkonduktanz proportional zum Drainstrom und damit proportional zu einem Teil des verbrauchten Stromes  $I$  ( $g_m \sim I$ ). Somit gilt für den Dynamikbereich in schwacher Inversion

$$DR \sim \frac{U_{pp,max}^2}{\bar{u}_n^{-2}} \sim \frac{(U_{DD} - 2 \cdot U_{DS,sat})^2}{\frac{\omega_{GBW}}{g_m}} \sim \frac{(U_{DD} - 2 \cdot U_{DS,sat})^2}{\omega_{GBW}} \cdot I \quad (\text{Gl. 4.7})$$

In der starken Inversion fällt aufgrund des geringeren Transkonduktanz-zu-Strom Verhältnisses ( $g_m \sim \sqrt{I}$ ) der benötigte Strom höher aus. Mit dem Zusammenhang zwischen der verbrauchter Leistung  $P$  und dem Gesamtstrom  $I$  ( $P = U_{DD} \cdot I$ ) ergeben sich folgende Proportionalitäten der Leistung:

$$P \sim \frac{U_{DD} \cdot DR \cdot \omega_{GBW}}{(U_{DD} - 2 \cdot U_{DS,sat})^2} \quad (\text{Gl. 4.8})$$

Es ist zu erkennen, dass eine Skalierung von  $U_{DD}$ , für einen festen Dynamikbereich bzw. ein festes Verstärkungsbandbreiteprodukt, eine Erhöhung der minimal notwendigen Leistung zur Folge hat.

Ein weiterer Nachteil niedriger Versorgungsspannungen ist ein erhöhter On-Widerstand von MOS-Schaltern, welcher in einer SC-Schaltung nach [2] zu



$$R_{on} = \frac{1}{\mu_n \cdot C'_{ox} \cdot \frac{W}{L} \cdot (U_{DD} - U_{ein} - U_{TH})} \quad (\text{Gl. 4.9})$$

angegeben werden kann. Im „worst case“ liegt beispielsweise der Eingang des Verstärkers auf Mittenpotenzial, und der dort angeschlossene Kondensator soll über einen Schalter ebenfalls auf Mittenpotenzial aufgeladen werden. Je näher die Hälfte der Versorgungsspannung der Schwellenspannung kommt, umso größer wird der On-Widerstand und die Aufladezeit steigt an. Einen Ausweg bilden hier Methoden wie Charge Pump [40], Bootstrapping [41], Clock Boosting [42] oder die Switched-OpAmp (SOA) Technik [43].

Dennoch ist oft eine niedrige Versorgungsspannung notwendig, z. B. bei batteriebetriebener Elektronik. Design Techniken bei der Entwicklung eines Low-Voltage Operationsverstärkers samt Bias sind in [37] vorgestellt.

### 4.1.3 Technologierobustheit

Bei der Technologierobustheit kann zwischen zwei Fällen unterschieden werden. Zum einen die Technologierobustheit beim Transfer einer Schaltung von einer Technologie in die nächste, und zum anderen die Robustheit gegenüber Fertigungsschwankungen innerhalb einer Technologie. Hier wird nur auf den zweiten Fall der Technologierobustheit innerhalb einer Technologie eingegangen.

Im folgenden wird zwischen dimensionslosen Größen und dimensionsbehafteten Größen unterschieden. In integrierten Schaltungen sind oft dimensionslose Größenverhältnisse von Widerständen, Kondensatoren oder Weiten bzw. Längen der Transistoren von Bedeutung: Man spricht dann von „Paarung“ der Bauelemente. Um den von der Technologie abhängigen Fehler der „Paarungseigenschaften“ der Bauelemente („component matching“) auszugleichen, gibt es auf verschiedenen Ebenen Möglichkeiten: Die Wahl eines Prozesses mit geringem „Mismatch“, oder auf der Ebene der Schaltungstechnik die Nutzung einer „Mismatch“-Kompensation, wo z. B. Kondensator-„Mismatch“ durch Tauschen von Kondensatoren ausgeglichen wird. Eine weitere Möglichkeit ist hier das Trimmen der Bauelemente, wobei das benötigte Vorgehen beim Trimmen für die jeweilige Schaltung in einem EEPROM oder mit Hilfe von Floating Gate MOS Transistoren gespeichert wird. Die Floating Gate MOS Transistoren bilden eine Art analogen programmierbaren Speicher. Auf der Ebene der Systemarchitektur kann ein geeigneter Algorithmus gewählt werden. So ist im Bereich der A/D-Umsetzer beispielsweise ein  $\Sigma\Delta$ -ADU unempfindlich gegenüber Kondensator-„Mismatch“.

Bei den dimensionsbehafteten Größen sind „Normale“ wie z. B. 1V, 1s, oder 1A in genügend hoher Genauigkeit zur Verfügung zu stellen. Zur Erzeugung des Spannungsnormals bietet sich als schaltungstechnische Lösung die Bandgap an. Diese nutzt den Ausgleich eines negativen Temperaturkoeffizienten vom pn-Übergang eines Bipolar-Transistors und dem positiven Temperaturkoeffizienten der Temperaturspannung. Nach [2] ist bei einer Temperaturunabhängigkeit meist auch eine Prozessunabhängigkeit gegeben.

Der Ausgleich der unterschiedlichen Temperaturabhängigkeiten verschiedener Bauelemente kann auch zur Erzeugung einer Stromreferenz genutzt werden. In [50] wird die Temperaturabhängigkeit einer Stromreferenz eliminiert, indem die Wurzeln eines Stromes proportional zur Mobilität und eines Stromes umgekehrt proportional zur Mobilität multipliziert werden. Mit einer technologierobusten Stromreferenz können die Arbeitspunkte beispielsweise in einem Verstärker gut über Stromspiegel eingestellt werden.

Beim Takt besteht zum einen die Möglichkeit diesen extern mit einem quarzstabilisiertem Taktgenerator vorzugeben. Zum anderen kann z. B. die SC-Schaltungstechnik gewählt werden, welche ebenso wie der Digitalteil unempfindlich gegenüber Schwankungen in der Taktperiode ist.

#### 4.1.4 Technologieskalierung

Die Technologieskalierung in modernen CMOS Prozessen bietet viele Vorteile für rein digitale Schaltungen. Neben der Flächensparnis durch kleinere Bauelementegeometrien, sinkt die Versorgungsspannung, da die Oxiddicke des Gate-Oxids mit skaliert wird und Grenzwerte für die Feldstärke wegen der Gefahr eines Durchbruchs nicht überschritten werden dürfen. Aufgrund der ebenfalls reduzierten parasitären Kapazitäten und der sinkenden Versorgungsspannung wird die Energie für das Umladen der gesamten Lastkapazität am Ausgang eines digitalen Gatters stark verringert. Zudem nimmt die Transitfrequenz  $f_T$  der Transistoren mit der Skalierung zu. Diese ist ein Maß für die Geschwindigkeit eines Transistors und lautet nach [88]:

$$f_T = \frac{1}{2 \cdot \pi} \cdot \frac{1}{C_{gg} + C_{gb} + C_{gs} + C_{gd}}. \quad (\text{Gl. 4.10})$$

Dabei sind  $C_{gg}$ ,  $C_{gb}$ ,  $C_{gs}$  und  $C_{gd}$  die parasitäre Eingangskapazität sowie die parasitären Gate-Bulk, Gate-Source und Gate-Drain Kapazitäten. Die Erhöhung von  $f_T$  führt sowohl zu einer Verringerung der Reaktionszeit der digitalen Schaltung als auch zu einer Erhöhung der

Bandbreite in analogen Schaltungen. Im folgenden werden die Einflüsse der Technologieskalierung auf analoge Schaltungen, wie sie in [89] beschrieben sind, aufgeführt. Ein Effekt der Skalierung auf die analoge Schaltungstechnik ist die Reduzierung des SNR, da zum einen bei Kurzkanaltransistoren, wie in Kapitel 2.2 erwähnt, der Rauschfaktor  $\gamma$  höher ausfällt. Zum anderen limitiert, wie in Kapitel 4.1.2 vorgestellt, die sinkende Versorgungsspannung den maximalen Ausgangsspannungshub und damit das erreichbare SNR. Für einen festen Dynamikbereich in einer durch das Rauschen limitierten Schaltung, muss das Rauschspannungsquadrat im selben Maße wie die Versorgungsspannung reduziert werden.

Sowohl in [89] als auch in [90] wird bei starker Skalierung eine Absenkung des Ausgangswiderstandes eines Transistors  $r_{ds}$  festgestellt. Ein Grund ist das bei sehr kleinen Transistorlängen einsetzende DIBL („drain-induced barrier lowering“). Dadurch sinkt auch die intrinsische Spannungsverstärkung des Transistors ( $g_m \cdot r_{ds}$ ), welche die Genauigkeit analoger Schaltungen mitbestimmt.

Das Problem der Leckströme, wie es verstärkt bei Kurzkanaltransistoren auftritt, wurde bereits in Kapitel 4.1.1 beschrieben. In analogen SC-Schaltungen bedeutet dies leckende Schalter. Die Anforderungen, um den Leckstrom in digitalen Schaltungen zu kontrollieren, lassen die Skalierung der Schwellenspannung der Transistoren langsamer voranschreiten als die Skalierung der Versorgungsspannung.

Jedoch bietet die Technologieskalierung nicht nur Nachteile für die analoge Schaltungstechnik. Pelgrom und andere stellen in [91] und [92] fest, dass die Paarungseigenschaften der Transistoren („transistor matching“) mit einem dünneren Gate-Oxid verbessert werden. Ein weiterer Vorteil ist, wie bereits erwähnt, die Erhöhung der Bandbreite analoger Schaltungen.

In [89] und [90] wird die Technologieskalierung am Beispiel von A/D-Umsetzern ADUs betrachtet. Chiu und andere sehen durch die Skalierung in [89] für ADUs mit geringen Auflösungen (bis 8–10 Bit), welche durch Paarungseigenschaften limitiert sind, Vorteile im Leistungs- und Flächenverbrauch bei fester Umsetzungsgeschwindigkeit. Nielsen und andere nutzen in [90] die höhere Geschwindigkeit der Kurzkanal-Transistoren, um bisher für niedrige Frequenzen eingesetzte ADU-Architekturen auch für höhere Frequenzen im Bereich der Telekommunikation einzusetzen.

## 4.2 Analoge CMOS Schaltungstechnik am Beispiel Filter

Durch eine geeignete Wahl der Schaltungstechnik kann der Leistungsverbrauch einer Schaltung optimiert werden. Jedoch wird die Wahl der Schaltungstechnik oft durch das Ziel einer gewissen Funktionalität der Schaltung eingeschränkt. Trotzdem sollte nach Möglichkeit für den Low-Power Einsatz die optimale Schaltungstechnik genutzt werden. Im folgenden werden vier verschiedene Schaltungstechniken anhand eines Tiefpasses nach ihrem minimalen Leistungsverbrauch für einen gegebenen Signal zu Rauschabstand SNR verglichen. Beim Rauschen handelt es sich um eine vereinfachte Abschätzung, die auf thermisches Rauschen begrenzt ist. Die untersuchten Filter sind im zeitkontinuierlichen der passive RC-Tiefpass sowie die aktiven Active-RC und Gm-C Tiefpässe. Zudem wird ein zeitdiskreter SC-Tiefpass untersucht. Das Modell des Tiefpasses wurde gewählt, da dieser Prototyp durch Frequenztransformation in Hochpass, Bandpass oder Bandsperre transformiert werden kann.

### 4.2.1 Zeitkontinuierlich: Passive LCR-Filter

In Abbildung 4.2 ist der einpolige RC-Tiefpass der passiven LCR-Schaltungstechnik dargestellt. Im Laplacebereich berechnet sich die Übertragungsfunktion vom Eingang zum Ausgang zu

$$H_{\text{passRC}}(s) = \frac{U_{\text{aus}}(s)}{U_{\text{ein}}(s)} = \frac{1}{1 + s \cdot R_{\text{passRC}} \cdot C_{\text{passRC}}} . \quad (\text{Gl. 4.11})$$

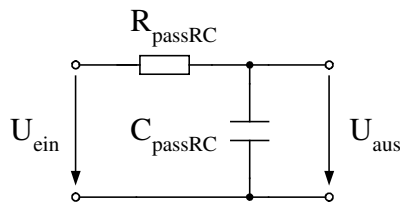


Abbildung 4.2: Passiver RC-Tiefpass

Hier wird, wie auch bei den folgenden Schaltungstechniken, angenommen, dass der Eingang sinusförmig mit der Kreisfrequenz  $\omega$  schwingt. Aufgrund der Vergleichbarkeit beträgt die maximale Amplitude die Hälfte der Versorgungsspannung  $U_{DD}$  der aktiven Varianten. Für die Quadrate der Effektivwerte von Eingangs- und Ausgangsspannung ergibt sich

$$U_{\text{ein,eff}}^2 = \frac{1}{2} \cdot \left( \frac{U_{\text{DD}}}{2} \right)^2, \quad (\text{Gl. 4.12})$$

$$U_{\text{aus,eff}}^2(\omega) = \frac{1}{2} \cdot \left( \frac{U_{\text{DD}}}{2} \right)^2 \cdot \frac{1}{1 + (\omega \cdot R_{\text{passRC}} \cdot C_{\text{passRC}})^2}. \quad (\text{Gl. 4.13})$$

Dementsprechend beträgt die Wirkleistung der Schaltung, welche einzig im Widerstand  $R_{\text{passRC}}$  umgesetzt wird:

$$\begin{aligned} P_{\text{W,passRC}}(f) &= [U_{\text{ein,eff}}^2 - U_{\text{aus,eff}}^2(\omega = 2 \cdot \pi \cdot f)] \cdot \frac{1}{R_{\text{passRC}}} \\ &= \frac{1}{2} \cdot \left( \frac{U_{\text{DD}}}{2} \right)^2 \cdot \frac{1}{R_{\text{passRC}}} \cdot \frac{(2 \cdot \pi \cdot f)^2}{(2 \cdot \pi \cdot f_{\text{Pol}})^2 + (2 \cdot \pi \cdot f)^2}. \end{aligned} \quad (\text{Gl. 4.14})$$

Dabei ist  $f_{\text{Pol}}$  die Pol-Frequenz des Tiefpasses, welche in diesem Fall durch

$$f_{\text{Pol}} = \frac{1}{2 \cdot \pi \cdot R_{\text{passRC}} \cdot C_{\text{passRC}}} \quad (\text{Gl. 4.15})$$

gegeben ist.

Mit dem Ziel aus einem vorgegebenen SNR die minimal notwendige Leistung zu berechnen, wird zudem das Rauschen der Schaltung bestimmt. Aus dem thermischen Rauschen des Widerstandes mit der spektralen Rauschspannungsdichte  $4 \cdot k_B \cdot T_{\text{emp}} \cdot R_{\text{passRC}}$  resultiert ein Rauschspannungsquadrat am Ausgang von

$$u_{\text{naus,passRC}}^{-2} = \int_0^\infty \frac{4 \cdot k_B \cdot T_{\text{emp}} \cdot R_{\text{passRC}}}{1 + (2 \cdot \pi \cdot f \cdot R_{\text{passRC}} \cdot C_{\text{passRC}})^2} \cdot df = \frac{k_B \cdot T_{\text{emp}}}{C_{\text{passRC}}}. \quad (\text{Gl. 4.16})$$

Das maximale Signal am Ausgang des Filters resultiert im Durchlassbereich, und wird zur Bestimmung des SNR mit dem Effektivwert zum Quadrat bei der Frequenz Null angenommen. Dementsprechend ist das maximale SNR:

$$\text{SNR}_{\text{max}} = \frac{U_{\text{aus,eff,max}}^2}{u_{\text{naus,passRC}}^{-2}} = \frac{\left( \frac{U_{\text{DD}}^2}{8} \right)}{\left( \frac{k_B \cdot T_{\text{emp}}}{C_{\text{passRC}}} \right)}. \quad (\text{Gl. 4.17})$$

Daraus folgt eine minimal notwendige Kapazität zum Erreichen des geforderten SNR:

$$C_{\text{passRC}} = \frac{\text{SNR}_{\text{max}} \cdot 8 \cdot k_B \cdot T_{\text{emp}}}{U_{\text{DD}}^2}. \quad (\text{Gl. 4.18})$$

Die Größe des Widerstandes resultiert aus der Polstelle des RC-Tiefpasses (Gl. 4.15), die realisiert werden soll:

$$R_{\text{passRC}} = \frac{1}{2 \cdot \pi \cdot f_{\text{Pol}} \cdot C_{\text{passRC}}} . \quad (\text{Gl. 4.19})$$

Somit sind die notwendigen Parameter bestimmt, mit denen der Leistungsverbrauch berechnet werden kann.

Allerdings kann man mit dieser Schaltungstechnik keine Präzisionsfilter hoher Ordnung in integrierter Form realisieren. Denn alle passiven Bauelemente haben parasitäre Kapazitäten zum Substrat, und die absolute Präzision, mit der die passiven Bauelemente in der CMOS Technologie hergestellt werden können, ist begrenzt. Ferner sind Widerstände temperaturabhängig. Auch Spulen schaffen keine Abhilfe, denn Spule hoher Güte sind in CMOS nicht realisierbar und besitzen ebenfalls parasitäre Kapazitäten.

## 4.2.2 Zeitkontinuierlich: Active-RC Filter

Eine ähnliche Betrachtung kann mit dem Tiefpass erster Ordnung aus Abbildung 4.3 im Bereich der Active-RC Filter durchgeführt werden. Die Schaltung besitzt für den Fall eines einpoligen Transkonduktanzverstärkers („operational transconductance amplifier“, OTA) mit endlichem Ausgangswiderstand und endlicher Bandbreite, sowie den Annahmen  $g_m \cdot R_{\text{actRC1}} \gg 1$ ,  $g_m \cdot R_{\text{actRC2}} \gg 1$ ,  $R_{\text{aus}} \gg R_{\text{actRC1}}$  und  $R_{\text{aus}} \gg R_{\text{actRC2}}$  die Übertragungsfunktion

$$H_{\text{actRC}}(s) = \frac{U_{\text{aus}}(s)}{U_{\text{ein}}(s)} \approx - \frac{\left( \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} - \frac{s C_{\text{actRC2}}}{g_m} \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} \right)}{1 + s \left( C_{\text{actRC2}} R_{\text{actRC2}} + C_L \frac{R_{\text{actRC1}} + R_{\text{actRC2}}}{g_m R_{\text{actRC1}}} \right) + s^2 C_L C_{\text{actRC2}} \frac{R_{\text{actRC2}}}{g_m}} . \quad (\text{Gl. 4.20})$$

Die Nullstelle der Übertragungsfunktion muss so groß sein, dass der Tiefpass eine gewisse Dämpfung  $A_{\text{SB}}$  („stopband attenuation“) erreicht. Die Bedingung ist dann

$$\omega_{\text{Null}} \approx \frac{g_m}{C_{\text{actRC2}}} \geq A_{\text{SB}} \cdot \omega_{\text{Pol}} . \quad (\text{Gl. 4.21})$$

Unter der Annahme eines idealen Verstärkers mit unendlicher Transkonduktanz  $g_m$  lautet die invertierende und verstärkende Übertragungsfunktion

$$H_{\text{actRCideal}}(s) = - \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} \cdot \frac{1}{1 + s \cdot R_{\text{actRC2}} \cdot C_{\text{actRC2}}} . \quad (\text{Gl. 4.22})$$

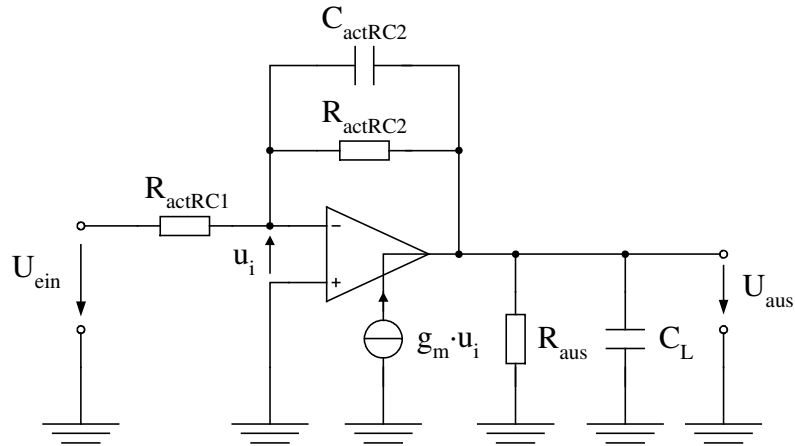


Abbildung 4.3: Aktiver RC-Tiefpass mit einpoligem Transkonduktanzverstärker

Mit (Gl. 4.21) und der Pol-Frequenz aus (Gl. 4.22) bei einem idealen Verstärker, muss die Transkonduktanz  $g_m$  für einen realen Verstärker mindestens den Wert

$$g_{m,\min} = A_{SB} \cdot C_{\text{actRC2}} \cdot \omega_{\text{Pol}} = A_{SB} \cdot C_{\text{actRC2}} \cdot \frac{1}{R_{\text{actRC2}} \cdot C_{\text{actRC2}}} = \frac{A_{SB}}{R_{\text{actRC2}}} \quad (\text{Gl. 4.23})$$

aufweisen

Es wird wiederum eine sinusförmige Aussteuerung am Eingang mit der halben Betriebsspannung und der Kreisfrequenz  $\omega$  angenommen. Die Effektivwerte der Spannung am Eingang ist wiederum durch (Gl. 4.12) gegeben. Am Ausgang lautet der Effektivwert

$$U_{\text{aus,eff}}^2(\omega) = \frac{1}{2} \cdot \left( \frac{U_{DD}}{2} \right)^2 \cdot \frac{\left( \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} \right)^2}{1 + (\omega \cdot R_{\text{actRC2}} \cdot C_{\text{actRC2}})^2}. \quad (\text{Gl. 4.24})$$

Mit den Effektivwerten lässt sich die gesamte Wirkleistung berechnen:

$$P_{W,\text{actRC}}(f) = \frac{1}{2} \cdot \left( \frac{U_{DD}}{2} \right)^2 \cdot \left\{ \frac{1}{R_{\text{actRC1}}} + \left[ \frac{1}{R_{\text{aus}}} + \frac{1}{R_{\text{actRC2}}} \right] \cdot \left[ \frac{\left( \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} \right)^2}{1 + \left( \frac{2 \cdot \pi \cdot f}{2 \cdot \pi \cdot f_{\text{Pol}}} \right)^2} \right] \right\} + k \cdot U_{DD} \cdot I_{\text{Bias}} \quad (\text{Gl. 4.25})$$

Dabei bezeichnet  $k$  die Anzahl der im Verstärker verwendeten Bias-Ströme und  $f_{\text{Pol}}$  die Polfrequenz des Filters

$$f_{\text{Pol}} = \frac{1}{2 \cdot \pi \cdot R_{\text{actRC2}} \cdot C_{\text{actRC2}}}. \quad (\text{Gl. 4.26})$$

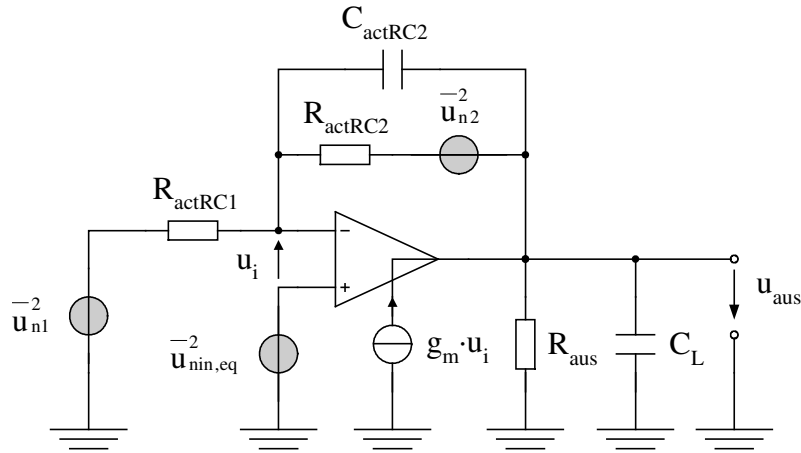


Abbildung 4.4: Aktiver RC-Tiefpass mit Rauschquellen

In Abbildung 4.4 ist der Aktive-RC Tiefpass mit den Rauschspannungsquellen, welche die momentanen Rauschspannungen  $u_{n1}$  bzw.  $u_{n2}$  für die Widerstände  $R_{actRC1}$  bzw.  $R_{actRC2}$  und die momentane äquivalente Rauschspannung  $u_{nin,eq}$  am Eingang des Verstärkers besitzen, dargestellt. Die momentanen Rauschspannungen weisen, für die in (Gl. 4.20) gemachten Annahmen und für  $C_{actRC2} \gg C_L / [g_m \cdot (R_{actRC1} \parallel R_{actRC2})]$ , die folgenden Übertragungsfunktionen zum Ausgang auf:

$$H_{n1}(s) = \frac{U_{aus}(s)}{U_{n1}(s)} \approx - \frac{\frac{R_{actRC2}}{R_{actRC1}} \cdot \left(1 - s \cdot \frac{C_{actRC2}}{g_m}\right)}{1 + s \cdot R_{actRC2} \cdot C_{actRC2} + s^2 \cdot \frac{C_L}{g_m} \cdot C_{actRC2} \cdot R_{actRC2}}, \quad (\text{Gl. 4.27})$$

$$H_{n2}(s) = \frac{U_{aus}(s)}{U_{n2}(s)} \approx - \frac{1}{1 + s \cdot R_{actRC2} \cdot C_{actRC2} + s^2 \cdot \frac{C_L}{g_m} \cdot C_{actRC2} \cdot R_{actRC2}}, \quad (\text{Gl. 4.28})$$

$$H_{nin,eq}(s) = \frac{U_{aus}(s)}{U_{nin,eq}(s)} \approx \frac{\left(1 + \frac{R_{actRC2}}{R_{actRC1}}\right) \cdot [1 + s \cdot C_{actRC2} \cdot (R_{actRC1} \parallel R_{actRC2})]}{1 + s \cdot R_{actRC2} \cdot C_{actRC2} + s^2 \cdot \frac{C_L}{g_m} \cdot C_{actRC2} \cdot R_{actRC2}}. \quad (\text{Gl. 4.29})$$

Die Übertragungsfunktionen (Gl. 4.27) und (Gl. 4.28) haben einen dominanten Pol bei  $\omega_{Pol} \approx 1/(R_{actRC2} \cdot C_{actRC2})$  für  $\omega_{GBW} = g_m/C_L \gg \omega_{Pol}$  und die Nullstelle von  $H_{n1}(s)$  liegt um den Faktor  $A_{SB}$  höher als die Pol-Frequenz. Das Rauschspannungsquadrat am Ausgang, hervorgerufen durch das Rauschen der Widerstände, kann mit der äquivalenten Rauschbandbreite, vorgegeben durch die Polfrequenz, abgeschätzt werden:



$$\begin{aligned}
 \overline{u}_{\text{naus,Wid}}^{-2} &= 4 \cdot k_B \cdot T_{\text{emp}} \cdot R_{\text{actRC1}} \cdot \left( \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} \right)^2 \cdot \frac{\pi}{2} \cdot \frac{1}{2 \cdot \pi \cdot R_{\text{actRC2}} \cdot C_{\text{actRC2}}} \\
 &\quad + 4 \cdot k_B \cdot T_{\text{emp}} \cdot R_{\text{actRC2}} \cdot \frac{\pi}{2} \cdot \frac{1}{2 \cdot \pi \cdot R_{\text{actRC2}} \cdot C_{\text{actRC2}}} \quad . \quad (\text{Gl. 4.30}) \\
 &= \frac{k_B \cdot T_{\text{emp}}}{C_{\text{actRC2}}} \cdot \left[ \left( \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} \right) + 1 \right]
 \end{aligned}$$

Die Rauschspannungsichte eines Widerstandes ist, wie auch das thermische Kanalrauschen der Eingangstransistoren des Verstärkers, aus Kapitel 2.2 entnommen. Der Einfachheit halber wird hier nur thermisches Rauschen berücksichtigt.

Die Nullstelle von  $H_{\text{nin,eq}}(s)$  aus (Gl. 4.29) liegt für  $R_{\text{actRC2}} \gg R_{\text{actRC1}}$  weit oberhalb der Polfrequenz. Dies ist beim Filterentwurf wünschenswert, aber aus Gründen der besseren Vergleichbarkeit mit dem passiven Tiefpassfilter wird  $R_{\text{actRC2}} = R_{\text{actRC1}}$  gewählt. Dann kompensiert die Nullstelle bereits bei der doppelten Pol-Frequenz den dominanten Pol der Rauschübertragungsfunktion. Deshalb wird die äquivalente Rauschbandbreite für den Verstärker als „worst case“ mit dem zweiten Pol  $\omega_{\text{GBW}}$  bestimmt. Das Rauschspannungsquadrat durch das Rauschen des Verstärkers lässt sich dann zu

$$\begin{aligned}
 \overline{u}_{\text{naus,Verst}}^{-2} &= 2 \cdot \frac{4 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{g_m} \cdot \left( 1 + \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} \right)^2 \cdot \frac{\pi}{2} \cdot \frac{g_m}{2 \cdot \pi \cdot C_L} \\
 &= \frac{2 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{C_L} \cdot \left( 1 + \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} \right)^2 \quad (\text{Gl. 4.31})
 \end{aligned}$$

abschätzen. Dabei werden zwei Eingangstransistoren mit thermischen Kanalrauschen angenommen und der Beitrag der restlichen Transistoren wird einfachheitshalber vernachlässigt. Das gesamte thermische Rauschen des Active-RC Tiefpassfilters am Ausgang beträgt

$$\overline{u}_{\text{naus,actRC}}^{-2} = \overline{u}_{\text{naus,Wid}}^{-2} + \overline{u}_{\text{naus,Verst}}^{-2} \quad (\text{Gl. 4.32})$$

Dieses Rauschen vernachlässigt das 1/f-Rauschen des Verstärkers. Das 1/f-Rauschen lässt sich abschätzen als

$$\overline{u}_{\text{naus,Verst,1/f}}^{-2} = \int_{f_{\text{low}}}^{f_{\text{high}}} \left| H_{\text{nin,eq}}(f) \right|^2 \cdot \frac{\overline{u}_{\text{n,1/f}}^{-2}}{\Delta f} \cdot df \quad (\text{Gl. 4.33})$$

Mit der Rauschspannungsichte des 1/f-Rauschens aus (Gl. 2.34) sowie der Annahme von 2 Eingangstransistoren und der Vernachlässigung der restlichen Transistoren kann das 1/f-

Rauschen des Verstärkers abgeschätzt werden. Für den „worst case“ mit dem Verstärkungs-Bandbreite-Produkt als obere Grenzfrequenz  $f_{\text{high}} = \omega_{\text{GBW}} / (2 \cdot \pi)$  ergibt sich

$$\begin{aligned} \overline{u_{\text{naus,Verst},1/f}^2} &= \int_{f_{\text{low}}}^{f_{\text{high}}} \left( 1 + \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} \right)^2 \cdot \frac{2 \cdot K_f}{C_{\text{ox}}'^2 \cdot W \cdot L \cdot f} \cdot df \\ &= \left( 1 + \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} \right)^2 \cdot \frac{2 \cdot K_f}{C_{\text{ox}}'^2 \cdot W \cdot L} \cdot \ln \left( \frac{\omega_{\text{GBW}}}{2 \cdot \pi \cdot f_{\text{low}}} \right). \end{aligned} \quad (\text{Gl. 4.34})$$

Wenn man annimmt, dass  $f_{\text{low}} > 0$  gilt und die Gatefläche der Eingangstristoren sehr groß (im Idealfall  $W \cdot L \rightarrow \infty$ ) gewählt wird, kann das 1/f-Rauschen zumindest für theoretische Betrachtungen vernachlässigt werden.

Um sowohl von  $C_{\text{actRC2}}$  als auch von  $C_L$  die minimale Kapazität bestimmen zu können, wird das, für ein bestimmtes SNR, mögliche Rauschspannungsquadrat aus (Gl. 4.32) jeweils zur Hälfte auf die Widerstände und den Verstärker aufgeteilt. Mit dem maximalen Effektivwert der Signalspannung am Ausgang gilt dann für das maximale SNR:

$$\text{SNR}_{\text{max}} = \frac{\frac{U_{\text{DD}}^2}{8} \cdot \left( \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} \right)^2}{\overline{u_{\text{naus,actRC}}^2}} = \frac{\frac{U_{\text{DD}}^2}{8} \cdot \left( \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} \right)^2}{2 \cdot \overline{u_{\text{naus,Wid}}^2}} = \frac{\frac{U_{\text{DD}}^2}{8} \cdot \left( \frac{R_{\text{actRC2}}}{R_{\text{actRC1}}} \right)^2}{2 \cdot \overline{u_{\text{naus,Verst}}^2}}. \quad (\text{Gl. 4.35})$$

Daraus folgt mit (Gl. 4.31) für die minimale Lastkapazität

$$C_L = \frac{2 \cdot \text{SNR}_{\text{max}} \cdot 16 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma \cdot \left( \frac{R_{\text{actRC1}}}{R_{\text{actRC2}}} + 1 \right)^2}{U_{\text{DD}}^2} \quad (\text{Gl. 4.36})$$

und mit (Gl. 4.30) für das minimale  $C_{\text{actRC2}}$

$$C_{\text{actRC2}} = \frac{2 \cdot \text{SNR}_{\text{max}} \cdot 8 \cdot k_B \cdot T_{\text{emp}} \cdot \left[ \frac{R_{\text{actRC1}}}{R_{\text{actRC2}}} + \left( \frac{R_{\text{actRC1}}}{R_{\text{actRC2}}} \right)^2 \right]}{U_{\text{DD}}^2}. \quad (\text{Gl. 4.37})$$

Über die Polfrequenz (Gl. 4.26) ergeben sich wiederum die Widerstände

$$R_{\text{actRC1}} = R_{\text{actRC2}} = \frac{1}{2 \cdot \pi \cdot f_{\text{Pol}} \cdot C_{\text{actRC2}}}. \quad (\text{Gl. 4.38})$$

Der Biasstrom  $I_{\text{Bias}}$  kann über das theoretische Minimum abgeschätzt werden:

$$I_{\text{Bias}} = g_{\text{m,min}} \cdot U_T = \frac{A_{\text{SB}}}{R_{\text{actRC2}}} \cdot U_T. \quad (\text{Gl. 4.39})$$

In der Realität muss mehr Strom investiert werden um die gewünschte Transkonduktanz zu erreichen. So ist der Strom in schwacher Inversion um den Steigungsfaktor  $n$  höher.

Da eine Widerstandsbelastung den Transkonduktanzverstärker belastet, ist der Verstärker in der Praxis mit einer niederohmigen Ausgangstufe zu versehen. Somit entsteht ein Operationsverstärker („operational amplifier“). Eine Integration in CMOS dieser Schaltungstechnik weist ebenfalls die Nachteile temperaturabhängiger Widerstände, und die begrenzte absolute Präzision der passiven Bauelemente auf. Somit ist der Pol des Tiefpasses auch mit begrenzter Genauigkeit definiert.

### 4.2.3 Zeitkontinuierlich: Active Gm-C Filter

In Abbildung 4.5 ist ein Tiefpass mit einem Gm-C Filter erster Ordnung aufgebaut. Mit endlichen Ausgangswiderständen der Transkonduktanzverstärker lautet die Übertragungsfunktion ohne Belastung

$$H_{\text{GmC}}(s) = \frac{G_{\text{in}} R_{\text{a,in}} R_{\text{a,d}}}{R_{\text{a,in}} + R_{\text{a,d}} + G_{\text{d}} R_{\text{a,in}} R_{\text{a,d}}} \cdot \frac{1}{1 + \frac{s C_{\text{GmC}} R_{\text{a,in}} R_{\text{a,d}}}{R_{\text{a,in}} + R_{\text{a,d}} + G_{\text{d}} R_{\text{a,in}} R_{\text{a,d}}}}. \quad (\text{Gl. 4.40})$$

Unter der Annahme idealer Transkonduktanzverstärker mit unendlichem Ausgangswiderstand resultiert die ideale Übertragungsfunktion ohne Lastimpedanz:

$$H_{\text{GmCideal}}(s) = \frac{G_{\text{in}}}{G_{\text{d}}} \cdot \frac{1}{1 + s \cdot C_{\text{GmC}} \cdot \frac{1}{G_{\text{d}}}}. \quad (\text{Gl. 4.41})$$

Aufgrund der volldifferentiellen Architektur des Gm-C Tiefpasses aus Abbildung 4.5 ergeben sich hier bei einer sinusförmigen Aussteuerung des Eingangs die Quadrate der Effektivwerte der Eingangs- und Ausgangsspannung:

$$U_{\text{ein,eff}}^2 = \frac{U_{\text{DD}}^2}{2}, \quad (\text{Gl. 4.42})$$

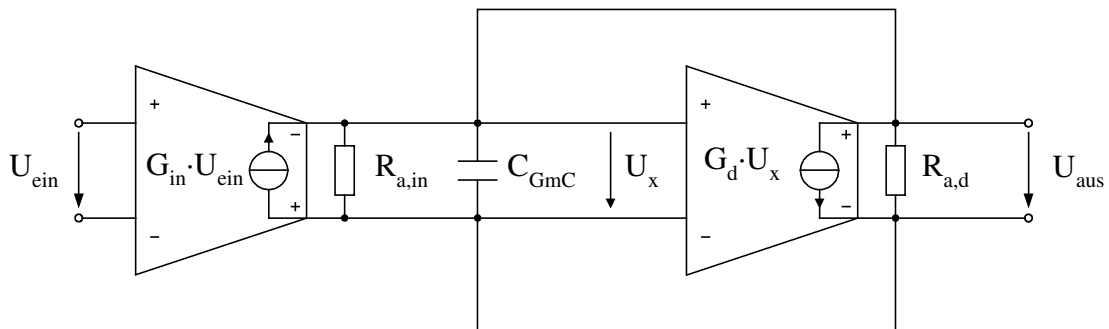


Abbildung 4.5: Gm-C Tiefpass erster Ordnung

$$U_{\text{ein,eff}}^2(\omega) = \frac{U_{\text{DD}}^2}{2} \cdot \frac{\left(\frac{G_{\text{in}}}{G_{\text{d}}}\right)^2}{1 + \left(\frac{\omega \cdot C_{\text{GmC}}}{G_{\text{d}}}\right)^2}. \quad (\text{Gl. 4.43})$$

Mit endlichem Ausgangswiderstand und  $\omega = 2 \cdot \pi \cdot f$  ergibt sich demnach die gesamte umgesetzte Wirkleistung

$$P_{\text{W,GmC}}(f) = \frac{1}{2} \cdot U_{\text{DD}}^2 \cdot \frac{\left(\frac{G_{\text{in}}}{G_{\text{d}}}\right)^2}{1 + \left(\frac{2 \cdot \pi \cdot f}{2 \cdot \pi \cdot f_{\text{Pol}}}\right)^2} \cdot \left(\frac{1}{R_{\text{a,in}}} + \frac{1}{R_{\text{a,d}}}\right) + k \cdot U_{\text{DD}} \cdot I_{\text{Bias}}. \quad (\text{Gl. 4.44})$$

Hier ist wiederum  $f_{\text{Pol}}$  die Polfrequenz des Filters:

$$f_{\text{Pol}} = \frac{G_{\text{d}}}{2 \cdot \pi \cdot C_{\text{GmC}}}. \quad (\text{Gl. 4.45})$$

Für die Rauschanalyse werden die „rauschfreien“ Transkonduktanzverstärker mit äquivalenten Rauschspannungsquellen an deren Eingang versehen (siehe Abbildung 4.6).

Diese besitzen die momentanen Rauschspannungen  $u_{\text{nin,in}}$  und  $u_{\text{nin,d}}$ .

Als Übertragungsfunktionen von den Rauschquellen zum Ausgang ergeben sich:

$$H_{\text{nin,in}}(s) = \frac{U_{\text{aus}}(s)}{U_{\text{nin,in}}(s)} = \frac{G_{\text{in}}}{\frac{G_{\text{d}} \cdot R_{\text{a,in}} \cdot R_{\text{a,d}} + R_{\text{a,in}} + R_{\text{a,d}}}{R_{\text{a,in}} \cdot R_{\text{a,d}}} + s \cdot C_{\text{GmC}}}, \quad (\text{Gl. 4.46})$$

$$H_{\text{nin,d}}(s) = \frac{U_{\text{aus}}(s)}{U_{\text{nin,d}}(s)} = \frac{G_{\text{d}}}{\frac{G_{\text{d}} \cdot R_{\text{a,in}} \cdot R_{\text{a,d}} + R_{\text{a,in}} + R_{\text{a,d}}}{R_{\text{a,in}} \cdot R_{\text{a,d}}} + s \cdot C_{\text{GmC}}}. \quad (\text{Gl. 4.47})$$

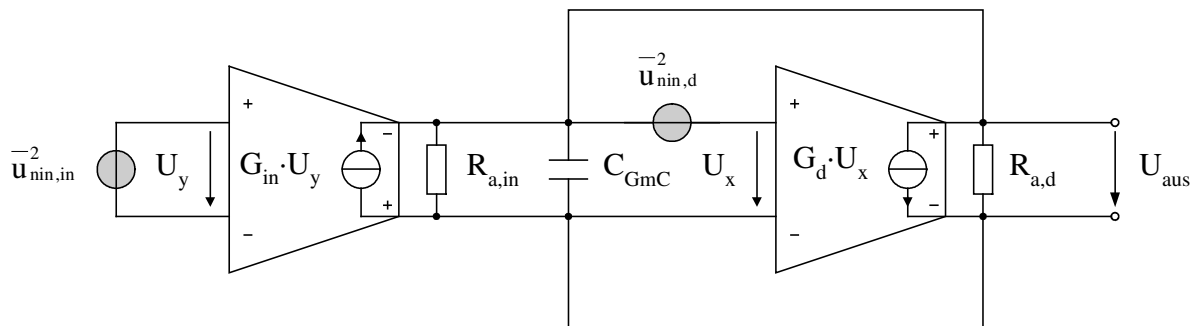


Abbildung 4.6: Gm-C Tiefpass erster Ordnung mit äquivalenten Rauschquellen

Wenn  $G_d \cdot R_{a,in} \cdot R_{a,d} \gg (R_{a,in} + R_{a,d})$  gilt, dann haben die beiden Rauschübertragungsfunktionen einen Pol bei  $\omega_{\text{Pol}} \approx G_d / C_{\text{GmC}}$ . Unter Berücksichtigung des thermischen Kanalrauschens der beiden Eingangstransistoren kann das Rauschspannungsquadrat am Ausgang des Filters unter der obigen Näherung berechnet werden:

$$\begin{aligned} \overline{u_{\text{naus,GmC}}^2} &\approx 2 \cdot \frac{4 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{G_{\text{in}}} \cdot \left( \frac{G_{\text{in}}}{G_d} \right)^2 \cdot \frac{\pi}{2} \cdot \frac{\left( \frac{G_d}{C_{\text{GmC}}} \right)}{2 \cdot \pi} \\ &+ 2 \cdot \frac{4 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{G_d} \cdot \frac{\pi}{2} \cdot \frac{\left( \frac{G_d}{C_{\text{GmC}}} \right)}{2 \cdot \pi} \\ &= \frac{2 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{C_{\text{GmC}}} \cdot \left[ \left( \frac{G_{\text{in}}}{G_d} \right) + 1 \right] \end{aligned} \quad (\text{Gl. 4.48})$$

Für das 1/f-Rauschen gilt ähnliches wie für das zeitkontinuierliche aktive RC-Filter (siehe Kapitel 4.2.2). Bei einer maximalen differentiellen Aussteuerung im Durchlassbereich bis zur Versorgungsspannung  $U_{\text{DD}}$  und einer Beschränkung auf das thermische Rauschen lautet das maximale SNR:

$$\text{SNR}_{\text{max}} = \frac{U_{\text{aus,eff,max}}^2}{\overline{u_{\text{naus,GmC}}^2}} = \frac{\left( \frac{U_{\text{DD}}^2}{2} \right) \cdot \left( \frac{G_{\text{in}}}{G_d} \right)^2}{\overline{u_{\text{naus,GmC}}^2}}. \quad (\text{Gl. 4.49})$$

Für ein gegebenes SNR folgt aus (Gl. 4.48) und (Gl. 4.49) direkt die minimale Kapazität

$$C_{\text{GmC}} = \frac{\text{SNR}_{\text{max}} \cdot 4 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma \cdot \left[ \left( \frac{G_d}{G_{\text{in}}} \right) + \left( \frac{G_d}{G_{\text{in}}} \right)^2 \right]}{U_{\text{DD}}^2}. \quad (\text{Gl. 4.50})$$

Über die Pol-Frequenz des Filters (Gl. 4.45) sind die Transkonduktanzen der Transkonduktanzverstärker für eine Gleichtaktverstärkung des Filters von Eins definiert:

$$G_m = G_{\text{in}} = G_d = 2 \cdot \pi \cdot f_{\text{Pol}} \cdot C_{\text{GmC}}. \quad (\text{Gl. 4.51})$$

Der Biasstrom  $I_{\text{Bias}}$  kann wiederum über das theoretische Minimum abgeschätzt werden:

$$I_{\text{Bias}} = G_m \cdot U_T. \quad (\text{Gl. 4.52})$$

Es ist zu beachten, dass der Gm-C Filter ohne nachgeschalteten Buffer-Verstärker nicht belastet werden kann. Der absolute Wert der Transkonduktanz bzw. des Kondensators und damit die Polfrequenz kann nur schwer kontrolliert werden. Deshalb werden so genannte „Tuning“-Maßnahmen erforderlich. Zudem ist eine hohe Linearität des Transkonduktanzverstärkers wichtig.

## 4.2.4 Zeitdiskret: Active-SC Filter

Ein Beispiel für einen Tiefpass in der Switched-Capacitor (SC) Schaltungstechnik wird in Abbildung 4.7 gezeigt. Nach Transformation der Ladungsbilanz am invertierenden Eingang des Verstärkers mit der Spannungsverstärkung  $A_U$ , erhält man die Übertragungsfunktion im  $z$ -Bereich:

$$H_{SC}(z) = \frac{U_{aus}(z)}{U_{ein}(z)} = \frac{C_{SC1}}{C_{SCA} \cdot z^{-1} \cdot \left(1 + \frac{1}{A_U}\right) - (C_{SCA} + C_{SC2}) \cdot \left(1 + \frac{1}{A_U}\right)}. \quad (\text{Gl. 4.53})$$

Unter der Annahme eines idealen Verstärkers mit unendlicher Leerlaufverstärkung ergibt sich die ideale Übertragungsfunktion

$$H_{SCideal}(z) = \frac{U_{aus}(z)}{U_{ein}(z)} = \frac{C_{SC1}}{C_{SCA} \cdot z^{-1} - (C_{SCA} + C_{SC2})}. \quad (\text{Gl. 4.54})$$

In Abbildung 4.8 ist der Zustand mit Rauschquellen für die Schalterwiderstände und für das eingangsbezogene Verstärkerrauschen in der Phase  $\phi_2$  dargestellt. Als Verstärker wird ein einpoliger Verstärker angenommen. Während  $\phi_2$  wirkt die gesamte Rauschbandbreite des jeweiligen Knotens. Am Ende von  $\phi_2$  sperren die Schalter und das gesamte Rauschen wird in das Basisband heruntergemischt. Die Rauschspannungsquadrate an den Rauschquellen berechnen sich als kTC-Rauschen mit der äquivalenten Rauschbandbreite des dominanten Pols nach [2] zu:

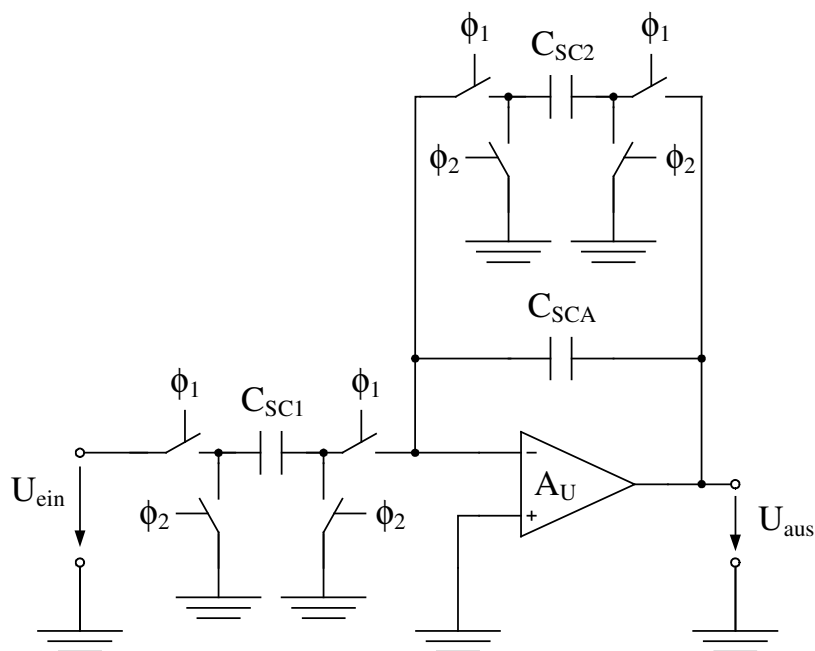
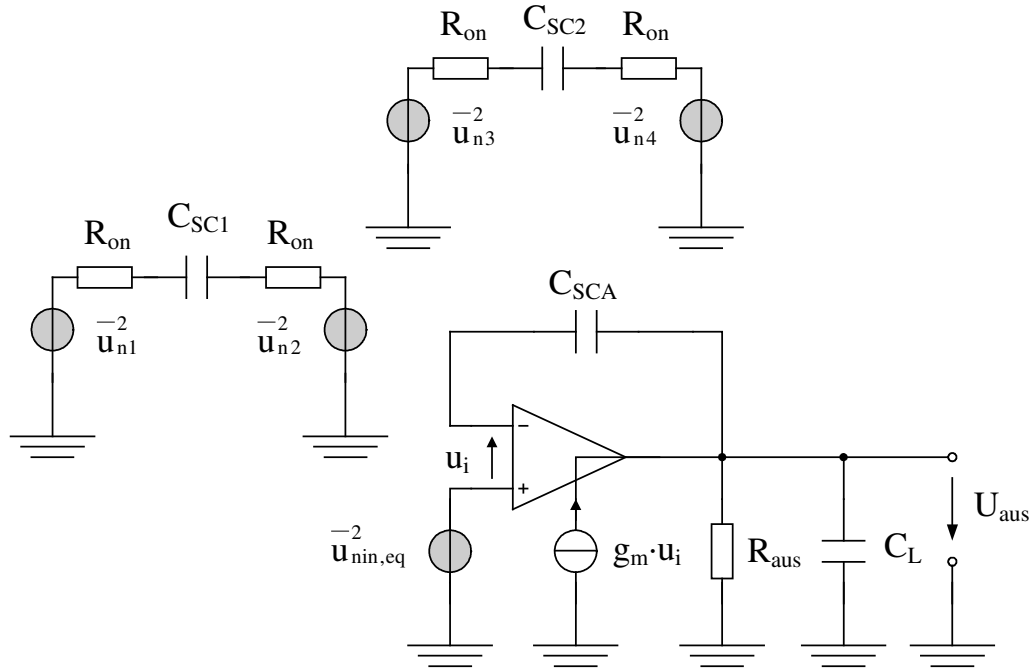


Abbildung 4.7: Aktiver SC-Tiefpass


 Abbildung 4.8: Rauschersatzschaltbild des SC-Tiefpass in Phase  $\phi_2$ 

$$u_{n1}^{-2} = u_{n2}^{-2} = 4 \cdot k_B \cdot T_{\text{emp}} \cdot R_{\text{on}} \cdot \frac{\pi}{2} \cdot \frac{1}{2 \cdot \pi \cdot 2 \cdot R_{\text{on}} \cdot C_{\text{SC1}}} = \frac{k_B \cdot T_{\text{emp}}}{2 \cdot C_{\text{SC1}}}, \quad (\text{Gl. 4.55})$$

$$u_{n3}^{-2} = u_{n4}^{-2} = 4 \cdot k_B \cdot T_{\text{emp}} \cdot R_{\text{on}} \cdot \frac{\pi}{2} \cdot \frac{1}{2 \cdot \pi \cdot 2 \cdot R_{\text{on}} \cdot C_{\text{SC2}}} = \frac{k_B \cdot T_{\text{emp}}}{2 \cdot C_{\text{SC2}}}, \quad (\text{Gl. 4.56})$$

$$u_{\text{nin,eq}}^{-2} = \frac{2 \cdot \frac{4 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{g_m} \cdot 1^2 \cdot \frac{\pi}{2} \cdot \frac{1}{2 \cdot \pi} \cdot \frac{g_m}{C_L}}{1^2} = \frac{2 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{C_L}. \quad (\text{Gl. 4.57})$$

Dabei wurde nur thermisches Rauschen der Schalterwiderstände und thermisches Kanalrauschen der Eingangstristoren des Verstärkers berücksichtigt. Da das abgetastete Rauschen im Basisband als weißes Rauschen verteilt ist, lassen sich die Rauschspannungsdichten aus (Gl. 4.55) bis (Gl. 4.57) mit Division durch  $f_s/2$  bestimmen. Die momentanen Rauschspannungen werden durch die Rauschübertragungsfunktionen im z-Bereich zum Ausgang übertragen. Der Zusammenhang des z-Bereich zum Laplace-Bereich lautet  $z^{-1} = e^{-s \cdot T_s}$ , und kann für  $\omega \ll f_s$  zu  $z^{-1} \approx 1 - s \cdot T_s$  abgeschätzt werden. Dies gilt nur für Nutzsignale und nicht für Rauschsignale. Da aber die Polfrequenz der Rauschübertragungsfunktionen sehr viel kleiner als  $f_s$  ist, kann diese Näherung als Abschätzung genutzt werden. Demnach lauten die Übertragungsfunktionen im s-Bereich näherungsweise:

$$H_{n2}(s) = -H_{n1}(s) \approx \frac{\frac{C_{SC1}}{C_{SC2}}}{1 + s \cdot T_S \cdot \frac{C_{SCA}}{C_{SC2}}}, \quad (\text{Gl. 4.58})$$

$$H_{n3}(s) = -H_{n4}(s) \approx \frac{1}{1 + s \cdot T_S \cdot \frac{C_{SCA}}{C_{SC2}}}, \quad (\text{Gl. 4.59})$$

$$H_{\text{nin,eq}}(s) \approx \frac{1 + \frac{C_{SC1}}{C_{SC2}} + s \cdot T_S \cdot \frac{C_{SCA}}{C_{SC2}}}{1 + s \cdot T_S \cdot \frac{C_{SCA}}{C_{SC2}}}. \quad (\text{Gl. 4.60})$$

Alle drei Übertragungsfunktionen besitzen eine Polstelle bei  $\omega_{\text{Pol}} = (C_{SC2} \cdot f_s)/C_{SCA}$ . Das Rauschspannungsquadrat am Ausgang aufgrund des thermischen Rauschens der Schalterwiderstände ergibt sich zu

$$\begin{aligned} \overline{u_{\text{naus,Wid}}^2} &= 4 \cdot \frac{k_B \cdot T_{\text{emp}}}{2 \cdot C_{SC1}} \cdot \frac{2}{f_s} \cdot \left( \frac{C_{SC1}}{C_{SC2}} \right)^2 \cdot \frac{\pi}{2} \cdot \frac{C_{SC2} \cdot f_s}{2 \cdot \pi \cdot C_{SCA}} \\ &+ 4 \cdot \frac{k_B \cdot T_{\text{emp}}}{2 \cdot C_{SC2}} \cdot \frac{2}{f_s} \cdot \frac{\pi}{2} \cdot \frac{C_{SC2} \cdot f_s}{2 \cdot \pi \cdot C_{SCA}} \\ &= \frac{k_B \cdot T_{\text{emp}}}{C_{SCA}} \cdot \left[ \left( \frac{C_{SC1}}{C_{SC2}} \right) + 1 \right] \end{aligned} \quad (\text{Gl. 4.61})$$

Wegen der besseren Vergleichbarkeit mit dem passiven RC Tiefpass wird  $C_{SC1} = C_{SC2}$  gewählt. Dann wird die Polstelle von  $H_{\text{nin,eq}}(s)$  bereits bei der doppelten Pol-Frequenz kompensiert, so dass das Rauschen als „worst case“ mit der gesamten Bandbreite  $f_s/2$ , auf die das weiße Rauschen heruntergemischt wurde, abgeschätzt wird. Der Anteil des Rauschspannungsquadrats am Ausgang aufgrund des thermischen Kanalrauschens der Eingangstransistoren des Verstärkers berechnet sich demnach zu

$$\begin{aligned} \overline{u_{\text{naus,Verst}}^2} &= \frac{2 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{C_L} \cdot \frac{2}{f_s} \cdot \left( 1 + \frac{C_{SC1}}{C_{SC2}} \right)^2 \cdot \frac{f_s}{2} \\ &= \frac{2 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{C_L} \cdot \left( 1 + \frac{C_{SC1}}{C_{SC2}} \right)^2 \end{aligned} \quad (\text{Gl. 4.62})$$

Das gesamte thermische Rauschen des SC-Tiefpassfilters am Ausgang beträgt

$$\overline{u_{\text{naus,SC}}^2} = \overline{u_{\text{naus,Wid}}^2} + \overline{u_{\text{naus,Verst}}^2}. \quad (\text{Gl. 4.63})$$

Auch hier spielt das 1/f-Rauschen des Verstärkers unter Umständen eine wichtige Rolle. Ein großer Vorteil der SC-Schaltungen ist aber, dass das 1/f-Rauschen relativ leicht unterdrückt



werden kann, und zwar durch den Einsatz der korrelierten Abtastung („correlated double sampling“, CDS) oder durch sogenanntes „Choppen“ (siehe beides in [101]). Dies wurde hier einfachheitshalber nicht gezeigt, aber das 1/f-Rauschen wird für die weitere Berechnung vernachlässigt.

Zur Bestimmung des SNR wird wiederum ein sinusförmiges Signal mit einer Amplitude der halben Versorgungsspannung am Eingang angenommen, welches den Effektivwert aus (Gl. 4.12) am Eingang besitzt. Für den Effektivwert am Ausgang gilt unter der Bedingung  $\omega \ll f_s$  und mit der idealen Übertragungsfunktion aus (Gl. 4.54):

$$U_{\text{aus,eff}}^2(\omega) = \frac{1}{2} \cdot \left( \frac{U_{\text{DD}}}{2} \right)^2 \cdot \frac{\left( \frac{C_{\text{SC1}}}{C_{\text{SC2}}} \right)^2}{1 + \left( \frac{\omega \cdot C_{\text{SCA}}}{C_{\text{SC2}} \cdot f_s} \right)^2}. \quad (\text{Gl. 4.64})$$

Für die Bestimmung der minimalen Werte von  $C_{\text{SCA}}$  und von  $C_L$  wird das mögliche Rauschspannungsquadrat wiederum zur Hälfte auf die Schaltwiderstände und den Verstärker aufgeteilt. Im Durchlassbereich ergibt sich mit (Gl. 4.64) für das maximale SNR:

$$\text{SNR}_{\text{max}} = \frac{\frac{U_{\text{DD}}^2}{8} \cdot \left( \frac{C_{\text{SC1}}}{C_{\text{SC2}}} \right)^2}{\overline{u}_{\text{naus,actRC}}^2} = \frac{\frac{U_{\text{DD}}^2}{8} \cdot \left( \frac{C_{\text{SC1}}}{C_{\text{SC2}}} \right)^2}{2 \cdot \overline{u}_{\text{naus,Wid}}^2} = \frac{\frac{U_{\text{DD}}^2}{8} \cdot \left( \frac{C_{\text{SC1}}}{C_{\text{SC2}}} \right)^2}{2 \cdot \overline{u}_{\text{naus,Verst}}^2}. \quad (\text{Gl. 4.65})$$

Mit (Gl. 4.62) und (Gl. 4.65) folgt die minimale Lastkapazität

$$C_L = \frac{2 \cdot \text{SNR}_{\text{max}} \cdot 16 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma \cdot \left( \frac{C_{\text{SC2}}}{C_{\text{SC1}}} + 1 \right)^2}{U_{\text{DD}}^2} \quad (\text{Gl. 4.66})$$

und mit (Gl. 4.61) folgt das minimale  $C_{\text{SCA}}$ :

$$C_{\text{SCA}} = \frac{2 \cdot \text{SNR}_{\text{max}} \cdot 8 \cdot k_B \cdot T_{\text{emp}} \cdot \left[ \left( \frac{C_{\text{SC2}}}{C_{\text{SC1}}} \right)^2 + \frac{C_{\text{SC2}}}{C_{\text{SC1}}} \right]}{U_{\text{DD}}^2}. \quad (\text{Gl. 4.67})$$

Über die Pol-Frequenz des Filters kann auf die übrigen Kapazitäten geschlossen werden

$$C_{\text{SC1}} = C_{\text{SC2}} = \frac{2 \cdot \pi \cdot f_{\text{Pol}} \cdot C_{\text{SCA}}}{f_s}. \quad (\text{Gl. 4.68})$$

Für die Leistungsabschätzung wird angenommen, dass die in einer Phase auf den Kondensatoren gespeicherte Energie in der anderen Phase an den Widerständen in Wärme umgesetzt. Somit kann die gesamte Wirkleistung zu

$$\begin{aligned}
 P_{W,SC}(f) = & \frac{1}{2} \cdot \left( \frac{U_{DD}}{2} \right)^2 \cdot \frac{1}{2 \cdot R_{on}} \\
 & + \frac{1}{2} \cdot \left( \frac{U_{DD}}{2} \right)^2 \cdot \frac{\left( \frac{C_{SC1}}{C_{SC2}} \right)^2}{1 + \left( \frac{2 \cdot \pi \cdot f}{2 \cdot \pi \cdot f_{Pol}} \right)^2} \cdot \left[ \frac{1}{R_{aus}} + \frac{1}{2 \cdot R_{on}} \right] + k \cdot U_{DD} \cdot I_{Bias}
 \end{aligned} \tag{Gl. 4.69}$$

angegeben werden.

Damit der Ausgangswert des SC-Filters zu 99,9% in einer halben Taktperiode erreicht wird, darf der On-Widerstand der Schalter folgenden Wert nicht überschreiten:

$$R_{on} = \frac{1}{2 \cdot f_s \cdot 7 \cdot C_{SC2}}. \tag{Gl. 4.70}$$

Die Pol-Frequenz des SC-Tiefpass beruht nur auf dem Kapazitätsverhältnis und der Taktfrequenz. Da in CMOS bestimmte Kapazitätsverhältnisse sehr gut erreicht werden können (Abweichung meist kleiner als 1%) und die Taktfrequenz im Falle eines quarzstabilisierten Taktgenerator sehr präzise eingestellt werden kann, resultiert auch eine gut definierte Pol-Frequenzen bei SC-Filtern.

Anhand von (Gl. 4.53) wird die Anforderung an die Leerlaufverstärkung des Verstärkers deutlich. Der Fehler in der Polfrequenz und der DC Verstärkung des Filters liegt bei  $1/A_U$ . Soll der Fehler kleiner als 0,01% ausfallen, wäre eine Leerlaufverstärkung von 80 dB für den Verstärker notwendig. Nach [39] muss zudem für das Verstärkungs-Bandbreite-Produkt des Verstärkers in einer SC-Schaltung mindestens  $\omega_{GBW} = 5 \cdot \omega_s$  gelten.

Um eine Abschätzung des Biasstroms durchzuführen wird eine Taktfrequenz im Verhältnis  $\omega_s = 100 \cdot \omega_{Pol}$ , wie es beispielsweise beim SC-Tiefpass MAX293 von Maxim gewählt wird, angenommen:

$$I_{Bias} = C_L \cdot \omega_{GBW} \cdot U_T = C_L \cdot 500 \cdot \omega_{Pol} \cdot U_T. \tag{Gl. 4.71}$$

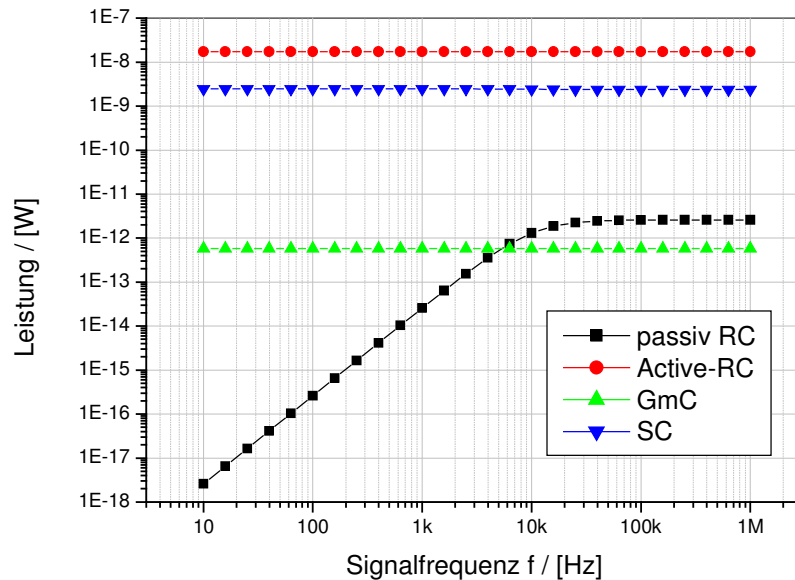
## 4.2.5 Leistungsvergleich

Anhand der Berechnungen der Kapitel 4.2.1 bis 4.2.4 lassen sich nun die verschiedenen Schaltungstechniken nach ihrem Leistungsverbrauch vergleichen. Die verbrauchte Leistung in Abhängigkeit von der Frequenz des Eingangssignals des Filters wird in Abbildung 4.9 präsentiert. Dabei wurde beispielhaft eine Pol-Frequenz von 10 kHz, eine Versorgungsspannung von 2,5 V und ein SNR von 80 dB angenommen. Die daraus

RC (passiv)	Active-RC	Gm-C	SC
$R_{\text{passRC}} = 300,2 \text{ G}\Omega$	$R_{\text{actRC1}} = 75,0 \text{ G}\Omega$	$G_{\text{in}} = 2,221 \text{ pS}$	$C_{\text{SC1}} = 13,32 \text{ aF}$
	$R_{\text{actRC2}} = 75,0 \text{ G}\Omega$	$G_{\text{d}} = 2,221 \text{ pS}$	$C_{\text{SC2}} = 13,32 \text{ aF}$
$C_{\text{passRC}} = 53,02 \text{ aF}$	$C_{\text{actRC2}} = 212,1 \text{ aF}$	$C_{\text{GmC}} = 35,34 \text{ aF}$	$C_{\text{SCA}} = 212,1 \text{ aF}$
	$R_{\text{aus}} = 75,0 \text{ G}\Omega$	$R_{\text{a,in}} = 4,503 \text{ P}\Omega$	$R_{\text{aus}} = 562,9 \text{ G}\Omega$
		$R_{\text{a,d}} = 4,503 \text{ P}\Omega$	
			$R_{\text{on}} = 5,361 \text{ G}\Omega$

**Tabelle 4.1:** Bauelemente der Tiefpässe verschiedener Schaltungstechniken (für  $f_{\text{pol}}=10\text{kHz}$ ,  $U_{\text{DD}}=2,5\text{V}$ ,  $\text{SNR}=80\text{dB}$ )

resultierenden Bauelementeparameter sind für die untersuchten Schaltungstechniken in Tabelle 4.1 angegeben. Dabei handelt es sich um theoretische Werte, die in der Praxis schwer zu erreichen sind. Die Kapazitätsangaben  $C_{\text{passRC}}$ ,  $C_{\text{actRC2}}$ ,  $C_{\text{GmC}}$  und  $C_{\text{SCA}}$  stellen jeweils einen Minimalwert dar, um ein gewisses SNR zu erreichen. Diese können größer gewählt werden, um entsprechend realisierbare Bauelementewerte zu erhalten. Jedoch erhöht sich dadurch der Leistungsverbrauch. Die anderen Bauelemente werden in Bezug auf die minimale Kapazität



**Abbildung 4.9:** Leistungsverbrauch verschiedener Tiefpässe in Abhängigkeit der Frequenz des Eingangssignals

bestimmt. Die Ausgangswiderstände der Verstärker in den verschiedenen Filtern sind über die Transkonduktanz der Verstärker für eine Leerlaufverstärkung von 80 dB bestimmt worden.

Für den statischen Leistungsverbrauch aufgrund der Bias-Ströme, wurde bei den aktiven Varianten die Anzahl der benötigten Bias-Ströme auf zwei festgelegt, und mit dem theoretisch minimalen Wert abgeschätzt. Der für das Active-RC Filter, aufgrund der Nullstelle in der Übertragungsfunktion, notwendige Parameter der Dämpfung  $A_{SB}$  („stopband attenuation“) ist zu 80 dB angenommen worden.

Wie in Abbildung 4.9 zu erkennen ist, liegt das Gm-C Filter, abgesehen von dem passiven RC-Filter bei niedrigen Frequenzen, im Leistungsverbrauch am günstigsten. Das SC-Filter schneidet für die vorgegebene Dämpfung  $A_{SB}$  etwas besser als das Active-RC Filter ab. Bei den aktiven Varianten ist der Leistungsverbrauch relativ konstant über der Frequenz, da der statische Leistungsverbrauch dominant ist. Der dynamische Leistungsverbrauch sinkt bei den aktiven Varianten mit steigender Frequenz, spielt aber eine untergeordnete Rolle. Das passive RC-Filter besitzt einen rein dynamischen Leistungsverbrauch, und dieser erhöht sich mit steigender Frequenz, da der Strom durch  $R_{passRC}$  anwächst bis eine Sättigung eintritt, bei der die komplette Eingangsamplitude über dem Widerstand abfällt.

In Abbildung 4.10 sind die Leistungen über der Pol-Frequenz bei einer Signalfrequenz von 1kHz dargestellt. Die Leistung des passiven RC-Tiefpasses erhöht sich zunächst mit

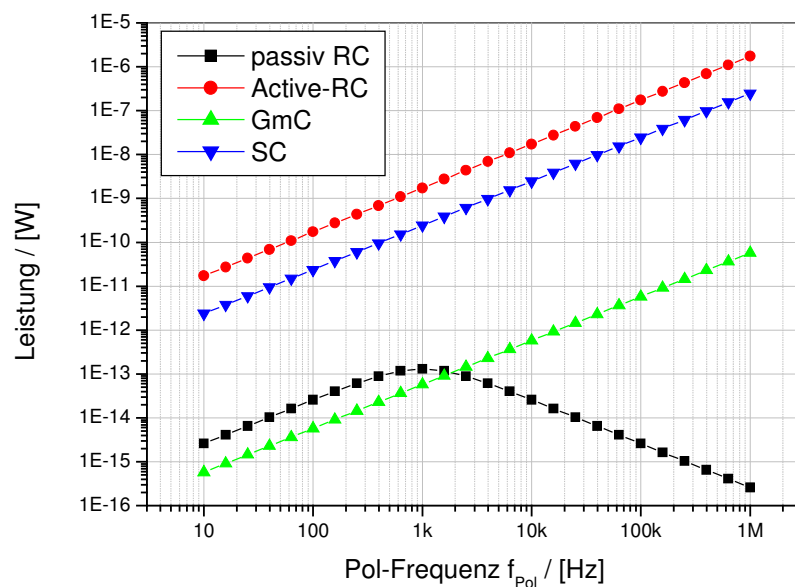


Abbildung 4.10: Leistungsverbrauch verschiedener Tiefpässe in Abhängigkeit der Polfrequenz des Filters

steigender Pol-Frequenz, bis das Maximum mit der Signalfrequenz erreicht wird, und sinkt danach mit höheren Polfrequenzen ab. Der Anstieg erklärt sich mit sinkendem Widerstand  $R_{\text{passRC}}$ , und damit mit erhöhtem Strom, da für ein konstantes  $C_{\text{passRC}}$  der Widerstand bei erhöhter Polfrequenz sinken muss. Das Abfallen resultiert aus der reduzierten Spannung über dem Widerstand, da das Filter für eine höhere Polfrequenz und konstante Eingangssignalfrequenz stärker in den Durchlassbereich gelangt.

Für die aktiven Varianten wächst der Leistungsverbrauch mit Erhöhung der Polfrequenz, da die Bandbreite der verwendeten Verstärker angepasst werden muss. Dies resultiert in einem höheren statischen Leistungsverbrauch, welcher bei den aktiven Varianten dominiert.

Zum Erreichen eines höheren SNR ist bei allen untersuchten Filtern in den verschiedenen Schaltungstechniken auch eine höhere Leistung notwendig, da die minimale Kapazität erhöht werden muss.

## 4.3 Systemarchitektur am Beispiel ADU

In dieser Arbeit liegt der Schwerpunkt in der Entwicklung einer Low-Power Sensorauslese. Darin ist meist ein A/D-Umsetzer von großer Bedeutung. Aus diesem Grund wird die geeignete Wahl der Systemarchitektur anhand der Architektur von ADUs untersucht. Als Schaltungstechnik wird hier die SC-Schaltungstechnik gewählt, da diese sich für das Ziel einer Auslese von kapazitiven Drucksensoren anbietet. In Kapitel 4.2 wurde zwar ein deutlich geringerer Leistungsverbrauch für den passiven RC-Tiefpass und den GmC-Tiefpass im Vergleich zum SC-Tiefpass festgestellt. Aber die Möglichkeit der passiven LCR-Schaltungstechnik entfällt, da für einen ADU auch aktive Elemente notwendig sind. Die GmC-Schaltungstechnik hat den Nachteil, dass der absolute Wert der Transkonduktanz und der Kapazität in der CMOS Technologie nur schlecht einstellbar ist. In der SC-Schaltungstechnik ist dagegen nicht der absolute Wert, sondern nur die Paarungseigenschaft von Kondensatoren wichtig. Die Paarungsgenauigkeit („component matching“) von Kondensatoren ist in der CMOS Technologie deutlich besser gegeben. In Kapitel 4.2 ist das 1/f-Rauschen größtenteils vernachlässigt worden, um die Betrachtungen einfach zu halten. Hier bietet die SC-Schaltungstechnik einen weiteren Vorteil, da durch eine CDS-Stufe oder durch die Anwendung der Chopper-Technik das 1/f-Rauschen stark reduziert werden kann. Weiterhin kann mit SC-Verstärkern Information gespeichert werden, wenn z. B. eine Sample&Hold Stufe für eine ADU Architektur benötigt wird. Mit SC-Schaltungen lassen sich zudem funktionale Beziehungen, wie sie bei ADUs notwendig sind, leicht realisieren.

Bei A/D-Umsetzern wird grundsätzlich zwischen Umsetzern mit Nyquist-rate und Umsetzern mit Überabtastrate unterschieden. Das Abtasttheorem besagt, dass ein zeitabhängiges Signal so oft abgetastet werden muss, damit die höchste vorkommende Frequenz eindeutig rekonstruiert werden kann. Nach Nyquist ist die Abtastrate bei einem sinusförmigen Signal das doppelte der Signalbandbreite. Die Nyquist-Umsetzer erfüllen dieses Kriterium, und basieren im Falle einer Spannung als Eingangssignal auf dem Vergleich der Eingangsspannung mit Referenzspannungen. Die Referenzspannungen werden z. B. mit Widerstandsteilern oder kapazitiven Ladungsteilern erzeugt. Die Nyquist-Umsetzer können weiterhin in die Unterkategorien „one-step“ und „multi-step“ unterteilt werden. Die „one-step“ Umsetzer vollziehen die Umsetzung in einem Schritt, wie beispielsweise der Parallel- („Flash“-)Umsetzer, und sind somit sehr schnell. Da für diese Art von Umsetzern viele Referenzspannungen notwendig sind, ergeben sich hohe Anforderungen an das „Matching“ des Teilungsnetzwerks. Typische Beispiele für „multi-step“ Umsetzer sind der zyklische und der SAR ADU, bei denen die Bits sukzessive in mehreren Schritten bestimmt werden. Der Pipeline ADU zählt ebenfalls dazu und verwendet mehrere „one-step“ ADUs nacheinander. Die „multi-step“ Umsetzer sind langsamer als die „one-step“ Varianten, haben aber einen geringeren Hardware-Aufwand und besitzen oft niedrigere Anforderungen an das „Matching“ der Bauelemente.

Bei Umsetzern mit Überabtastung wird das Eingangssignal mit der Überabtastrate mal der Nyquistfrequenz abgetastet. Dies ermöglicht die Formung des Quantisierungsrauschens und somit eine Reduktion des Quantisierungsrauschens im Basisband. Daher können hohe Auflösungen bei großer Überabtastrate erreicht werden. Der Aufwand ist hoch, da die Verstärker mit Überabtastrate betrieben werden und ein digitales Filter (so genanntes Dezimationsfilter) notwendig ist, um das Rauschen außerhalb der Signalbandbreite zu filtern. Für die Untersuchungen in diesem Kapitel wurden bei den Nyquist-Umsetzern der zyklische und der SAR („successive approximation register“) ADU ausgewählt, da die Zielanwendung der kapazitiven Druckmessung z. B. für medizinische Implantate geringe Abtastraten und mittlere Auflösungen benötigt. Zudem wird ein geringer Leistungsverbrauch erwartet, da der Hardware-Aufwand, durch wiederholte Nutzung der gleichen Hardware, bei diesen Umsetzern niedrig ist. Bei den Umsetzern mit Überabtastung wird der häufig verwendete Sigma-Delta Modulator bzw. ADU untersucht. Es wird geprüft, ob dieser einen geringen Leistungsverbrauch aufweist, da kleinere Kondensatoren wegen der Rauschformung ermöglicht werden.

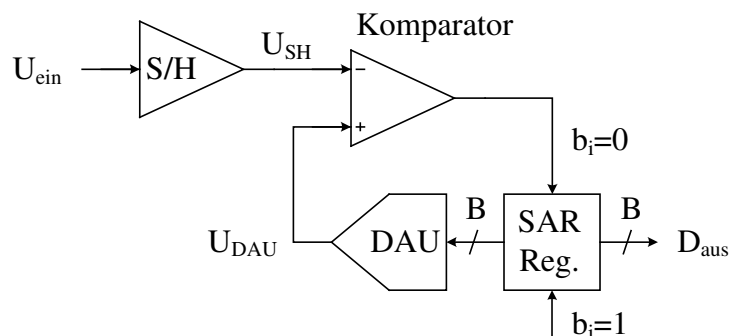
### 4.3.1 SAR A/D-Umsetzer

Das Prinzip des SAR A/D-Umsetzers ist in Abbildung 4.11 dargestellt. Für einen Wandlungszyklus werden  $N_{\text{cycle}}$  Taktzyklen, welche hier der Auflösung  $B$  plus einem Taktzyklus für das Abtasten Eingangsspannung entsprechen, benötigt. Sukzessive werden im SAR Register beginnend beim MSB die Bits zu 1 gesetzt. Der Registerwert wird mit einem D/A-Umsetzer (DAU) gewandelt, und mit dem Wert des Abtast-Halte-Glieds (S/H-Stufe) verglichen. Ist der Komparatorausgang „High“ wird das zuvor gesetzte Bit zurückgesetzt. Umgekehrt bleibt es gesetzt. Dies wird sukzessive, bis alle Bits geprüft sind, fortgesetzt. Dafür wird immer das nächst niederwertigere Bit gesetzt, und wiederum mit der Eingangsspannung verglichen.

Für die nachfolgenden Betrachtungen wird ein kapazitiver DAU angenommen. Diese Art wurde gewählt, da im kapazitiven DAU kein Dauerstrom wie bei einer resistiven Variante oder einem Stromspiegelteiler fließt, und somit für Low-Power Anwendungen besser geeignet ist. Wie in Abbildung 4.12 zu sehen ist, wird die Anzahl der Einheitskondensatoren durch einen Skalierungskondensator  $C_S$  reduziert. Über die Reihenschaltung des Skalierungskondensators und des LSB Kondensatorarrays, ergibt sich eine binäre Gewichtung der Kondensatoren abnehmend vom MSB Kondensator bis zum LSB Kondensator. Die durch den Skalierungskondensator effektiv wirkende Kapazität, die am  $i$ -ten Doppelschalter des Bits  $b_i$  angeschlossen ist, hat den Wert

$$C_{\text{eff}}(\mathbf{i}) = 2^{\left(\mathbf{i} - \frac{\mathbf{B}}{2}\right)} \cdot C_{\text{SAR}}, \quad (\text{Gl. 4.72})$$

wobei der Abschlusskondensator mit der Kapazität  $C_{\text{eff}}(0)$  wirkt. Somit lautet die gesamte umzuladende Kapazität des D/A-Umsetzers



### Abbildung 4.11: Prinzip des SAR A/D-Umsetzers

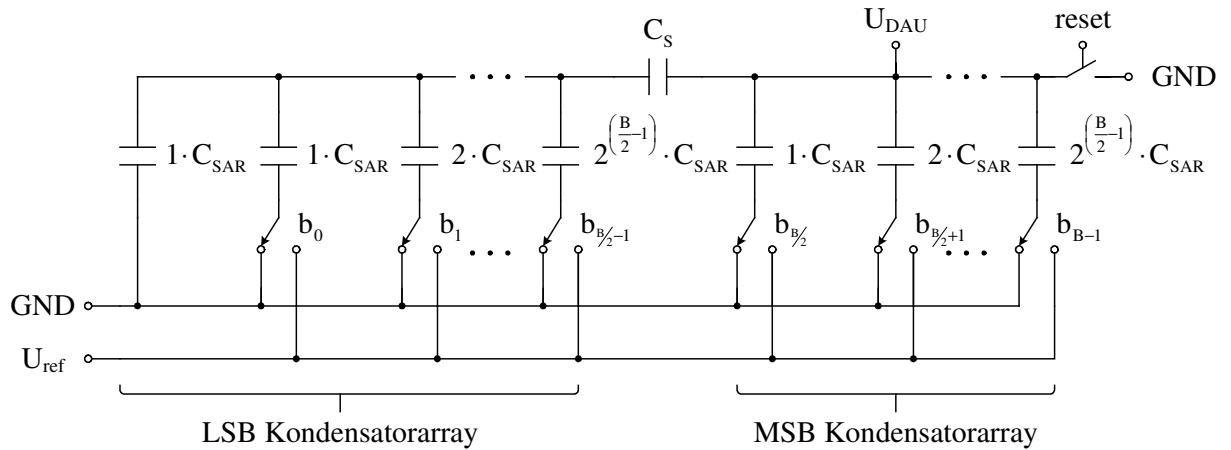


Abbildung 4.12: Kapazitiver D/A-Umsetzer

$$C_{\text{gesDAU}} = \sum_{i=0}^{B-1} C_{\text{eff}}(i) + C_{\text{eff}}(0) = 2^{\frac{B}{2}} \cdot C_{\text{SAR}}. \quad (\text{Gl. 4.73})$$

Während des Resets, welcher durchgeführt wird, wenn die Sample&Hold-Stufe die Eingangsspannung abtastet, wird das Kondensatorarray des DAU niederohmig entladen. Beim Sperren der Schalter wird das Rauschen der Schalterwiderstände abgetastet und somit in das Basisband heruntergemischt. Die Rauschspannungsquadrate (siehe Abbildung 4.13) auf dem binär gewichteten Kondensator des  $i$ -ten Bits  $b_i$  werden nach [37] bei abgetastetem Schalterrauschen durch das entsprechende  $kTC$ -Rauschen bestimmt:

$$\overline{u_{ni}^2} = \frac{k_B \cdot T_{\text{emp}}}{C_{\text{eff}}(i)} = \frac{k_B \cdot T_{\text{emp}}}{C \cdot 2^{\left(i - \frac{B}{2}\right)}}. \quad (\text{Gl. 4.74})$$

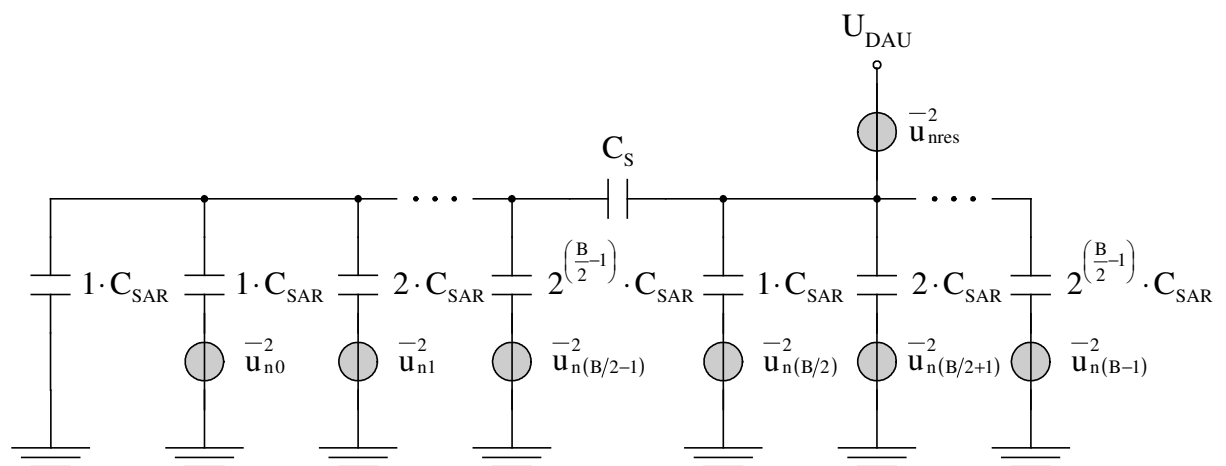


Abbildung 4.13: Kondensatorarray des DAU mit Rauschquellen



Das Rauschspannungsquadrat durch den Resetschalter besitzt den Wert  $\overline{u_{\text{nres}}^2} = \overline{u_{\text{nB}}^2}$  und geht direkt in das Rauschen am Ausgang des DAU ein. In den Wandlungsphasen wirken sich die gespeicherten Rauschspannungsquadrate auf den Ausgang des DAU, welcher dann hochohmig geschaltet ist, aus. Die Ausgangsspannung lautet in Abhängigkeit der momentanen Rauschspannungen  $u_{\text{ni}}$ :

$$U_{\text{DAU}} = \frac{\sum_{i=0}^{B-1} u_{\text{ni}} \cdot C_{\text{eff}}(i)}{C_{\text{gesDAU}}} . \quad (\text{Gl. 4.75})$$

Durch Superposition resultiert das Rauschspannungsquadrat am Ausgang des DAU:

$$\begin{aligned} \overline{u_{\text{nausDAU}}^2} &= \sum_{i=0}^{B-1} \frac{k_B \cdot T_{\text{emp}}}{C_{\text{SAR}} \cdot 2^{\left(i - \frac{B}{2}\right)}} \cdot \left[ \frac{C_{\text{SAR}} \cdot 2^{\left(i - \frac{B}{2}\right)}}{C_{\text{SAR}} \cdot 2^{\frac{B}{2}}} \right]^2 + \frac{k_B \cdot T_{\text{emp}}}{C_{\text{SAR}} \cdot 2^{\frac{B}{2}}} \\ &= \frac{k_B \cdot T_{\text{emp}}}{C_{\text{SAR}}} \cdot \left[ 2^{\left(1 - \frac{B}{2}\right)} - 2^{\frac{3-B}{2}} \right] \end{aligned} \quad (\text{Gl. 4.76})$$

Für die Realisierung der Sample&Hold Stufe wird ein SC-Verstärker mit einem „single-ended“ Signalpfad angenommen. Dieser ist in Abbildung 4.14 ohne Schalter zu sehen, wobei  $k$  hier gleich eins ist. In den folgenden Gleichungen wird angenommen, dass der Operationsverstärker eine unendliche Bandbreite und Verstärkung besitzt, und dass keine parasitären Kapazitäten vorhanden sind. Beim Abtasten der Eingangsspannung wird auch das Rauschen der zwei Schalterwiderstände abgetastet, somit in das Basisband gemischt, und in der nächsten Phase mit der Übertragungsfunktion an den Ausgang der Sample&Hold Stufe übertragen. Hinzu kommt das abgetastete Rauschen der Schalterwiderstände, mit welchen der Rückkoppelkondensator entladen wurde:

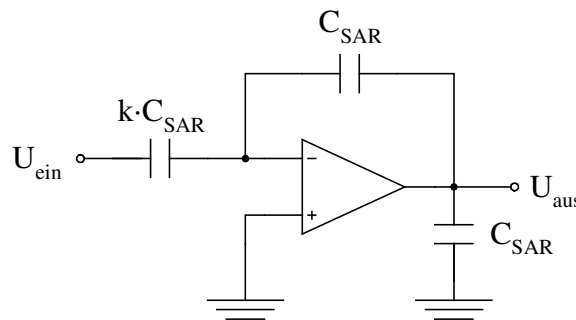


Abbildung 4.14: SC-Verstärker „single-ended“ ohne Schalter

$$u_{\text{nausSH}}^{-2} = 2 \cdot \frac{k_B \cdot T_{\text{emp}}}{C_{\text{SAR}}} \cdot 1^2 + 2 \cdot \frac{k_B \cdot T_{\text{emp}}}{C_{\text{SAR}}} = \frac{4 \cdot k_B \cdot T_{\text{emp}}}{C_{\text{SAR}}}. \quad (\text{Gl. 4.77})$$

Am Eingang des Komparators, welcher in dieser Betrachtung als ideal angenommen wird, wirkt das Rauschen vom DAU Ausgang in gleicher Weise wie das vom Ausgang der Sample&Hold Stufe. Folglich können die Beiträge addiert werden. Da die Gewichtung für die Entscheidung der niederwertigeren Bits abnimmt, beträgt das äquivalente Rauschspannungsquadrat am Eingang:

$$\begin{aligned} u_{\text{nein,SAR}}^{-2} &= \left( u_{\text{nausSH}}^{-2} + u_{\text{nausDAU}}^{-2} \right) \cdot \sum_{i=0}^{B-1} 2^{-i} \\ &= \frac{k_B \cdot T_{\text{emp}}}{C_{\text{SAR}}} \cdot \left[ 4 + 2^{\left(1-\frac{B}{2}\right)} - 2^{\frac{3-B}{2}} \right] \cdot \left[ 2 - 2^{(1-B)} \right]. \end{aligned} \quad (\text{Gl. 4.78})$$

Am Eingang des SAR ADU wird ein sinusförmiges Signal mit einer Amplitude der halben Versorgungsspannung angenommen. Mit dessen Effektivwert folgt für das maximale SNR, welches durch das abgetastete Rauschen der Schalterwiderstände limitiert wird:

$$\text{SNR}_{\text{max}} = \frac{U_{\text{eineff}}^2}{u_{\text{nein,SAR}}^{-2}} = \frac{\left( \frac{U_{\text{DD}}^2}{8} \right)}{u_{\text{nein,SAR}}^{-2}}. \quad (\text{Gl. 4.79})$$

Mit (Gl. 4.78) und (Gl. 4.79) resultiert die minimale Einheitskapazität

$$C_{\text{SAR}} = \frac{\text{SNR}_{\text{max}} \cdot 8 \cdot k_B \cdot T_{\text{emp}}}{U_{\text{DD}}^2} \cdot \left[ 4 + 2^{\left(1-\frac{B}{2}\right)} - 2^{\frac{3-B}{2}} \right] \cdot \left[ 2 - 2^{(1-B)} \right]. \quad (\text{Gl. 4.80})$$

Bei der Berechnung der Leistung des Analogteils, also von Sample&Hold Stufe, DAU und Komparator, wird zum einen angenommen, dass alle Kondensatoren gleich sind und mit der entsprechenden Frequenz um die Versorgungsspannung umgeladen werden und auch die auf den Kondensatoren gespeicherte Energie vollständig in Wärme umgesetzt wird. Der Kondensator des Komparators wird mit der Taktfrequenz, und die Sample&Hold Stufe bzw. das Kondensatorarray des DAU mit der Abtastfrequenz umgeladen. Zum anderen wird für den Operationsverstärker im SC-Verstärker das zweifache des minimal notwendigen Biasstroms vorausgesetzt. Dies ergibt folgende Abschätzung der Leistung des Analogteils vom SAR ADU:

$$P_{\text{SAR}} = C_{\text{SAR}} \cdot U_{\text{DD}}^2 \cdot 2 \cdot f_B \cdot (B+1) + \left( 2^{\frac{B}{2}} + 3 \right) \cdot C_{\text{SAR}} \cdot U_{\text{DD}}^2 \cdot 2 \cdot f_B + 2 \cdot U_{\text{DD}} \cdot I_{\text{Bias}}. \quad (\text{Gl. 4.81})$$

Wie bereits in Kapitel 4.2.4 abgeschätzt, muss für den Verstärker einer SC-Schaltung mindestens  $\omega_{\text{GBW}} = 5 \cdot \omega_s$  gelten. Damit lässt so sich die Transkonduktanz  $g_m$  bei einer

Belastung des Verstärkers mit ungefähr zwei mal der Einheitskapazität bestimmen. Das theoretische Minimum des Biasstroms lautet

$$I_{\text{Bias}} = g_m \cdot U_T = 5 \cdot 2 \cdot \pi \cdot 2 \cdot C_{\text{SAR}} \cdot f_S \cdot U_T = 20 \cdot \pi \cdot C_{\text{SAR}} \cdot (B+1) \cdot 2 \cdot f_B \cdot U_T. \quad (\text{Gl. 4.82})$$

### 4.3.2 Zyklischer A/D-Umsetzer

In Abbildung 4.15 ist das Prinzip des zyklischen ADUs nach dem RSD (redundant signed digit) Verfahren dargestellt. Aufgrund der Redundanz durch die Verwendung zweier Komparatoren, erfolgt eine Wandlung in  $(B-1)$  Zyklen. Jedoch benötigt eine Umwandlung des RSD Codes in das Zweierkomplement  $B$  Zyklen. Im ersten Zyklus wird die Eingangsspannung abgetastet und gehalten. Diese Spannung wird mit zwei Referenzspannungen verglichen, und die Komparatoren nehmen drei mögliche Zustände an. Liegt die zu vergleichende Spannung oberhalb der positiven Referenz, wird von dieser Spannung eine weitere Referenzspannung subtrahiert, oder eine Referenzspannung addiert, wenn die zu vergleichende Spannung unterhalb der negativen Referenz liegt. Im dritten Fall wird weder eine Referenz addiert noch subtrahiert. Das Ergebnis der Summation wird mit zwei multipliziert und der Sample&Hold Stufe für den nächsten Zyklus übergeben.

In Abbildung 4.16 ist ein SC-Verstärker ohne Schalter mit volldifferentiellem Signalpfad dargestellt. Die volldifferentielle Variante wurde gewählt, da der mögliche Spannungshub höher liegt. Zudem werden nach [42] im volldifferentiellen Entwurf Gleichtaktstörungen

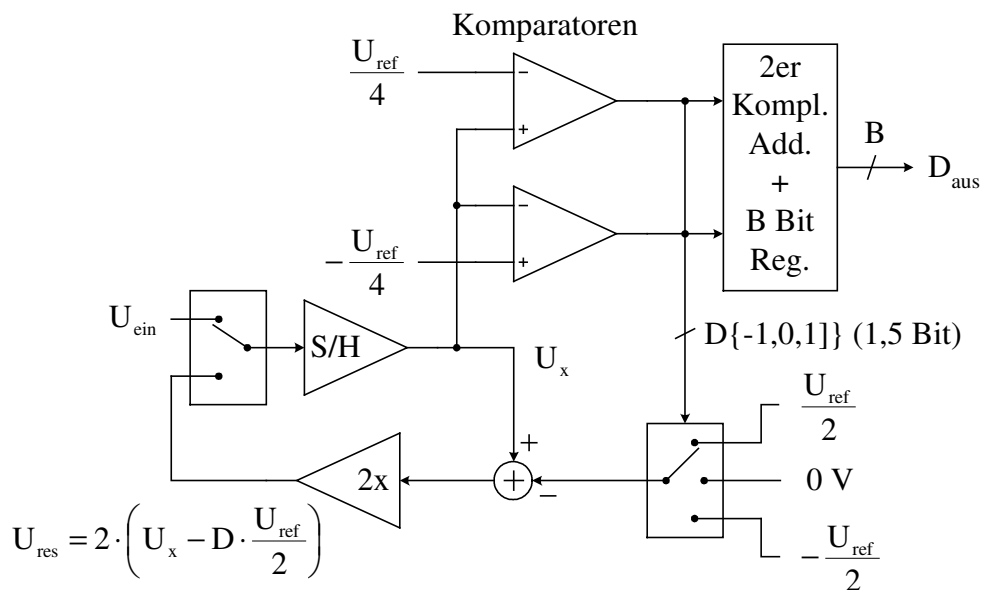


Abbildung 4.15: Prinzip des zyklischen A/D-Umsetzers nach dem RSD-Verfahren

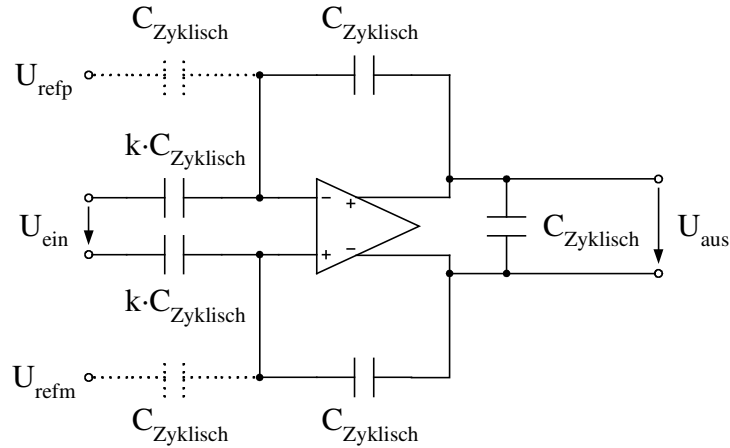


Abbildung 4.16: SC-Verstärker voll differentiell ohne Schalter

unterdrückt und der Taktdurchgriff reduziert. Über den Faktor  $k$  kann die Verstärkung eingestellt werden: Also  $k=1$  für die Sample&Hold Stufe und  $k=2$  für die Multiplizierstufe. In der Multiplizierstufe wird zudem die Addition oder Subtraktion der Referenzspannung vorgenommen (gestrichelte Kondensatoren). Für die folgenden Gleichungen werden wiederum ideale Operationsverstärker bzw. Komparatoren und keine parasitären Kapazitäten angenommen.

Bei der Berechnung des Rauschens am Ausgang der Schleife aus Sample&Hold Stufe und Multiplizierstufe wird angenommen, dass bei jedem Abtast-Vorgang das Rauschen der Schalterwiderstände ins Basisband gemischt wird. Das resultierende  $kT/C$ -Rauschen lautet bei zwei Pfaden mit jeweils zwei Schaltern für jeden Kondensator am Ausgang der Sample&Hold Stufe (SH) bzw. Multiplizierstufe (X2):

$$u_{\text{naus,SH}}^{-2} = \frac{4 \cdot k_B \cdot T_{\text{emp}}}{C_{\text{Zyklisch}}} \cdot 1^2 + \frac{4 \cdot k_B \cdot T_{\text{emp}}}{C_{\text{Zyklisch}}} = \frac{8 \cdot k_B \cdot T_{\text{emp}}}{C_{\text{Zyklisch}}}, \quad (\text{Gl. 4.83})$$

$$u_{\text{naus,X2}}^{-2} = \frac{4 \cdot k_B \cdot T_{\text{emp}}}{2 \cdot C_{\text{Zyklisch}}} \cdot 2^2 + \frac{4 \cdot k_B \cdot T_{\text{emp}}}{C_{\text{Zyklisch}}} \cdot 1^2 + \frac{4 \cdot k_B \cdot T_{\text{emp}}}{C_{\text{Zyklisch}}} = \frac{16 \cdot k_B \cdot T_{\text{emp}}}{C_{\text{Zyklisch}}}. \quad (\text{Gl. 4.84})$$

In jeder Wandlungsphase kommt ein weiteres abgetastetes Rauschen der Schalterwiderstände hinzu und wird zusammen mit dem vorigen Rauschen über das Quadrat der Übertragungsfunktion zum Ausgang der Stufe übertragen wird. Die Sample&Hold Stufe besitzt eine Übertragungsfunktion von Eins und die Multiplizierstufe von Zwei. Dementsprechend berechnet sich das Rauschspannungsquadrat am Ausgang nach  $N_{\text{cycle}}$  Zyklen zu

$$\bar{u}_{\text{naus,Zyklisch}}^{-2} = \bar{u}_{\text{nausSH}}^{-2} \cdot \sum_{i=1}^{N_{\text{cycle}}} 2^{2i} + \bar{u}_{\text{nausX2}}^{-2} \cdot \sum_{i=0}^{N_{\text{cycle}}-1} 2^{2i} = \frac{k_B \cdot T_{\text{emp}}}{C_{\text{Zyklisch}}} \cdot (16 \cdot 4^{N_{\text{cycle}}} - 16). \quad (\text{Gl. 4.85})$$

Dies kann auf den Eingang bezogen werden, indem durch das Quadrat der Übertragungsfunktion nach  $N_{\text{cycle}}$  Zyklen geteilt wird:

$$\bar{u}_{\text{nein,Zyklisch}}^{-2} = \frac{\bar{u}_{\text{naus,Zyklisch}}^{-2}}{2^{2 \cdot N_{\text{cycle}}}} = \frac{k_B \cdot T_{\text{emp}}}{C_{\text{Zyklisch}}} \cdot (16 - 64 \cdot 4^{-B}). \quad (\text{Gl. 4.86})$$

Dabei gilt, dass  $N_{\text{cycle}}$  gleich (B-1) ist. Bei einem differentiellen Eingangssignal mit der Versorgungsspannung als Amplitude ergibt sich das maximale SNR, welches durch kTC-Rauschen limitiert ist, zu

$$\text{SNR}_{\text{max}} = \frac{U_{\text{eineff}}^2}{\bar{u}_{\text{nein,Zyklisch}}^{-2}} = \frac{\left( \frac{U_{\text{DD}}^2}{2} \right)}{\bar{u}_{\text{nein,Zyklisch}}^{-2}}. \quad (\text{Gl. 4.87})$$

Dementsprechend ist die minimale Einheitskapazität gegeben:

$$C_{\text{Zyklisch}} = \frac{\text{SNR}_{\text{max}} \cdot 16 \cdot k_B \cdot T_{\text{emp}}}{U_{\text{DD}}^2} \cdot (2 - 8 \cdot 4^{-B}). \quad (\text{Gl. 4.88})$$

Für die Abschätzung des Leistungsverbrauchs vom Analogteil wird angenommen, dass die Lastkondensatoren der Sample&Hold Stufe bzw. der Multiplizierstufe mit einer Amplitude in Höhe der Versorgungsspannung angesteuert werden, und die restlichen 10 Einheitskondensatoren sowie die Lastkapazitäten der beiden Komparatoren mit einer Amplitude in Höhe der halben Versorgungsspannung umgeladen werden. Die Umladung geschieht periodisch mit der Taktfrequenz. Zusammen mit dem statischen Leistungsverbrauch der beiden SC-Verstärker resultiert die Leistung des Analogteils

$$P_{\text{Zyklisch}} = 16 \cdot C_{\text{Zyklisch}} \cdot U_{\text{DD}}^2 \cdot 2 \cdot f_B \cdot B + 2 \cdot U_{\text{DD}} \cdot (I_{\text{BiasSH}} + I_{\text{BiasX2}}). \quad (\text{Gl. 4.89})$$

Mit dem Zusammenhang des Verstärkungs-Bandbreite Produkt und der Taktfrequenz der SC-Schaltung  $\omega_{\text{GBW}} = 5 \cdot \omega_s$  aus Kapitel 4.2.4 lassen sich wiederum die Biasströme über die Transkonduktanz  $g_m$  abschätzen:

$$I_{\text{BiasSH}} = g_m \cdot U_T = 5 \cdot 2 \cdot \pi \cdot 7 \cdot C_{\text{Zyklisch}} \cdot f_s \cdot U_T = 70 \cdot \pi \cdot C_{\text{Zyklisch}} \cdot B \cdot 2 \cdot f_B \cdot U_T, \quad (\text{Gl. 4.90})$$

$$I_{\text{BiasX2}} = g_m \cdot U_T = 5 \cdot 2 \cdot \pi \cdot 5 \cdot C_{\text{Zyklisch}} \cdot f_s \cdot U_T = 50 \cdot \pi \cdot C_{\text{Zyklisch}} \cdot B \cdot 2 \cdot f_B \cdot U_T. \quad (\text{Gl. 4.91})$$

Dabei hat die Sample&Hold Stufe etwa eine Last von 7 Einheitskondensatoren und die Multiplizierstufe von etwa 5 Einheitskondensatoren.

### 4.3.3 Sigma-Delta A/D-Umsetzer

Ein  $\Sigma\Delta$ -ADU (Abbildung 4.17) besteht aus einem  $\Sigma\Delta$ -Modulator und einem Dezimationsfilter DF. Anders als bei den Nyquist-Rate Umsetzern nutzt der  $\Sigma\Delta$ -Modulator die Überabtastung. Durch die Überabtastung wird die Quantisierungsrauschleistung auf einen größeren Frequenzbereich verteilt. Mit Hilfe einer Tiefpassfilterung liegt dann eine um die Überabtastrate OSR (oversampling ratio) reduzierte Rauschleistung im Signalband. Zusätzlich zur Überabtastung nutzt der  $\Sigma\Delta$ -Modulator eine Rauschformung, da der Quantisierungsfehler differenziert wird. Bei einem  $\Sigma\Delta$ -Modulator M-ter Ordnung lautet nach [38] das SNR aufgrund des Quantisierungsrauschens:

$$\text{SNR}_{\Sigma\Delta, M} = \frac{12}{8} \cdot (2^{B_{\text{in}}} - 1)^2 \cdot \frac{2 \cdot M + 1}{\pi^{2 \cdot M}} \cdot \text{OSR}^{2 \cdot M + 1}. \quad (\text{Gl. 4.92})$$

Darin ist  $B_{\text{in}}$  die Wortbreite des Quantisierers in Form eines ADUs, und bei sinusförmigen Eingangssignal lautet der Zusammenhang zur möglichen Wortbreite  $B$  des gesamten  $\Sigma\Delta$ -ADUs:

$$\text{SNR}_{\text{sin}} = \frac{3}{2} \cdot 2^{2 \cdot B}. \quad (\text{Gl. 4.93})$$

Aus (Gl. 4.92) und (Gl. 4.93) lässt sich die Überabtastrate OSR in Abhängigkeit der Auflösung  $B$  für einen  $\Sigma\Delta$ -Modulator M-ter Ordnung bestimmen:

$$\text{OSR} = {}^{(2 \cdot M + 1)}\sqrt{\frac{2^{2 \cdot B}}{(2^{B_{\text{in}}} - 1)^2} \cdot \frac{\pi^{2 \cdot M}}{2 \cdot M + 1}}. \quad (\text{Gl. 4.94})$$

Beim Entwurf eines Dezimationsfilters ist es vorteilhaft eine Überabtastrate in Form der nächst höheren 2er Potenz zu wählen.

Zum  $\Sigma\Delta$ -ADU fehlt dem  $\Sigma\Delta$ -Modulator ein Dezimationsfilter, welches das überabgetastete Signal auf Nyquist-Rate dezimiert und auf die gewünschte Wortbreite bringt.

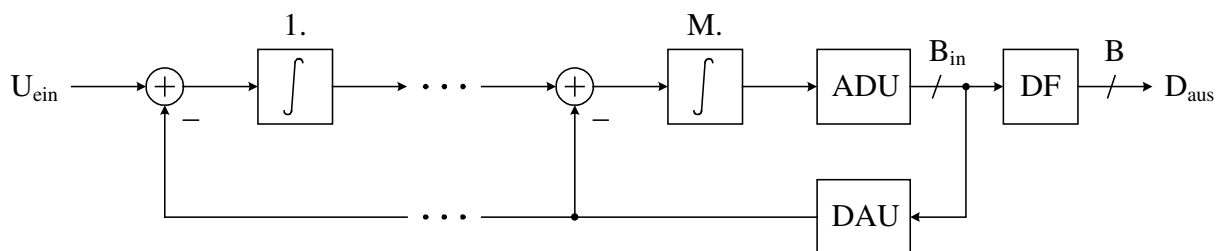


Abbildung 4.17: Prinzip des  $\Sigma\Delta$  A/D-Umsetzers M-ter Ordnung

Der  $i$ -te Integrator in SC-Technik, welcher in jedem Pfad  $i$  Eingangskondensatoren besitzt, ist in Abbildung 4.18 ohne Schalter dargestellt. Das abgetastete Rauschspannungsquadrat am Eingang des  $i$ -ten Integrators, welches ins Basisband heruntergemischt wurde, lautet, wenn thermisches Rauschen der Schalterwiderstände und ideale Operationsverstärker angenommen werden:

$$u_{\text{neinInt}}^{-2}(i) = 4 \cdot \frac{k_B \cdot T_{\text{emp}}}{C_{\Sigma\Delta}} \cdot i. \quad (\text{Gl. 4.95})$$

Die Rauschquellen an den Eingängen der Integratoren besitzen im  $z$ -Bereich folgenden Zusammenhang zum Eingang des  $\Sigma\Delta$ -Modulators:

$$U_{\text{nein}}(z) = U_{\text{nint1}}(z) + U_{\text{nint2}}(z) \cdot (z-1) + \dots + U_{\text{nintM}}(z) \cdot (z-1)^{M-1}. \quad (\text{Gl. 4.96})$$

Da die weiße Eingangsrauschleistung der Integratoren ins Basisband gemischt wurde, ist diese über dem Frequenzbereich bis zur halben Taktfrequenz gleichverteilt. Mit der Näherung, dass  $\omega \cdot T_s \ll 1$  gilt, resultiert am Eingang des  $\Sigma\Delta$ -Modulators aus dem kTC-Rauschen der Integratoren:

$$\begin{aligned} u_{\text{nein},\Sigma\Delta}^2 &= \sum_{i=1}^M u_{\text{neinInt}}^{-2}(i) \cdot \frac{\pi^{(2i-2)}}{\text{OSR}^{(2i-1)} \cdot (2 \cdot i - 1)} \\ &= \frac{4 \cdot k_B \cdot T_{\text{emp}}}{C_{\Sigma\Delta}} \cdot \sum_{i=1}^M \frac{\pi^{(2i-2)} \cdot i}{\text{OSR}^{(2i-1)} \cdot (2 \cdot i - 1)}. \end{aligned} \quad (\text{Gl. 4.97})$$

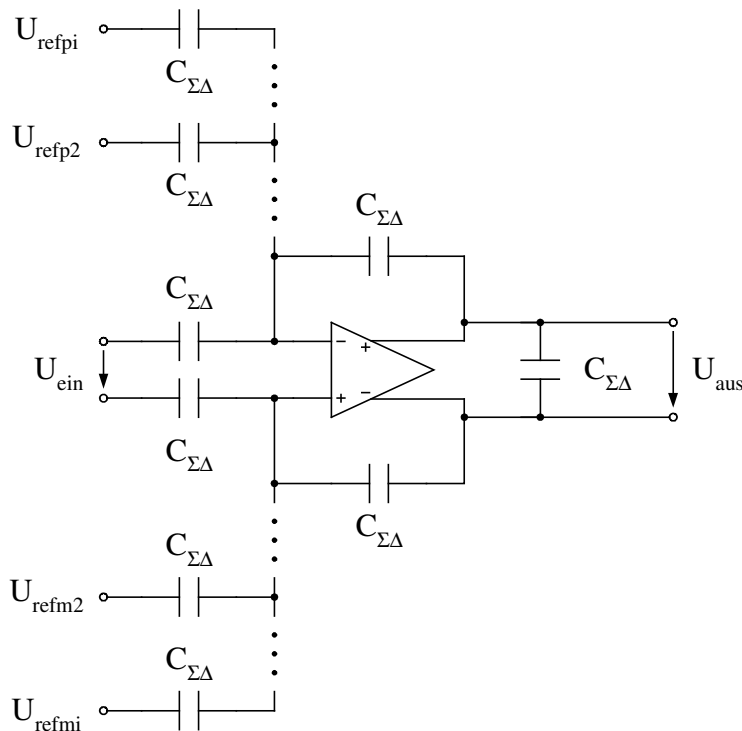


Abbildung 4.18: SC-Integrator voll differentiell ohne Schalter

Eine detaillierte Herleitung des eingangsbezogenen Rauschen ist im Anhang E.1 gegeben. Aufgrund des abnehmenden Einflusses des Rauschen der Integratoren höherer Ordnungen, kann der Leistungsverbrauch durch die Wahl unterschiedlicher Kapazitäten noch optimiert werden. Darauf wird in dieser Abschätzung der Einfachheit halber verzichtet.

Das SNR bei einem sinusförmigen Eingang mit der Versorgungsspannung als Amplitude und dem Rauschen limitiert durch das thermische Rauschen der Schalterwiderstände in den SC-Integratoren ergibt sich zu

$$\text{SNR}_{\max} = \frac{U_{\text{eineff}}^2}{U_{\text{nein}, \Sigma\Delta}} = \frac{\left(\frac{U_{\text{DD}}^2}{2}\right)}{U_{\text{nein}, \Sigma\Delta}}. \quad (\text{Gl. 4.98})$$

Dementsprechend ist die minimale Einheitskapazität

$$C_{\Sigma\Delta} = \frac{\text{SNR}_{\max} \cdot 8 \cdot k_B \cdot T_{\text{emp}}}{U_{\text{DD}}^2} \cdot \sum_{i=1}^M \frac{\pi^{(2i-2)} \cdot i}{\text{OSR}^{(2i-1)} \cdot (2 \cdot i - 1)}. \quad (\text{Gl. 4.99})$$

Bei der Abschätzung der gesamten Leistung des Analogteils wird eine Umladung der Lastkondensatoren der SC-Integratoren mit einer Amplitude in Höhe der Versorgungsspannung und bei den restlichen Kondensatoren inklusive der Lastkondensatoren der Komparatoren in Höhe der halben Versorgungsspannung angenommen:

$$P_{\Sigma\Delta\text{Mod}} = (M^2 + 6 \cdot M) \cdot C_{\Sigma\Delta} \cdot U_{\text{DD}}^2 \cdot 2 \cdot f_B \cdot \text{OSR} + 2 \cdot U_{\text{DD}} \cdot \sum_{i=1}^M I_{\text{BiasInt}i}. \quad (\text{Gl. 4.100})$$

Wobei eine um die Überabtastrate OSR höhere Taktfrequenz als die Nyquistfrequenz verwendet wird. Der Biasstrom des Operationsverstärker im i-ten Integrator wird in gleicher Weise wie in den vorigen Kapiteln abgeschätzt. Für den Integrator i von 1 bis (M-1) gilt

$$I_{\text{BiasInt}i} = g_{mi} \cdot U_T = 10 \cdot \pi \cdot 2 \cdot f_B \cdot \text{OSR} \cdot U_T \cdot C_{\Sigma\Delta} \cdot \{2 \cdot i + 5\}, \quad (\text{Gl. 4.101})$$

und für den letzten Integrator ergibt sich

$$I_{\text{BiasInt}M} = g_{mi} \cdot U_T = 10 \cdot \pi \cdot 2 \cdot f_B \cdot \text{OSR} \cdot U_T \cdot C_{\Sigma\Delta} \cdot 3. \quad (\text{Gl. 4.102})$$

Das Dezimationsfilter bildet einen nicht zu vernachlässigenden Anteil am Leistungsverbrauch des  $\Sigma\Delta$ -ADUs. In [45] wird der Leistungsverbrauch anhand einer Leistungsmaßzahl verglichen. Diese ist proportional zur Frequenzrate, der verwendeten Wortbreite und den so genannten „taps“, welche ein Maß für die umzuladende Kapazität angeben. Basierend auf dieser Methode wird hier ein FOM für das Dezimationsfilter eingeführt:

$$\text{FOM}_{\text{DF}} = \frac{P_{\text{DF}}}{U_{\text{DD}}^2 \cdot 2 \cdot f_B \cdot \sum_{\text{tap}} \frac{\text{Addierer}}{\text{tap}} \cdot \text{Frequenzrate} \cdot \text{Wortbreite}}. \quad (\text{Gl. 4.103})$$



Dieses Figure of Merit repräsentiert die äquivalente Kapazität des Dezimationsfilters, und kann für bestehende Filter bestimmt werden. Dies ist für die Filter aus Tabelle 4.2 durchgeführt worden.

Autor	Technologie	Versorgung	FOM <sub>DF</sub>
B. P. Brandt et al. [46]	1 µm CMOS	3 V	920,05 fF
P. C. Maulik et al. [47]	0,6 µm CMOS	3,3 V	1,9603 pF
I. Fujimori et al. [48]	0,7 µm CMOS	3,3 V	553,71 fF
Durchschnitt			1,1447 pF

**Tabelle 4.2: FOM<sub>DF</sub> von veröffentlichten Dezimationsfiltern**

Zur Abschätzung der Leistung des Dezimationsfilters wird ein Durchschnitt des FOM<sub>DF</sub> von bisher veröffentlichten Dezimationsfiltern gebildet (Tabelle 4.2) und (Gl. 4.103) nach P<sub>DF</sub> aufgelöst. Es wird angenommen, dass das Dezimationsfilter mit einem Comb-Filter vom Typ FIR („finite impulse response“), auch als sinc<sup>K</sup> Filter bezeichnet, gebildet wird. Die nach dem Comb-Filter folgenden FIR-Filter, Halband-Filter oder Droop-Filter werden mit der Hälfte der Leistungsmaßzahl des Comb-Filters abgeschätzt. Dies ist bei leistungseffizientem Filterentwurf durchaus realistisch. Denn der Vergleich von 5 verschiedenen Filterarchitekturen in [45] zeigt, dass die dem Comb-Filter nachfolgenden Filter im Durchschnitt das 0,59-fache der Leistungsmaßzahl des Comb-Filters ausmachen. Das Comb-Filter sollte eine Ordnung besitzen, die mindestens um Eins höher ist als die Ordnung des ΣΔ-Modulators. Zudem wird die Überabtastrate im Comb-Filter bis auf das vierfache der Nyquist rate dezimiert. Nach [45] bestimmt sich für den beschriebenen Fall die Wortbreite der Register im Comb-Filter zu

$$\text{Wortbreite}_{\text{Comb}} = (M + 1) \cdot \log_2 \left( \frac{\text{OSR}}{4} \right) + B_{\text{in}} . \quad (\text{Gl. 4.104})$$

Unter diesen Annahmen lässt sich die Leistung des Dezimationsfilters wie folgt abschätzen:

$$P_{\text{DF}} \approx \overline{\text{FOM}_{\text{DF}}} \cdot U_{\text{DD}}^2 \cdot 2 \cdot f_{\text{B}} \cdot 1,5 \cdot (M + 1) \cdot (\text{OSR} + 4) \cdot \left[ (M + 1) \cdot \log_2 \left( \frac{\text{OSR}}{4} \right) + B_{\text{in}} \right] . \quad (\text{Gl. 4.105})$$

Dabei ist das benötigte OSR durch (Gl. 4.94) gegeben. Die Leistung des ΣΔ-ADUs bestimmt sich aus der des ΣΔ-Modulator mit (Gl. 4.100) und des Dezimationsfilters mit (Gl. 4.105).

### 4.3.4 Vergleich der Leistungseffizienz

An dieser Stelle werden zunächst in Tabelle 4.3 die Faktoren aufgelistet, die zum Leistungsverbrauch im Analogteil sowie im Digitalteil der untersuchten ADU-Typen beitragen. Beim Analogteil wird auf die Anzahl der Verstärker bzw. Komparatoren und deren umzuladende Kondensatoren sowie das benötigte Bias eingegangen. Zudem werden beim Digitalteil die benötigten Blöcke genannt. In den Kapiteln 4.3.1 bis 4.3.3 wurde die Leistung des Analogteils zum einen über die verbrauchte Ladung beim Umladen der Kondensatoren abgeschätzt. Dabei wurden die minimalen Einheitskapazitäten  $C_{SAR}$ ,  $C_{Zyklisch}$  bzw.  $C_{\Sigma\Delta}$ , um eine einfache Betrachtung möglich zu machen, nur mit dem thermischen Rauschen durch die Schaltvorgänge, hier als Sampling-Rauschen bezeichnet, berechnet. Das 1/f-Rauschen wurde

ADU-Typ			SAR-ADU	Zyklischer ADU (Diff.-Pfad)	$\Sigma\Delta$ -ADU M-ter Ordnung (Diff.-Pfad)
Komplexität	Analog	Anz. SC-Verst. / Kond. pro Verst.	$1 / C_{SAR}$	$1 / 5 \cdot C_{Zyklisch}$ und $1 / 7 \cdot C_{Zyklisch}$	$M / (M^2 + 4 \cdot M) \cdot C_{\Sigma\Delta}$
		Anz. Komp. / Kond. pro Komp.	$1 / C_{SAR}$	$2 / C_{Zyklisch}$	$1 / C_{\Sigma\Delta}$
		Zusätzliche Kondensatoren	$2^{(B/2+1)} \cdot C_{SAR}$	0	0
		Bias	Referenzspg., Strombias	Referenzspg., Strombias	Referenzspg., Strombias
	Digital		SAR, Steuerlogik	2er Kompl.-Bild., Steuerlogik	Dezimationsfilter, Steuerlogik
Benötigte minimale Taktfrequenz			$(B+1) \cdot 2 \cdot f_B$	$B \cdot 2 \cdot f_B$	$OSR \cdot 2 \cdot f_B$
ADU Genauigkeit begrenzt durch			Gr. und Mismatch Kondensatorarray; Verst., Sampl. und Komp. - Rauschen	Mismatch (Multi- plizierstufe); Verst., Sampling und Komp. - Rauschen	Verstärker und Sampl. - Rauschen (mit Rausch- formung)

Tabelle 4.3: Vergleich dreier ADU-Typen

vernachlässigt, da es mit CDS oder Chopper Technik reduziert werden kann. Zum anderen wurde das theoretische Minimum des Biasstroms der Verstärker in den SC-Verstärkern berücksichtigt. Als Limitierung wurde also nur das Rauschen und nicht die Paarungsgenauigkeit („component matching“) berücksichtigt, da diese von der verwendeten Technologie abhängig ist. Außerdem können Mismatch Effekte immer durch verschiedene Methoden, wie „auto-zero“ und Kalibrations Techniken, reduziert werden. Bis auf das Dezimationsfilter im  $\Sigma\Delta$ -ADU in Kapitel 4.3.3, wurde auf eine Berücksichtigung der digitalen Komponenten verzichtet, da das Dezimationsfilter einen wesentlich höheren Leistungsbeitrag liefert und der restliche Digitalteil in allen drei ADUs von ähnlichem Umfang ist.

Die benötigte minimale Taktfrequenz muss beim SAR bzw. zyklischen ADU um die Auflösung plus eins und beim  $\Sigma\Delta$ -ADU um die Überabtastrate höher als die Nyquistrate sein. Allen untersuchten ADUs ist gemeinsam, dass das Rauschen die Genauigkeit begrenzt, wobei beim  $\Sigma\Delta$ -ADU die Rauschformung den Einfluss des Rauschens reduziert. Weiterhin begrenzt „Mismatch“ in den Kondensatoren die Genauigkeit des SAR und zyklischen ADUs. Das Mismatch in der Multiplizierstufe hat beim zyklischen ADU einen besonders großen Einfluss auf die Genauigkeit. Der Einfluss des „Mismatch“ in den Kondensatoren, Offset, Leerlaufverstärkung der Operationsverstärker und eine genauere Betrachtung des Rauschens inklusive 1/f-Rauschen, wird für die realisierten ADUs in den Kapiteln 5 und 6 durchgeführt. Zum Vergleich der Leistungseffizienz der drei ADUs für das theoretisch mögliche Minimum bietet sich ein Figure of Merit FOM an, wie es in [44] gewählt wird:

$$\text{FOM}_{\text{theor}} = \frac{P_{\text{theor}}}{2^B \cdot 2 \cdot f_B} \quad (\text{Gl. 4.106})$$

Dabei wird angenommen, dass die Leistung  $P_{\text{theor}}$  mit jedem zusätzlichen Bit B verdoppelt wird und direkt zur Signalbandbreite  $f_B$  proportional ist.

Die in den Kapiteln 4.3.1 bis 4.3.3 durchgeführte Abschätzung der Leistung vom Analogteil dreier A/D-Umsetzer gibt das theoretisch mögliche Minimum an. Bei der praktischen Realisierung des Umsetzers müsste die Einheitskapazität allerdings oft größer gewählt werden. Denn die parasitären Kapazitäten übersteigen teilweise die theoretisch notwendige Einheitskapazität deutlich, und stören damit die Funktionsweise des ADUs. So ist z. B. beim  $\Sigma\Delta$ -Modulator mit 5 Bit die minimale Einheitskapazität 1 aF, die parasitären Kapazitäten liegen typischerweise mindestens im fF Bereich. Auch der Fehler durch Taktdurchgriff („Charge Injection“) in SC-Schaltungen fällt umso höher aus, je kleiner die Einheitskondensatoren sind. Nach [2] ist der Fehler in der Spannung auf der umgeladenen Kapazität C ungefähr

$$\Delta U = \frac{W \cdot L \cdot C_{ox}' \cdot (U_{DD} - U_{ein} - U_{TH})}{2 \cdot C}. \quad (\text{Gl. 4.107})$$

Dabei sind  $W$  und  $L$  die Transistorgeometrien des Schalttransistors, und  $U_{ein}$  die Spannung, auf die der Kondensator geladen werden soll.

Mit dem abgeschätzten Leistungsverbrauch der drei ADUs aus den Gleichungen (Gl. 4.81), (Gl. 4.89), (Gl. 4.100) und (Gl. 4.105), lässt sich das FOM (Gl. 4.106) über der Auflösung vergleichen (Abbildung 4.19). Es ist zu erkennen, dass ein reiner  $\Sigma\Delta$ -Modulator das beste FOM besitzt. Wird jedoch die Abschätzung des Dezimationsfilters hinzugezogen, hat der  $\Sigma\Delta$ -ADU bei kleinen Auflösungen eine schlechte Leistungseffizienz. Dies wird mit höheren Auflösungen besser, und ab etwa 15 Bit besitzt der  $\Sigma\Delta$ -ADU die effizienteste Leistungsausbeute. Zu sehr hohen Auflösungen hin gleicht sich das FOM des  $\Sigma\Delta$ -ADUs dem des  $\Sigma\Delta$ -Modulators an, da die Leistung des Dezimationsfilters mit der Auflösung  $B$  weniger stark im Vergleich zu dem Faktor  $2^{-B}$ , welcher im FOM vorkommt, zunimmt. Die Sprünge im FOM des  $\Sigma\Delta$ -ADUs sind dadurch zu erklären, dass immer die nächst höhere 2er Potenz in der Überabtastrate gewählt wird.

Das FOM des SAR-ADUs ist für niedrige Auflösungen besser als beim zyklischen ADU, und nähert sich diesem bis zur Auflösung von 14 Bit an. Ab dann findet ein Wechsel in der Leistungseffizienz statt, und das FOM des SAR-ADU liegt höher als beim zyklischen ADU.

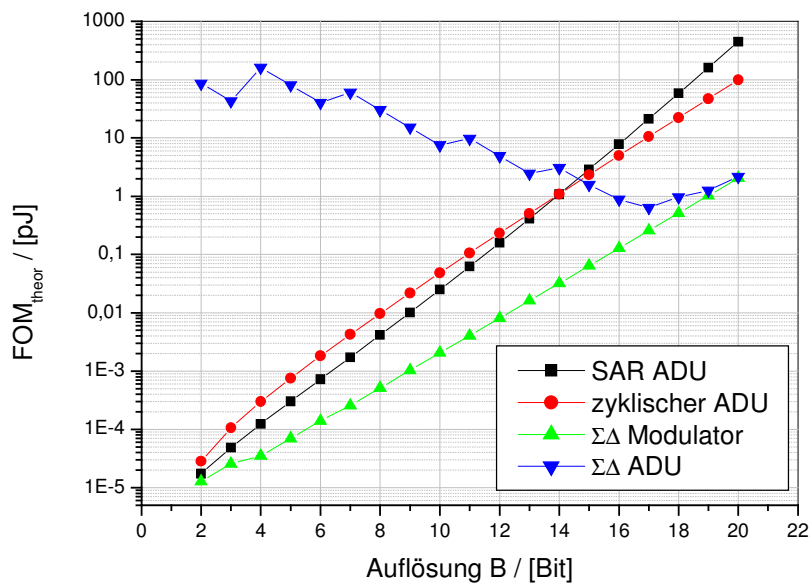


Abbildung 4.19: Figure of Merit vom SAR-ADU, zyklischen ADU,  $\Sigma\Delta$ -Modulator und  $\Sigma\Delta$ -ADU ( $M=3$ )

In vielen Anwendungen, wie z.B. in medizinischen Implantaten, sind Auflösungen bis 12 Bit zumeist ausreichend. Bei der Wahl der Systemarchitektur, in diesem Fall der A/D-Umsetzer, ergibt sich in dem genannten Bereich die nachstehende Rangfolge: Der SAR-ADU erscheint für leistungsarme Anwendungen am besten geeignet, gefolgt vom zyklischen ADU. Der  $\Sigma\Delta$ -ADU inklusive Dezimationsfilter hingegen scheint aus Sicht des Leistungsverbrauchs am wenigsten zweckmäßig.

Es bleibt anzumerken, dass ohne geeignete Maßnahmen, wie z. B. Trimmen, höhere Auflösungen als 12 oder 13 Bit mit dem SAR bzw. zyklischen ADU in gängigen Prozessen nicht zu erreichen sind. Für hohe Auflösungen hat allerdings der  $\Sigma\Delta$ -ADU Vorteile.

## 5 Komponenten für eine Low-Power Sensorsignalauslese

Ziel dieser Arbeit war es eine Low-Power Sensorsignalauslese für einen kapazitiven mikromechanischen und monolithisch integrierbaren Drucksensor zu entwickeln. Die dafür notwendigen Komponenten werden im folgenden vorgestellt. Zuvor werden Sensorsignalausleseschaltungen im allgemeinen betrachtet, und ein Überblick über monolithisch integrierbare Drucksensoren gegeben. Abschließend werden ausgewählte Komponenten einer detaillierten Rauschbetrachtung inklusive 1/f-Rauschen unterzogen.

### 5.1 Grundsätzliche Betrachtungen zur Sensorsignalauslese

Für eine Sensorsignalauslese stehen eine Reihe von verschiedenen Umwandlungsprinzipien der Sensoren zur Verfügung. Die Umwandlung von nichtelektrischen Signalen in elektrische Signale ist durch Umsetzung der nichtelektrischen Größe in einen Widerstand, eine Kapazität, eine Induktivität, eine Spannungsquelle oder eine Stromquelle möglich. Als Beispiele lassen sich resistive bzw. kapazitive Drucksensoren, induktive Näherungssensoren, Piezokristalle und Photodioden nennen. Die Mindestkonfiguration eines Sensorsystems ist das

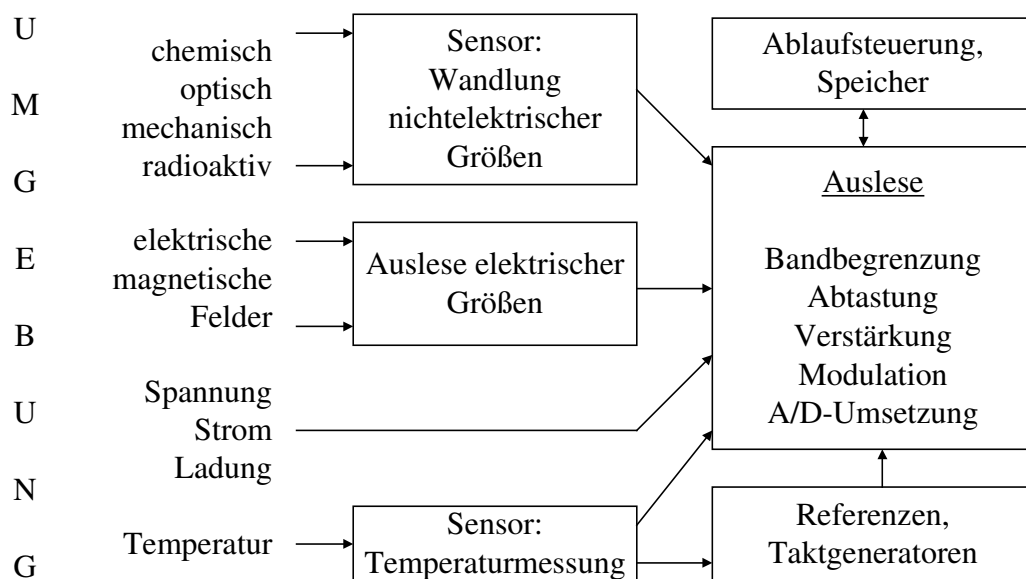
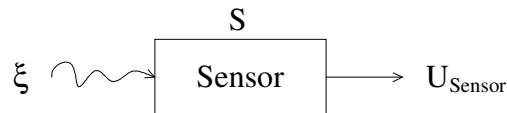


Abbildung 5.1: Sensorspezifisches Frontend

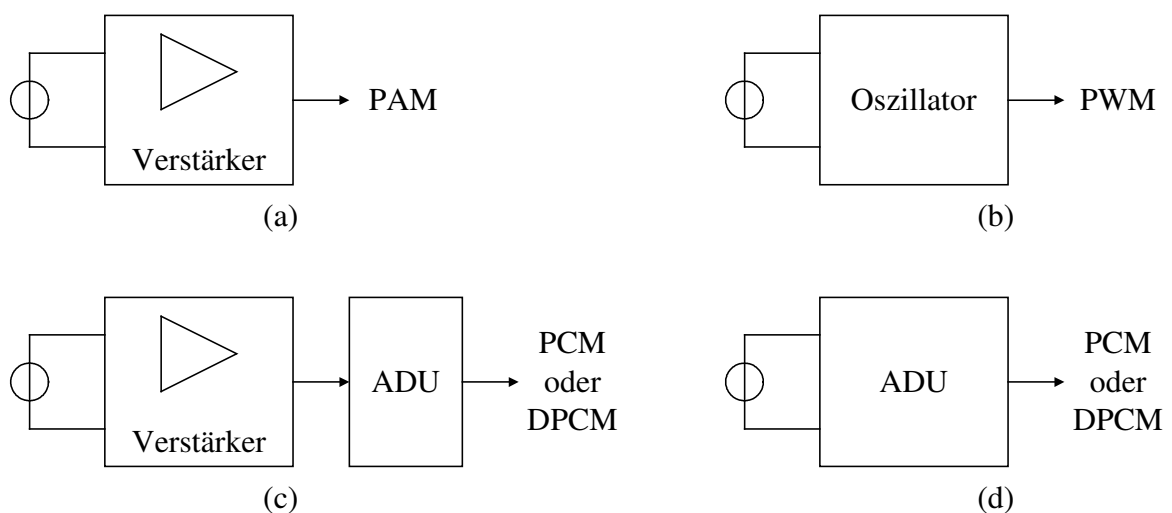


**Abbildung 5.2: Elektrisches Ersatzschaltbild eines Senors mit Spannung als Ausgangssignal**

„sensorspezifische Frontend“, welches in Abbildung 5.1 dargestellt ist. Bei einer vollständigen Sensor-System-Hierarchie folgt nach dem „Frontend“ die Signalverarbeitung und eine Schnittstelle zur Anwendung.

Ein Beispiel für das elektrische Ersatzschaltbild eines Sensors ist in Abbildung 5.2 gegeben. Der Sensor wandelt die nichtelektrische Größe  $\xi$  hier in eine Spannung. Weitere Möglichkeiten sind die Wandlung in einen Strom, Ladung oder magnetischen Fluss.

Für die Sensorsignalauslese ergeben sich mehrere Konfigurationen, welche in Abbildung 5.3 schematisch dargestellt sind. Das Sensorausgangssignal wird hier z. B. als eine Spannung dargestellt. In Abbildung 5.3a wird das Sensorsignal mit einen Verstärker zu einem analogen zeitkontinuierlichen oder zeitdiskreten Signal (Pulsamplitudenmodulation PAM) gewandelt. Dieses kann die Form einer Spannung, eines Stroms oder einer Ladung vorweisen. Mit einem Oszillator kann eine analoges modulierte Signal (siehe Abbildung 5.3b) erreicht werden. Dieses hat z. B. die Form der Pulsweitenmodulation PWM. Für Abbildung 5.3c und Abbildung 5.3d ergibt sich ein digitales Signal mit Pulsmodulation PCM oder DPCM, welches die differentielle Form darstellt.



**Abbildung 5.3: Vier Schemata einer Sensorauslese**

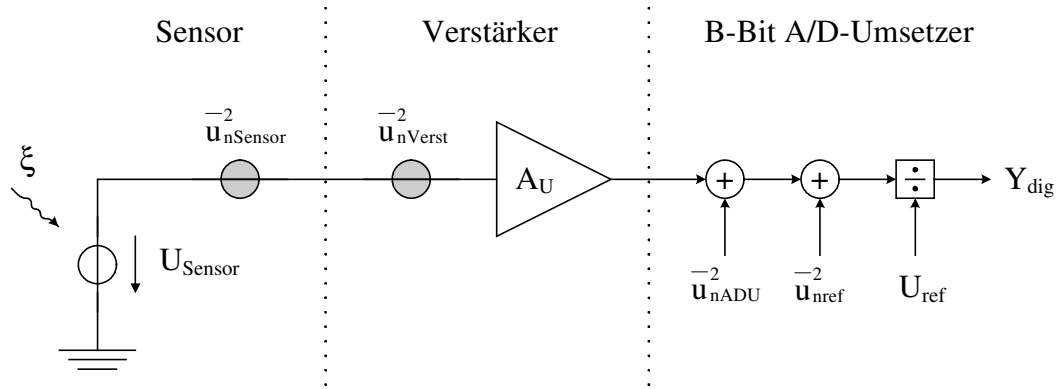


Abbildung 5.4: Modell einer vereinfachten generischen Sensorauslese

In dieser Arbeit ist am Beispiel eines kapazitiven Drucksensors ein „sensorspezifisches Frontend“ bestehend aus Sensor bzw. Auslese mit Verstärkung und A/D-Umsetzung entwickelt worden. Deshalb werden im folgenden Sensorsysteme mit digitalem oder moduliertem Ausgang untersucht, so dass die Signalverarbeitungen wie die Linearisierung, Kalibration oder Kompression digital durchgeführt werden können. Eine solche Realisierung wird in modernen Sensorsystemen oft gewählt, da dadurch einige Vorteile gegeben sind. Denn die Digitaltechnik ermöglicht zum einen eine Softwareprogrammierung und zum anderen können verschiedene Korrekturwerte gespeichert werden. Zudem ist eine störungsfeste Übertragung des Ausgangssignal möglich.

Im folgenden wird eine generische Sensorauslese mit der schematischen Form aus Abbildung 5.3c analysiert. Dafür wird ein vereinfachtes Modell aus Abbildung 5.4 der generischen Sensorauslese eingeführt. Der Sensor hat eine Sensorspannung, welche vom Wert der nichtelektrischen Größe  $\xi$  und dem Konvertierungsfaktor des Sensors  $S$  abhängt:

$$U_{\text{Sensor}} = S \cdot \xi. \quad (\text{Gl. 5.1})$$

Weiterhin besitzt der Sensor die momentane Rauschspannung  $u_{\text{nSensor}}$ . Für den Verstärker wird ebenfalls eine momentane Rauschspannung  $u_{\text{nVerst}}$  am Eingang eines idealen Verstärker eingeführt. Der A/D-Umsetzer mit der Auflösung  $B$  wird durch Division der analogen Spannung durch die Referenzspannung  $U_{\text{ref}}$  modelliert. Vor der Division wird die ADU Eingangsspannung mit der momentanen Rauschspannung  $u_{\text{nADU}}$  beaufschlagt. Ebenso addiert sich das momentane Rauschen  $u_{\text{nref}}$  der Referenzspannung. Das Rauschspannungsquadrat des ADU entspricht bei Quantisierungsrauschen

$$u_{\text{nADU}}^2 = \left( \frac{U_{\text{FSR}}}{2^B} \right)^2 \cdot \frac{1}{12} = \frac{U_Q^2}{12}. \quad (\text{Gl. 5.2})$$



Dabei ist  $U_Q$  die Spannung, welche einem LSB entspricht, und  $U_{FSR}$  die Spannung des gesamten Aussteuerbereichs („full scale range“).

Die Annahme, dass das Sensor bzw. Verstärker Rauschen und der Quantisierungsfehler des ADUs als additives weißes Rauschen mit Gauß-Verteilung („white gaussian noise“), welches einen Mittelwert von Null besitzt und unkorreliert ist, verstanden werden kann, wurde in [95] nachgewiesen. Damit folgt für den Effektivwert, mit dem Index rms („root mean square“), des Rauschens am ADU Ausgang, wenn  $U_{ref} = U_{FSR}$  gilt:

$$Y_{dig,rmsNoise} = \sqrt{\left[ \left( \overline{u_{nSensor}^2} + \overline{u_{nVerst}^2} \right) \cdot A_U^2 + \overline{u_{nADU}^2} + \overline{u_{nref}^2} \right]} \cdot \frac{1}{U_{FSR}^2}. \quad (Gl. 5.3)$$

Für den Signalanteil ergibt sich am Ausgang des ADU

$$Y_{dig,rmsSignal} = \frac{U_{Sensor,rms} \cdot A_U}{U_{ref}} = \frac{S \cdot \xi_{rms} \cdot A_U}{U_{FSR}}. \quad (Gl. 5.4)$$

Dementsprechend ist das minimal detektierbare Signal, welches als „Nachweisempfindlichkeit“ bezeichnet wird und an der Rauschgrenze liegt:

$$\xi_{rms,min} = \frac{1}{S} \cdot \sqrt{\overline{u_{nSensor}^2} + \overline{u_{nVerst}^2} + \frac{\overline{u_{nADU}^2}}{A_U^2} + \frac{\overline{u_{nref}^2}}{A_U^2}}. \quad (Gl. 5.5)$$

Mit (Gl. 5.3) und (Gl. 5.4) lautet der Signal-zu-Rauschabstand in dB

$$SNR_{dB} = 20 \cdot \log \left( \frac{Y_{dig,rmsSignal}}{Y_{dig,rmsNoise}} \right) = 20 \cdot \log \left( \frac{U_{Sensor,rms}}{\sqrt{\overline{u_{nSensor}^2} + \overline{u_{nVerst}^2} + \frac{\overline{u_{nADU}^2}}{A_U^2}}} \right). \quad (Gl. 5.6)$$

In einem linearen System ist der Dynamikbereich DR gleich dem maximalem SNR und berechnet sich mit  $U_{Sensor,pp} \cdot A_U = U_{FSR}$  zu

$$\begin{aligned} DR_{dB} = SNR_{dB,max} &= 20 \cdot \log \left( \frac{\frac{U_{Sensor,pp} \cdot A_U}{2 \cdot \sqrt{2} \cdot U_{FSR}}}{Y_{dig,rmsNoise}} \right) \\ &= 20 \cdot \log \left( \frac{\frac{U_{FSR}}{2 \cdot \sqrt{2}}}{\sqrt{\overline{u_{nSensor}^2} + \overline{u_{nVerst}^2} + \frac{\overline{u_{nADU}^2}}{A_U^2} + \frac{\overline{u_{nref}^2}}{A_U^2}}} \right). \end{aligned} \quad (Gl. 5.7)$$

Unter der Annahme, dass das SNDR („signal-to-noise and distortion ratio“) ungefähr gleich dem SNR ist und ein sinusförmiges Eingangssignal anliegt, ergibt sich die maximale effektive Anzahl an Bits ENOB („equivalent number of bits“):

$$\text{ENOB}_{\max} \approx \frac{\text{SNR}_{\text{dB max}} - 1,76\text{dB}}{6,02\text{dB}}. \quad (\text{Gl. 5.8})$$

## 5.2 Monolithisch integrierbarer Drucksensor

Ein monolithisch integrierbarer Sensor bedeutet, dass ein mikromechanisches System, auf welches die äußere Größe wirkt, mit einer integrierten Schaltung, also der Technologie der Mikroelektronik, in einem einzigen Chip kombiniert wird. Der Sensor wandelt die nichtelektrische, mechanische Größe in eine elektrisch auswertbare Größe um. Bei Drucksensoren kann hauptsächlich zwischen (piezo-)resistiven und kapazitiven Drucksensoren unterschieden werden.

Die piezoresistiven Drucksensoren werden auf einer dünnen Membran aus Silizium aufgebaut, welche sich unter Druckeinwirkung durchbiegen kann. In der Membran werden vier Widerstände aus piezoresistivem Material implantiert, und zu einer Wheatstone'schen Brücke verschaltet. Die Widerstände werden durch einen sperrenden pn-Übergang von der Membran isoliert. Bei Verbiegung der Membran, erhöht sich der Widerstand von zwei piezoresistiven Widerständen, und der Widerstand der anderen zwei verringert sich. Dadurch stellt sich eine Spannung an der Brücke ein, die nur von den Widerstandsverhältnissen abhängig ist. Einen wichtigen Störeinfluss bei den meisten Sensoren bilden die Schwankungen mit der Temperatur. Eine Änderung der Temperatur führt zu einer Verschiebung der Übertragungskennlinie, welche den Zusammenhang der Ausgangsspannung der Brücke zum Druck angibt. Die Übertragungskennlinie selbst ist nichtlinear, da bei einer stärkeren Verbiegung der Membran diese zunehmend versteift. Die Nichtlinearität muss durch eine Kalibration herausgerechnet werden. In [93] ist z. B. eine Drucksensorausleseschaltung für einen piezoresistive Drucksensor mit Kalibration und Temperaturkompensation auf einem einzigen Chip integriert worden.

Bei den kapazitiven Drucksensoren stehen sowohl eine Sensorkapazität, welche sich mit dem Druck ändert, als auch eine Referenzkapazität, die nahezu unabhängig vom Druck ist, zur Verfügung. Dies ermöglicht eine Auswertung des Druckes über das Verhältnis von Sensor- und Referenzkapazität. Somit ist nicht der absolute Wert der Kapazität, sondern die Kapazitätsänderung wichtig. Da bei örtlicher Nähe der Sensor- und Referenzkapazität die

Temperatur oft nahezu identisch ist, wird bei Auswertung über das Verhältnis die Temperaturabhängigkeit sehr gering. Die Kennlinie zwischen Druck und resultierender Kapazität des Drucksensors ist zum einen nichtlinear, da die Kapazität umgekehrt proportional zum Elektrodenabstand ist. Zum anderen ist diese nichtlinear, da die Durchbiegung der Membran, wie beim piezoresistiven Drucksensor, mit zunehmenden Druck eine höhere Versteifung aufweist.

Da bei piezoresistiven Drucksensoren ein Dauerstrom fließt, und bei kapazitiven Drucksensoren nur ein Umladestrom fließt, sind die kapazitiven Drucksensoren besser für Low-Power Anwendungen geeignet. Zudem bieten sich die kapazitiven Drucksensoren zum Einsatz in SC-Schaltungen an. Der hier verwendete mikromechanische, kapazitive und monolithisch integrierbare Drucksensor ist nach dem Prinzip, wie es in Abbildung 5.5 dargestellt ist, aufgebaut. Die mechanisch biegbare Membran aus Polysilizium bildet mit einer statischen Elektrode aus einer  $n^+$  Diffusion einen Kondensator, dessen Elektroden durch Vakuum getrennt sind. Unter externem Druck wird die Membran durchgebogen, und es kommt zu einer druckabhängigen Änderung der Kapazität. Der Sensor hat zwei hauptsächliche parasitäre Kapazitäten zu Masse. Zum einen eine Auflagekapazität  $C_{\text{par,a}}$  der Polysilizium Membran zum Substrat, und zum anderen die Raumladungskapazität des pn-Überganges  $C_{\text{par,pn}}$  vom Substrat zur  $n^+$  Elektrode. Ein monolithisch integrierbarer, kapazitiver Drucksensor ist in [94] mit einer Linearisierung und Temperaturkompensation auf einem einzigen Chip realisiert worden.

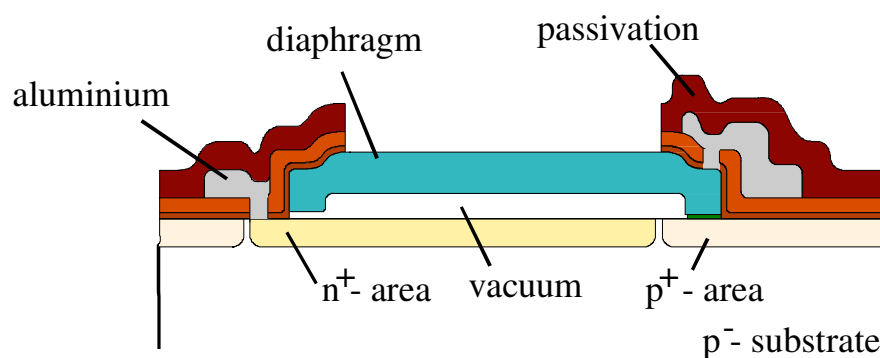


Abbildung 5.5: Querschnitt durch den monolithisch integrierbaren Drucksensor

## 5.3 Komponenten

Die zu entwickelnde Sensorauslese für einen kapazitiven, monolithisch integrierbaren Drucksensor wurde zum einen in einem System nach dem Oszillatorprinzip realisiert. Dieses

System besitzt eine niedrige Bandbreite, da im Auslesezeitfenster viele Impulse gezählt werden müssen, um den der Auflösung entsprechenden minimalen Druckunterschied noch detektieren zu können. Das ähnliche Dual-Slope Verfahren hat ebenfalls eine geringe Bandbreite. Zum anderen wurde eine Kombination aus C/U-Konverter, der die Kapazität des Sensors in eine Spannung konvertiert, und einem A/D-Umsetzer, welcher die analoge Spannung in ein digitales Wort umsetzt, angestrebt. Der C/U-Konverter in SC-Schaltungstechnik bietet den Vorteil, dass die Differenz aus Sensorkapazität und Referenzkapazität verarbeitet werden kann. Somit wird nur der Kapazitätsbereich, der durch den Druckbereich vorgegeben ist, über den kompletten Ausgangsspannungshub umgesetzt. Statt der Referenzkapazität kann auch eine herkömmliche Kapazität subtrahiert werden, um den vollen Ausgangshub zu erreichen. Die Referenzkapazität hat allerdings den Vorteil, dass Einflüsse vom Fertigungsprozess sowohl die Sensor- als auch Referenzkapazität beeinflussen und somit nahezu unwirksam werden. Als A/D-Umsetzer wurden ein SAR-ADU, welcher nach Kapitel 4 bei mittleren Auflösungen die beste Leistungseffizienz aufweist, und ein zyklischer ADU im Zuge einer Fallstudie ausgewählt. Die zuvor genannten Schaltungen mit den dafür notwendigen Komponenten werden in diesem Kapitel vorgestellt. Zusätzlich zur Vorstellung der Komponenten bei der Drucksensorauslese nach dem Oszillatorprinzip wird eine Analyse von deren Leistungseffizienz durchgeführt.

Für das Anwendungsgebiet der Drucksensorauslese in medizinischen Implantaten, ergibt sich z. B. bei der Blutdruckmessung eine Mindestabtastrate von 125 Hz, wenn eine maximale Pulsfrequenz von 150 Schlägen pro Minute angenommen wird und die Blutdruckkurve 50 mal in einer Periode abgetastet wird, um Spitzenwerte und Steigungen detektieren zu können. Die Abtastrate wird mit der Drucksensorauslese nach dem Oszillatorprinzip erreicht. Bei Einsatz in einem Transpondersystem muss die Abtastrate je nach Trägerfrequenz und zu übertragender Datenmenge höher liegen, wenn beim Senden der Betrieb der Sensorausleseschaltung ausgeschlossen ist. Aus diesem Grunde wurden zwei Low-Power ADUs mit einer Abtastrate von 800 Hz und 1,45 kHz entwickelt. Die benötigten Auflösungen in medizinischen Implantaten liegen im Bereich von 8 bis 12 Bit.

### **5.3.1 Drucksensorauslese nach dem Oszillatorprinzip**

Die vorgeschlagene kapazitive Drucksensorauslese nach dem Oszillatorprinzip besteht aus einem Integrator, Stromquellen und einem Schmitt-Trigger (siehe Abbildung 5.6). Diese

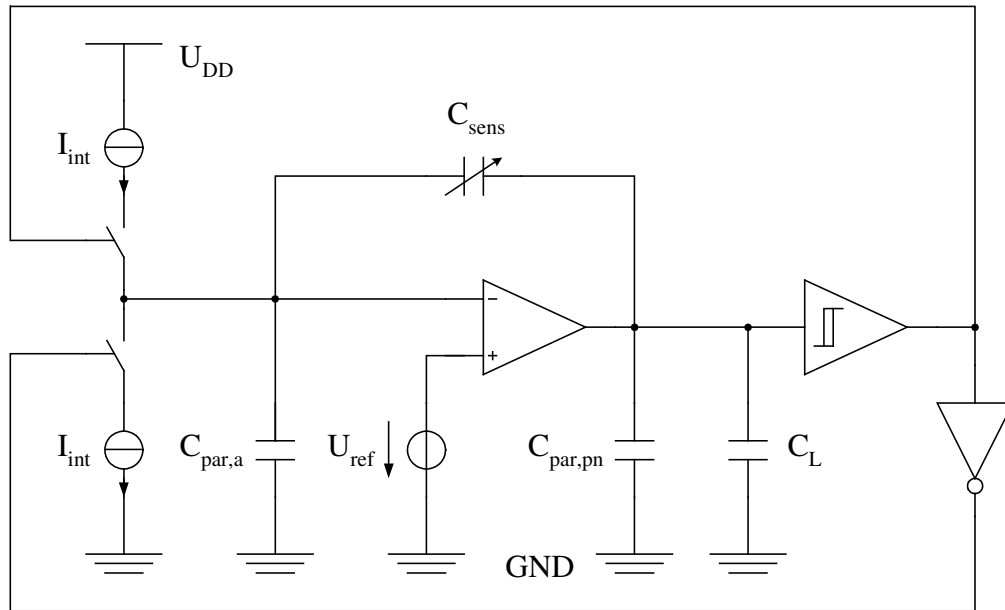


Abbildung 5.6: Kapazitätsauslese nach dem Oszillatorprinzip

Drucksensorauslese hat den Vorteil, dass nur eine kleine Chipfläche aufgrund der einfachen Struktur benötigt wird. Eine Analyse mit Simulationsergebnissen findet sich in Kapitel 6. Der Integrator nutzt einen OTA (operational transconductance amplifier) mit dem druckabhängigen Sensorkondensator  $C_{\text{sens}}$  im Rückkoppelzweig. Neben der eigentlichen Sensorkapazität  $C_{\text{sens}}$  hat der Drucksensor die parasitären Kapazitäten  $C_{\text{par,a}}$  und  $C_{\text{par,pn}}$  zu Masse. Die zusätzliche Lastkapazität  $C_L$  am Ausgang des OTAs dient zur Einstellung der Stabilität. Die, für einen stabilen OTA notwendige Lastkapazität wird durch Simulation bestimmt. Mit der Spannung  $U_{\text{ref}}$  wird der Arbeitspunkt der Eingangsstufe eingestellt.

Der Ausgang des Integrators geht auf einen Schmitt-Trigger. Dieser besitzt eine Hysterese, so dass zwei Schwellen, die zum Umschalten des Schmitt-Trigger Ausganges führen, vorhanden sind. Die Schwellen der Hysterese in vielen CMOS Schmitt Triggern werden oft durch Transistordimensionen, Prozess-Parameter und die Versorgungsspannung bestimmt. In [96] ist ein CMOS Schmitt Trigger vorgestellt, welcher durch Spannungen einstellbare Schwellen vorweist. Für den Fall, dass der Integrator aufwärts integriert operiert die Schaltung wie folgt: Überschreitet der Integratorausgang die obere Schwelle  $U_{\text{ST2}}$ , so ändert der Schmitt-Trigger seinen Zustand, und selektiert über einen Schalter den Integrationsstrom, welcher zu einer abwärts Integration führt. Ebenso führt ein unterschreiten der unteren Schwelle  $U_{\text{ST1}}$  zu einem Umschalten des Integrationsstromes. Somit oszilliert das System bei konstantem Integrationsstrom  $I_{\text{int}}$  mit einer Frequenz, die nur noch von  $C_{\text{sens}}$  und damit vom Druck abhängig sein sollte (für einen idealen OTA):

$$f_{\text{Oszi}} = \frac{I_{\text{int}}}{2 \cdot C_{\text{sens}} \cdot \Delta U_{\text{ST}}} = \frac{I_{\text{int}}}{2 \cdot C_{\text{sens}} \cdot (U_{\text{ST2}} - U_{\text{ST1}})}. \quad (\text{Gl. 5.9})$$

Durch das Zählen der Impulse in einem festen Zeitfenster ergibt sich ein digitales Wort, welches ebenso wie die Oszillationsfrequenz umgekehrt proportional zum Druck ist.

Für den Verstärker im Integrator wurde der Telescopic-OTA (Abbildung 5.7) gewählt. Dieser scheint für diese Anwendung am energieeffizientesten, da nur in zwei Zweigen Strom fließt. Allerdings ist der Ausgangsspannungshub aufgrund der vielen übereinander gestapelten Transistoren begrenzt. Hier ist nur ein geringer Ausgangshub notwendig, da die Schmitt-Trigger Schwellen für eine schnelle Oszillation eng bei einander gewählt wurden. Es bedarf einer schnellen Oszillation, damit in dem vorgegebenen Zeitfenster auch geringe Unterschiede im Druck genau aufgelöst werden können. Weiterhin besitzt der Telescopic OTA eine hohe Geschwindigkeit, um die Oszillationsfrequenz unabhängig von der OTA Geschwindigkeit zu machen, und einen hohen Ausgangswiderstand, um durch die resultierende hohe Leerlaufverstärkung die Spannung an der parasitären Kapazität  $C_{\text{par,a}}$  relativ konstant zu halten.

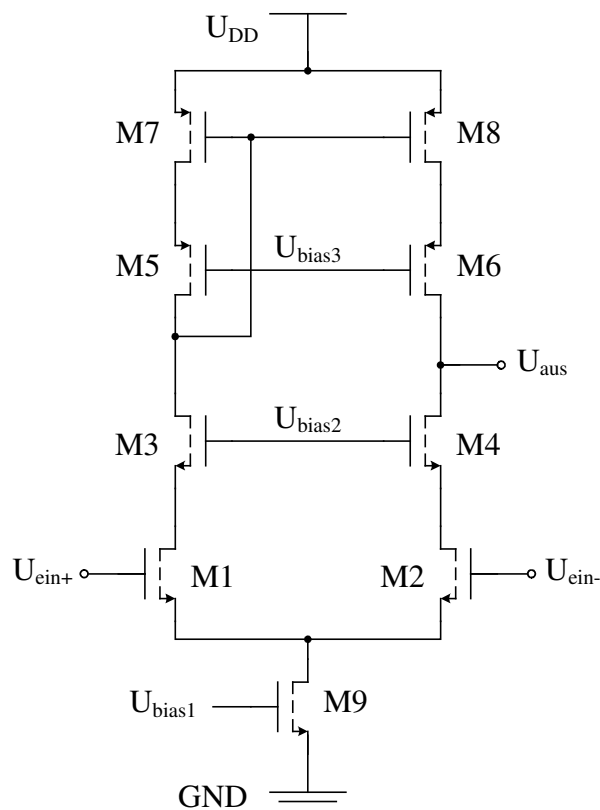


Abbildung 5.7: Telescopic-OTA („single-ended“)

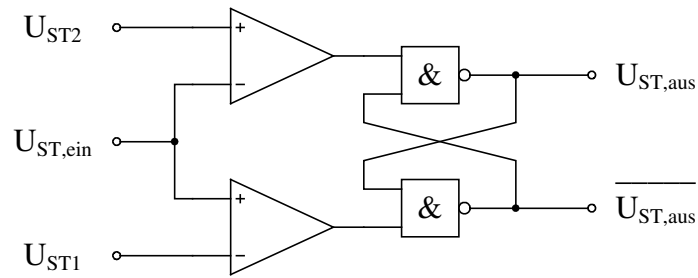


Abbildung 5.8: Präzisions-Schmitt-Trigger mit vorgebbaren Schwellen  $U_{ST1}$  und  $U_{ST2}$

Eine Low-Power Variante eines Schmitt-Triggers stellt Al-Sarawi in [54] vor. Jedoch ist eine solche Realisierung sehr anfällig gegenüber Technologieschwankungen. Schwankungen in der Schwellenspannung der Transistoren rufen eine Verschiebung der Schwellen des Schmitt-Triggers hervor. Somit variiert auch die Oszillationsfrequenz bei Technologieschwankungen stark. Dies kann durch den Einsatz eines Präzisions-Schmitt-Triggers mit einstellbaren Schwellen verhindert werden. Durch die Nutzung zweier zeitkontinuierlicher Komparatoren, wie es in Abbildung 5.8 zu sehen ist, können die Schwellen über zwei Referenzspannungen eingestellt werden. Als Komparatoren sind hier zwei nicht frequenzkompensierte zweistufige Verstärker gewählt worden. Dieser ist in Abbildung 5.9 dargestellt.

Der Integrationsstrom wird über Kaskodenstromspiegel in den Integrator gespiegelt. Dabei wird darauf geachtet, dass in den Stromquellen dauerhaft der Integrationsstrom fließt, um kurzzeitige Stromspitzen im Einschwingvorgang beim Einschalten des Stromes zu

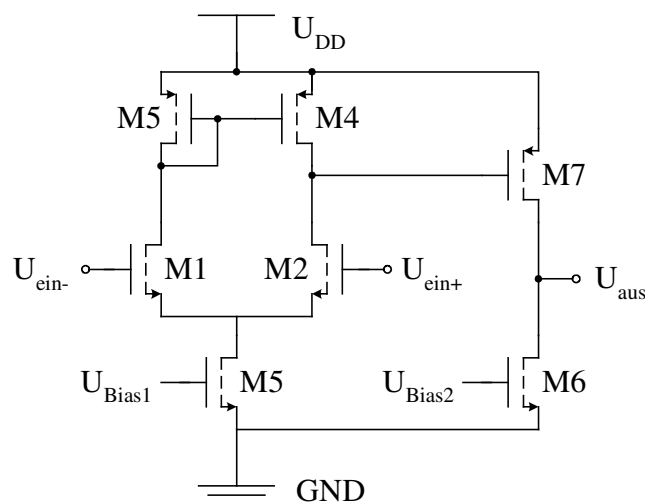
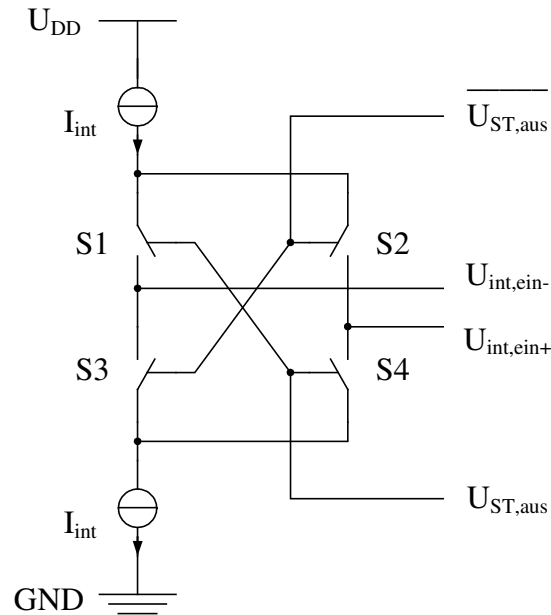


Abbildung 5.9: Zweistufiger Komparator



**Abbildung 5.10: Geschaltete Stromquellen für die Kapazitätsauslese nach dem Oszillatorprinzip**

verhindern. Die Anordnung der geschalteten Stromquellen ist in Abbildung 5.10 dargestellt. Weist der Schmitt-Trigger Ausgang  $U_{ST,aus}$  einen hohen Pegel auf, wird der untere Integrationsstrom über S4 aus der Referenz des Integrators geliefert, und der obere Integrationsstrom fließt über S1 in die Sensorkapazität und wird integriert. Für einen niedrigen Pegel des Schmitt-Trigger Ausganges wird umgekehrt der untere Integrationsstrom integriert und der obere Integrationsstrom fließt in die Referenz des Integrators. Liegt keine niederohmige Referenz am Integrator vor, so können S2 an Masse und S4 an  $U_{DD}$  anstelle von  $U_{int,ein+}$  angeschlossen werden. Die Schalter sind durch einzelne PMOS Transistoren realisiert worden, und sind deshalb mit den invertierten Signalen anzusteuern.

Der Zähler zum Zählen der Pulse in einem Zeitfenster ist mit der Hardwarebeschreibungssprache Verilog entworfen worden, dessen Code und synthetisierter Schaltplan im Anhang A angegeben ist.

Im folgenden wird die hier vorgestellte Drucksensorauslese nach dem Oszillatorprinzip analysiert. Aus der Oszillationsfrequenz nach (Gl. 5.9) lässt sich deren Varianz anhand des Rauschens für den Fall, dass der Druck und damit  $C_{sens}$  nicht rauscht, ermitteln:



$$\begin{aligned} \sigma_{f_{\text{Oszi}}}^2 &= \left( \frac{\partial f_{\text{Oszi}}}{\partial I_{\text{int}}} \right)^2 \cdot \sigma_{I_{\text{int}}}^2 + \left( \frac{\partial f_{\text{Oszi}}}{\partial \Delta U_{\text{ST}}} \right)^2 \cdot \sigma_{\Delta U_{\text{ST}}}^2 = f_{\text{Oszi}}^2 \cdot \left( \frac{\sigma_{I_{\text{int}}}^2}{I_{\text{int}}^2} + \frac{\sigma_{\Delta U_{\text{ST}}}^2}{\Delta U_{\text{ST}}^2} \right) \\ &= f_{\text{Oszi}}^2 \cdot \left[ \frac{\bar{i}_{n,\text{int}}^2}{I_{\text{int}}^2} + \frac{\bar{u}_{n,\text{ST1}}^2 + \bar{u}_{n,\text{ST2}}^2 + \left( 1 + \frac{C_{\text{par},a}}{C_{\text{sens}}} \right)^2 \cdot (\bar{u}_{n,\text{Verst}}^2 + \bar{u}_{n,\text{ref}}^2)}{(U_{\text{ST2}} - U_{\text{ST1}})^2} \right]. \end{aligned} \quad (\text{Gl. 5.10})$$

Dabei gibt  $i_{n,\text{int}}$  das momentane Rauschen des Integrationsstroms, welcher hier durch eine ideale Quelle über Stromspiegel eingespeist wird, an. Weiterhin stellen  $u_{n,\text{ST1}}$ ,  $u_{n,\text{ST2}}$  und  $u_{n,\text{ref}}$  die momentanen Rauschspannungen der Referenzspannungen  $U_{\text{ST1}}$ ,  $U_{\text{ST2}}$  und  $U_{\text{ref}}$ , die in der entworfenen Variante zunächst von idealen Quellen vorgegeben werden, dar. In der Realität gibt es keine „rauschfreien“ Quellen, so dass deren Rauschen in (Gl. 5.10) eingeht. Das eingangsbezogene Rauschen des OTAs besitzt die momentane Rauschspannung  $u_{n,\text{Verst}}$  und sieht die gleiche Übertragungsfunktion zum Ausgang des OTAs wie  $u_{n,\text{ref}}$ .

Für eine Kleinsignalanalyse des verwendeten Integrators wird die parasitäre Kapazität  $C_{\text{par},a}$  vernachlässigt, und die gesamte Lastkapazität des OTAs mit der parasitären Kapazität  $C_{\text{par},pn}$  und der Eingangskapazität des Schmitt-Triggers  $C_{\text{STin}}$  zu  $C_{\text{Lges}}$  zusammengefasst:

$$C_{\text{Lges}} = C_{\text{par},pn} + C_{\text{L}} + C_{\text{STin}}. \quad (\text{Gl. 5.11})$$

Das Kleinsignalersatzschaltbild des Integrators ist in Abbildung 5.11 zu sehen. Im Laplacebereich lautet die Ausgangsspannung des Integrators

$$U_{\text{aus}}(s) = \frac{g_m \cdot R_{\text{aus}}}{1 + g_m \cdot R_{\text{aus}}} \cdot \frac{1}{1 + \frac{s \cdot R_{\text{aus}} \cdot C_{\text{Lges}}}{1 + g_m \cdot R_{\text{aus}}}} \cdot \frac{I_{\text{int}}(s)}{s \cdot C_{\text{sens}}} \cdot \left( 1 - \frac{s \cdot C_{\text{sens}}}{g_m} \right). \quad (\text{Gl. 5.12})$$

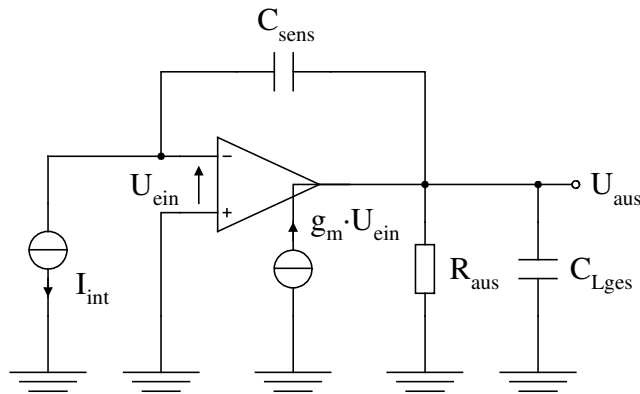


Abbildung 5.11: Kleinsignalersatzschaltbild des Integrators

Es wird angenommen, dass der Integrationsstrom im Zeitbereich in Form einer Sprungfunktion auftritt. Im Laplacebereich bedeutet dies bei Sprunghöhe  $\hat{I}_{\text{int}}$ :

$$I_{\text{int}}(s) = \frac{\hat{I}_{\text{int}}}{s}. \quad (\text{Gl. 5.13})$$

Da eine Multiplikation im Laplacebereich einer Faltung im Zeitbereich entspricht, ergibt die Transformation von (Gl. 5.12) in den Zeitbereich

$$\begin{aligned} U_{\text{aus}}(t) &= \frac{g_m \cdot R_{\text{aus}}}{1 + g_m \cdot R_{\text{aus}}} \cdot \left[ \left( e^{-v_1 \cdot t} \right) * \left( \frac{\hat{I}_{\text{int}}}{C_{\text{sens}}} \cdot t - \frac{\hat{I}_{\text{int}}}{g_m} \right) \right] \cdot v_1 \\ &= \frac{g_m \cdot R_{\text{aus}}}{1 + g_m \cdot R_{\text{aus}}} \cdot \frac{\hat{I}_{\text{int}}}{C_{\text{sens}}} \cdot \left[ \left( e^{-v_1 \cdot t} - 1 \right) \cdot v_2 + t \right] \end{aligned} \quad (\text{Gl. 5.14})$$

Dabei stellen die Konstanten  $v_1$  und  $v_2$  eine Zusammenfassung verschiedener Parameter dar:

$$v_1 = \frac{1 + g_m \cdot R_{\text{aus}}}{R_{\text{aus}} \cdot C_{\text{Lges}}}, \quad (\text{Gl. 5.15})$$

$$v_2 = \frac{g_m \cdot R_{\text{aus}} \cdot C_{\text{Lges}} + (1 + g_m \cdot R_{\text{aus}}) \cdot C_{\text{sens}}}{(1 + g_m \cdot R_{\text{aus}}) \cdot g_m}. \quad (\text{Gl. 5.16})$$

Im Vergleich zur idealen Integratorausgangsspannung, welche linear verläuft, weist (Gl. 5.14), im Falle einer endlichen Transkonduktanz, einen Offset und eine Nichtlinearität auf. Der qualitative Verlauf für den idealen und realen Fall der Integratorausgangsspannung ist für

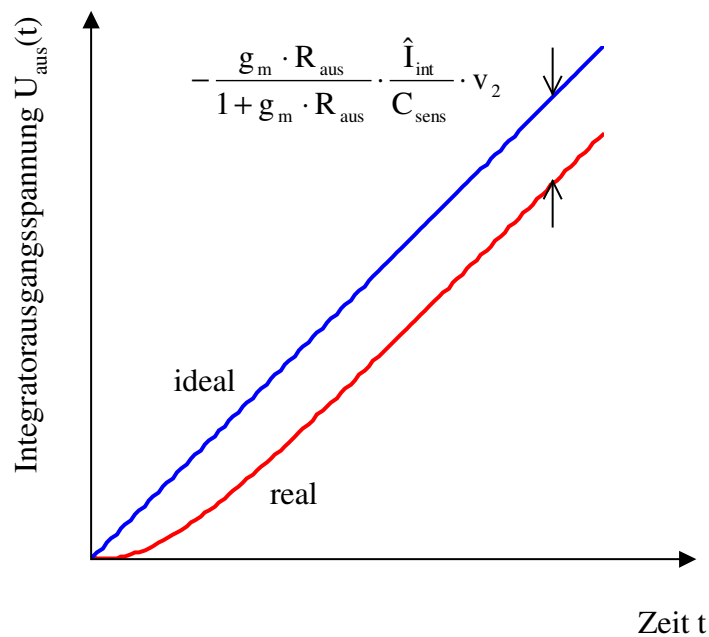


Abbildung 5.12: Qualitativer Verlauf der Integratorausgangsspannung

einen positiven Integrationsstrom und mit dem Wert des auftretenden Offsets in Abbildung 5.12 dargestellt. Die notwendige Bedingung, um die Auflösung  $B$  zu erreichen, lautet für die Ausgangsspannung nach der halben Periodendauer der Oszillation

$$U_{\text{aus}} \left( \frac{1}{2 \cdot f_{\text{Oszi}}} \right) = \Delta U_{\text{ST}} \cdot \left( 1 - \frac{1}{2^B} \right). \quad (\text{Gl. 5.17})$$

Aus dieser Bedingung lässt sich beispielsweise die notwendige Transkonduktanz  $g_m$  bestimmen. Da diese sowohl direkt als auch im Exponenten der Exponentialfunktion auftritt, ist der Ausdruck nicht geschlossen lösbar. Mit den vereinfachenden Annahmen  $R_{\text{aus}} \rightarrow \infty$  und  $\omega_{\text{GBW}} = g_m / C_{\text{Lges}} \gg 2 \cdot f_{\text{Oszi}}$  folgt aus der Bedingung (Gl. 5.17) für die Transkonduktanz mit Hilfe von (Gl. 5.9):

$$g_m = \frac{\hat{I}_{\text{int}} \cdot \left( 1 + \frac{C_{\text{Lges}}}{C_{\text{sens}}} \right)}{\frac{\hat{I}_{\text{int}}}{C_{\text{sens}}} \cdot \frac{1}{2 \cdot f_{\text{Oszi}}} - \Delta U_{\text{ST}} \cdot \left( 1 - \frac{1}{2^B} \right)} = f_{\text{Oszi}} \cdot 2 \cdot C_{\text{sens}} \cdot \left( 1 + \frac{C_{\text{Lges}}}{C_{\text{sens}}} \right) \cdot 2^B. \quad (\text{Gl. 5.18})$$

Die minimal notwendige Transkonduktanz hängt somit von der Auflösung  $B$  und von der Oszillationsfrequenz  $f_{\text{Oszi}}$  ab. Eine Großsignalanalyse bringt das gleiche Ergebnis für  $g_m$ .

Die weiteren Anforderungen an die Komponenten dieser Drucksensorauslese sowie die Linearität des gesamten Systems werden in Kapitel 6 anhand von Simulationen bestimmt. Die Auflösung wurde zu 8,6 Bit ausgelegt. Eine Erhöhung der Auflösung hat eine Steigerung des Leistungsverbrauchs zur Folge, da im Auslesezeitfenster mehr Impulse gezählt werden müssen und somit die Frequenz der Oszillation höher sein muss. Die Leistungseffizienz dieser Drucksensorauslese wird im folgenden in ähnlicher Weise wie bei der Untersuchung der ADUs in Kapitel 4.3 ermittelt. Dabei wird das theoretische Minimum mit dem Einsatz eines einzigen Drucksensorelementes bestimmt.

Der statische Leistungsverbrauch des OTAs im Integrator kann zu

$$P_{\text{OTA,stat}} = 2 \cdot U_{\text{DD}} \cdot I_{\text{Bias}} = 2 \cdot U_{\text{DD}} \cdot g_m \cdot U_T. \quad (\text{Gl. 5.19})$$

abgeschätzt werden. Dabei ist die minimale Transkonduktanz durch (Gl. 5.18) gegeben. Beim dynamischen Leistungsverbrauch wird sowohl die Lastkapazität  $C_{\text{Lges}}$  als auch die Sensorkapazität  $C_{\text{sens}}$  um  $\Delta U_{\text{ST}}$  mit der Oszillationsfrequenz umgeladen:

$$P_{\text{OTA,dyn}} = U_{\text{DD}} \cdot (C_{\text{Lges}} + C_{\text{sens}}) \cdot \Delta U_{\text{ST}} \cdot f_{\text{Oszi}}. \quad (\text{Gl. 5.20})$$

Die Sensorkapazität des Drucksensors weist eine nichtlineare Abhängigkeit vom Druck auf. Im untersten Druckbereich fällt die Kapazitätsänderung mit steigendem Druck am geringsten aus. Folglich muss von minimalem Druck bis zu dem um ein LSB erhöhten Druck in der

Dauer des Auslesefensters mindestens ein Impuls mehr erzeugt werden. Dies bedeutet mit Hilfe von (Gl. 5.9) einen Unterschied in der Oszillationsfrequenz von mindestens der Abtastfrequenz  $f_{\text{sample}}$ :

$$f_{\text{sample}} = \Delta f_{\text{Oszi, LSB}} = \frac{I_{\text{int}}}{2 \cdot \Delta U_{\text{ST}}} \cdot \left( \frac{1}{C_{\text{sens}}(p_{\text{min}})} - \frac{1}{C_{\text{sens}}(p_{\text{min}} + \Delta p_{\text{LSB}})} \right). \quad (\text{Gl. 5.21})$$

Daraus lässt sich der notwendige Integrationsstrom in Abhängigkeit der Abtastfrequenz und dem LSB des Druckes bestimmen:

$$I_{\text{int}} = \frac{2 \cdot \Delta U_{\text{ST}} \cdot f_{\text{sample}}}{\left( \frac{1}{C_{\text{sens}}(p_{\text{min}})} - \frac{1}{C_{\text{sens}}(p_{\text{min}} + \Delta p_{\text{LSB}})} \right)}. \quad (\text{Gl. 5.22})$$

Die maximale Oszillationsfrequenz entsteht bei minimalem Druck, also minimaler Sensorkapazität, nach (Gl. 5.9). Mit dem Integrationsstrom aus (Gl. 5.22) resultiert für die maximale Oszillationsfrequenz

$$f_{\text{Oszi max}} = \frac{f_{\text{sample}}}{\left( 1 - \frac{C_{\text{sens}}(p_{\text{min}})}{C_{\text{sens}}(p_{\text{min}} + \Delta p_{\text{LSB}})} \right)}. \quad (\text{Gl. 5.23})$$

Wird die Kapazitäts-Druck Übertragungsfunktion im Bereich minimalem Drucks linearisiert, welche an dieser Stelle eine Steigung von  $a_{\text{Csens}}$  besitzt, ergibt sich mit dem gesamten Druckbereich  $p_{\text{pp}} = (2^B - 1) \cdot \Delta p_{\text{LSB}}$ :

$$f_{\text{Oszi max}} = \frac{f_{\text{sample}}}{\left( 1 - \frac{C_{\text{sens min}}}{C_{\text{sens min}} + a_{\text{Csens}} \cdot \frac{p_{\text{pp}}}{(2^B - 1)}} \right)}. \quad (\text{Gl. 5.24})$$

Bei der Berechnung der Leistung des Schmitt-Triggers wird ein zweistufiger nicht kompensierter OTA (siehe Abbildung 5.9) für die Komparatoren angenommen, wobei sowohl in der ersten als auch in der zweiten Stufe zweimal  $I_{\text{Bias}}$  fließt und die Lastkapazitäten der Komparatoren  $C_{\text{LKomp}}$  mit der Oszillationsfrequenz umgeladen werden:

$$P_{\text{ST}} = 2 \cdot \left( 4 \cdot U_{\text{DD}} \cdot g_{\text{mKomp}} \cdot U_{\text{T}} + C_{\text{LKomp}} \cdot U_{\text{DD}}^2 \cdot f_{\text{Oszi}} \right). \quad (\text{Gl. 5.25})$$

Die Transkonduktanz des Komparators ergibt sich über die Gate-Drain Kapazität  $C_{\text{gd}}$  von Transistor M7 der zweiten Stufe und der Annahme, dass das Verstärkungs-Bandbreite-Produkt mindestens der Oszillationsfrequenz entsprechen muss:

$$g_{\text{mKomp}} = \omega_{\text{GBW, Komp}} \cdot C_{\text{gd}} = 2 \cdot \pi \cdot f_{\text{Oszi}} \cdot C_{\text{gd}}. \quad (\text{Gl. 5.26})$$

$U_{DD} / [V]$	2,5	$\Delta U_{ST} / [V]$	0,5
$p_{pp} / [mbar]$	533,2	$\Delta p_{LSB} / [mbar]$	1,333
$a_{Csens} / [fF/bar]$	23,47	$A_{U0} / [dB]$	60
$C_{sensmin} / [fF]$	87,43	$C_{Lges} / [fF]$	470
$C_{gd} / [fF]$	10	$C_{LKomp} / [fF]$	11,76

**Tabelle 5.1: Parameter zur Abschätzung des Leistungsverbrauchs von der Sensorauslese nach dem Oszillatorprinzip**

Die theoretisch minimale Leistung der Drucksensorauslese nach dem Oszillatorprinzip summiert sich zu

$$P_{Oszi} = P_{OTA,stat} + P_{OTA,dyn} + P_{ST} \quad (Gl. 5.27)$$

Die verbrauchte Leistung steigt linear mit der Abtastfrequenz. Das theoretische Figure of Merit  $FOM_{theor}$  aus (Gl. 4.106) nimmt mit den Parametern aus Tabelle 5.1 Werte von 8 pJ bis 1  $\mu J$  im Bereich von 2 bis 20 Bit an. Dies macht deutlich, dass hohe Auflösungen ohne großen Leistungserbrauch nicht möglich sind. Allerdings kann ferner der Einfluss von Rauschen, welcher nicht Gegenstand dieser Untersuchung ist, höhere Lastkapazitäten zum Erreichen einer bestimmten Auflösung notwendig machen. Dies erhöht den Leistungsverbrauch zusätzlich. Verglichen mit dem  $FOM_{theor}$  dreier ADUs in SC Technik (Abbildung 4.19) liegt die Oszillatorauslese im angestrebten Bereich der Auflösung von 8 bis 12 Bit, auch mit minimaler Lastkapazität, deutlich schlechter als die ADUs. Selbst, wenn der C/U-Konverter, welcher einen einzelnen SC Verstärker darstellt, noch einmal die Leistung des ADUs verbraucht, besitzt das System aus ADU und C/U-Konverter eine bessere Leistungseffizienz.

### 5.3.2 SAR-ADU

In Abbildung 5.13 ist das Blockschaltbild eines SAR-ADUs mit der Auflösung B zu sehen. Die Funktionsweise wurde bereits in Kapitel 4 erläutert. Jedoch wird hier die Sample&Hold Stufe mit dem D/A-Umsetzer im Kondensatorarray zusammengefasst. Dies erspart den Einsatz eines SC-Verstärkers. Zudem bildet das Kondensatorarray mit den Invertern einen „Auto Zero“ Komparator, welcher Offset und 1/f-Rauschen reduziert. Wird der Inverter in der Abtastphase mit dem Signal „sha\_in“ kurzgeschlossen, lädt sich das Kondensatorarray auf die Differenz zwischen der Eingangsspannung und der Mittenspannung  $U_M$ , welche sich bei

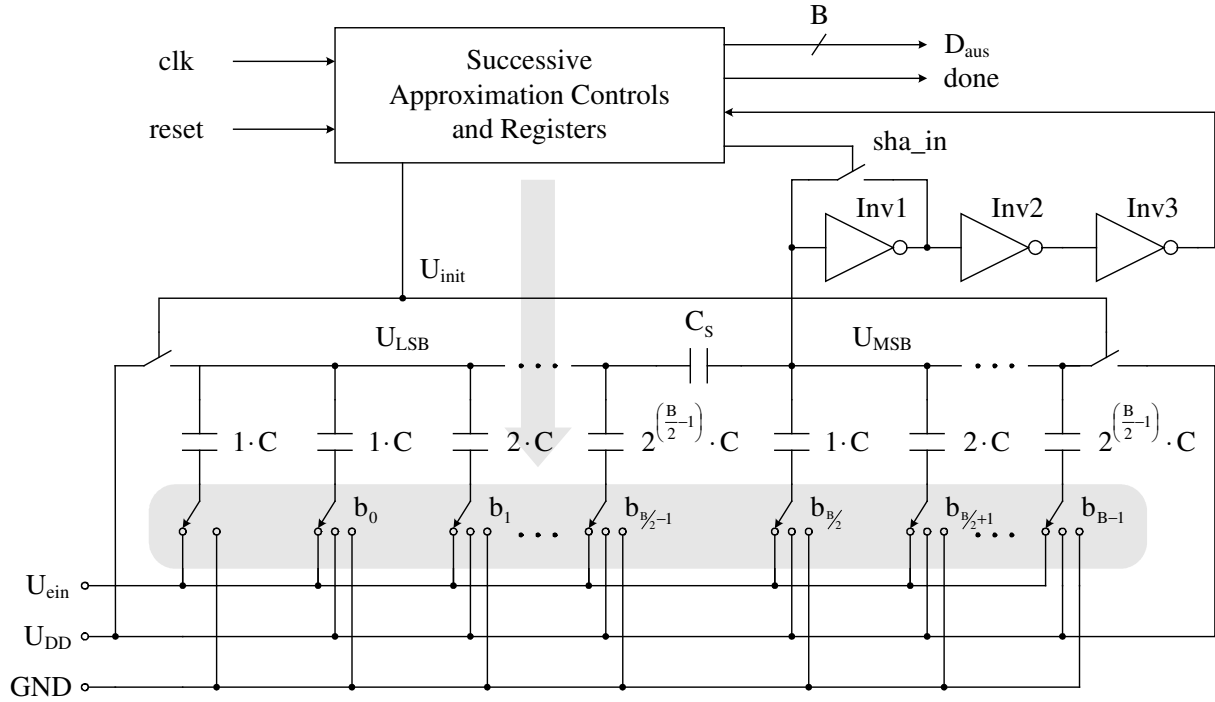


Abbildung 5.13: Blockschaltbild eines SAR A/D-Umsetzers mit der Auflösung B in Bit

Kurzschließen des Inverters einstellt, auf. Dadurch wird gleichzeitig der Offset des Komparators auf dem Kondensatorarray gespeichert, und somit eliminiert. Damit wird auch das niederfrequente 1/f-Rauschen des Komparators reduziert. Eine Rauschanalyse findet in Kapitel 5.4 statt. In den Wandlungsphasen liegt das Potenzial des Kondensatorarray-Ausganges  $U_{\text{MSB}}$  am hochohmigen Eingang der Inverter-Kette an. Bei einer Anhebung oder Absenkung von  $U_{\text{MSB}}$  durch die Beschaltung der Eingänge mit den Referenzspannungen, geht der Komparatorausgang entsprechend der gespeicherten Eingangsspannung in den „low“ oder „high“ Zustand. Anhand des Komparatorausganges entscheidet der Digitalteil, wie die Referenzen an den Eingängen des Kondensatorarrays im nächsten Zyklus gesetzt werden. Die Referenzen wurden für den vollen Eingangsdynamikbereich zu Betriebsspannung und Masse gewählt.

Der Skalierungskondensator  $C_S$  muss für eine gerade Anzahl an Bits eine Kapazität von

$$C_S = \frac{2^{\frac{B}{2}}}{2^{\frac{B}{2}} - 1} \cdot C \quad (\text{Gl. 5.28})$$

haben, damit der LSB-Teil des Kondensatorarrays genau  $1 \cdot C$  groß ist. Somit ist die Gesamtkapazität des Kondensatorarrays

$$C_{\text{ges}} = 2^{\frac{B}{2}} \cdot C. \quad (\text{Gl. 5.29})$$

Der minimale Strom, der im ersten Inverter fließen muss, berechnet sich über die umzuladende Kapazität des Kondensatorarrays:

$$I_{inv} = C_{ges} \cdot U_M \cdot 2 \cdot f_{clk} = C_{ges} \cdot U_{DD} \cdot f_{clk} \quad (\text{Gl. 5.30})$$

Hier wurde die Mittenspannung  $U_M$  zur Hälfte der Versorgungsspannung angenommen. Für die Transistorgeometrien vom NMOS und PMOS des ersten Inverters gilt

$$\left(\frac{W}{L}\right)_{n,p} = \frac{2 \cdot I_{inv}}{\mu_{n,p} \cdot C_{ox} \cdot \left(\frac{U_{DD}}{2} - |U_{TH}|_{n,p}\right)^2} \quad (\text{Gl. 5.31})$$

Für die Verstärkung des Komparators muss mindestens die folgende Beziehung gelten:

$$|A_{UKomp}| = |A_{UInv1} \cdot A_{UInv2} \cdot A_{UInv3}| = \left| \prod_{i=1}^3 \frac{-(g_{mp,i} + g_{mn,i})}{g_{dsp,i} + g_{dsn,i}} \right| \geq 2^B \quad (\text{Gl. 5.32})$$

Die Komparatoreingangsspannung lautet für die Wandlungsphasen

$$U_{MSB} = \frac{Q_{MSB}^{Sample} + \sum_{i=B/2}^{B-1} C_i \cdot U_i + C_S \cdot \frac{Q_{LSB}^{Sample} + \sum_{i=0}^{B/2-1} C_i \cdot U_i}{C_{LSB} + C_S}}{C_{MSB} + C_S - C_S \cdot \frac{C_S}{C_{LSB} + C_S}}, \quad (\text{Gl. 5.33})$$

in Abhängigkeit der Ladungen und Spannungen aus der Abtastphase:

$$Q_{MSB}^{Sample} = C_{MSB} \cdot (U_M - U_{ein}) + C_S \cdot (U_M - U_{LSB}^{Sample}), \quad (\text{Gl. 5.34})$$

$$Q_{LSB}^{Sample} = C_{LSB} \cdot (U_{LSB}^{Sample} - U_{ein}) - C_S \cdot (U_M - U_{LSB}^{Sample}), \quad (\text{Gl. 5.35})$$

$$U_{LSB}^{Sample} = U_M \cdot \frac{C_S}{C_S + C_{LSB}} + U_{ein} \cdot \frac{C_{LSB}}{C_S + C_{LSB}}. \quad (\text{Gl. 5.36})$$

In der Abtastphase wird der erste Inverter des Komparators kurzgeschlossen, so dass sich an  $U_{MSB}$  in dieser Phase die Mittenspannung  $U_M$  einstellt. Weiterhin sind  $C_i$  die gewichteten Kapazitäten und  $C_{LSB}$  die gesamte Kapazität des Teiles vom Kondensatorarray, welcher von den LSB Kondensatoren zusammen mit dem Abschlusskondensator gebildet wird. Dementsprechend ist  $C_{MSB}$  die Gesamtkapazität, welche sich aus den MSB Kondensatoren zusammensetzt. Die Spannungen  $U_i$  haben, je nach Schalterstellung an den  $i$ -ten Kondensatoren, den Wert der Referenzen  $U_{DD}$  oder Masse. Der Abschlusskondensator liegt in den Wandlungsphasen immer an Masse.

Der Digitalteil mit Registern und Steuerlogik wurde mit der Hardwarebeschreibungssprache Verilog erstellt, und mit Synopsys ist daraus ein Schaltplan synthetisiert worden. Der Quellcode mit zugehörigem Schaltplan ist im Anhang B gegeben.

In [97] wird eine Modellierung des „Kondensatormismatch“ beim SAR ADU untersucht, und die maximale Fehlertoleranz zwischen zwei Kondensatoren für eine zu erreichende Auflösung bestimmt. Ebenso wird bei bekannter Fehlertoleranz die maximale Auflösung untersucht. Dabei wird von einem binär gewichteten Kondensatorarray ohne Skalierungskondensator ausgegangen. Parasitäre Kapazitäten parallel zu den Kondensatoren wirken sich wie ein „Mismatch“ aus. Der Einfluss von parasitären Kapazitäten zu Masse und der Einfluss von „Kondensatormismatch“ beim realisierten SAR ADU anhand einer Monte-Carlo Simulation werden in Kapitel 6 untersucht.

Um Chipfläche zu sparen bzw. die Anzahl der Einheitskondensatoren zu verringern, wird hier die Anordnung des kapazitiven D/A-Umsetzers mit Sample&Hold Funktion aus Abbildung 5.14 zur Verwendung im SAR ADU vorgeschlagen. Der Vorteil liegt darin, dass insgesamt  $3 \cdot B - 1$  Einheitskondensatoren benötigt werden. Bei der zuvor vorgestellten Variante sind es  $2^{(B/2+1)}$  Kondensatoren. Im Vergleich dazu zeigt die Alternative aus Abbildung 5.14 für Auflösungen ab 7 Bit eine Einsparung an Einheitskondensatoren. Ebenso reduziert sich die umzuladende Kapazität auf zwei Einheitskapazitäten, und minimiert damit den Leistungsverbrauch.

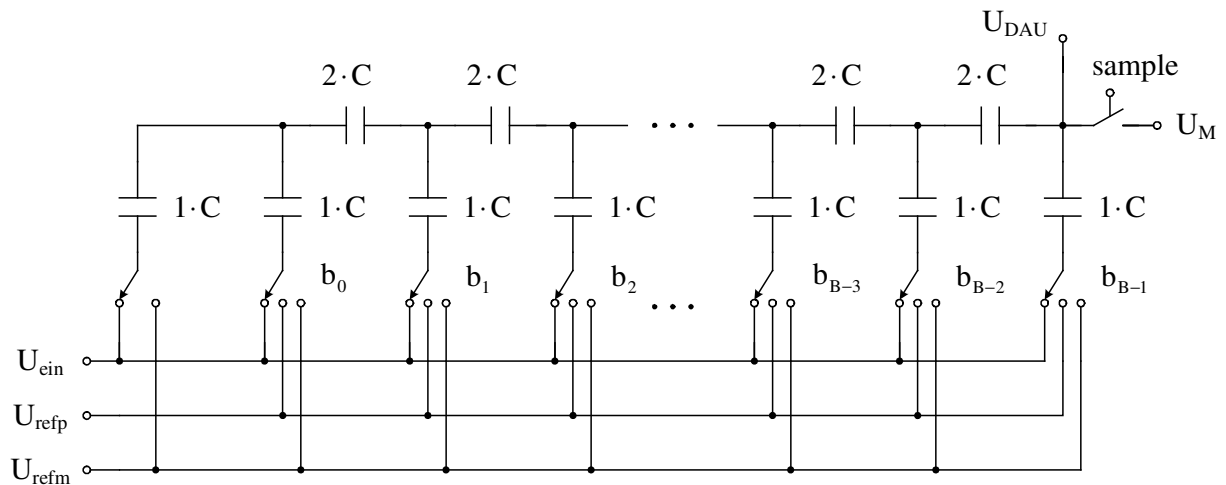


Abbildung 5.14: Alternative Realisierung des kapazitiven D/A-Umsetzers mit Sample&Hold Funktion

### 5.3.3 Zyklischer ADU

Der zyklische ADU, welcher in dieser Arbeit entworfen wurde, basiert auf der Verwendung von geschalteten Verstärkern SOAs (switched operational amplifier) wie es Bonfini et al. in [55] umgesetzt haben. Allerdings ist in [55] keine „Mismatch“ Kompensation implementiert, welche das „Mismatch“ zwischen den Kondensatoren ausgleicht. Das Hauptproblem, um



einen genauen zyklischen A/D-Umsetzer zu entwickeln, ist die Empfindlichkeit gegenüber Kondensator-Mismatch, insbesondere bei der Multiplikation mit zwei [58]. In Kapitel 6 wird der Einfluss von Kondensator-Mismatch bei der Multiplikation mit zwei auf die Nichtlinearität des ADUs in einem Matlab-Modell simuliert. Die Verwendung der SOA-Technik ist für Low-Voltage Anwendungen geeignet, und kann den durchschnittlichen Stromverbrauch reduzieren, da die Ausgangsstufe des SOAs in nicht benötigten Phasen abgeschaltet werden kann.

Das Blockschaltbild des entworfenen zyklischen ADUs ist in Abbildung 5.15 dargestellt. Die S&H-Stufe tastet im ersten Zyklus die Eingangsspannung und in nachfolgenden Zyklen den Ausgang der Multiplizierstufe ab. Zur Reduzierung des Einflusses von Offset und  $1/f$ -Rauschen der Verstärker, sowohl in Sample&Hold Stufe als auch in der Multiplizierstufe, wird das Signal im zweiten Zyklus einmalig invertiert. Da das Vorzeichen des Offset vom

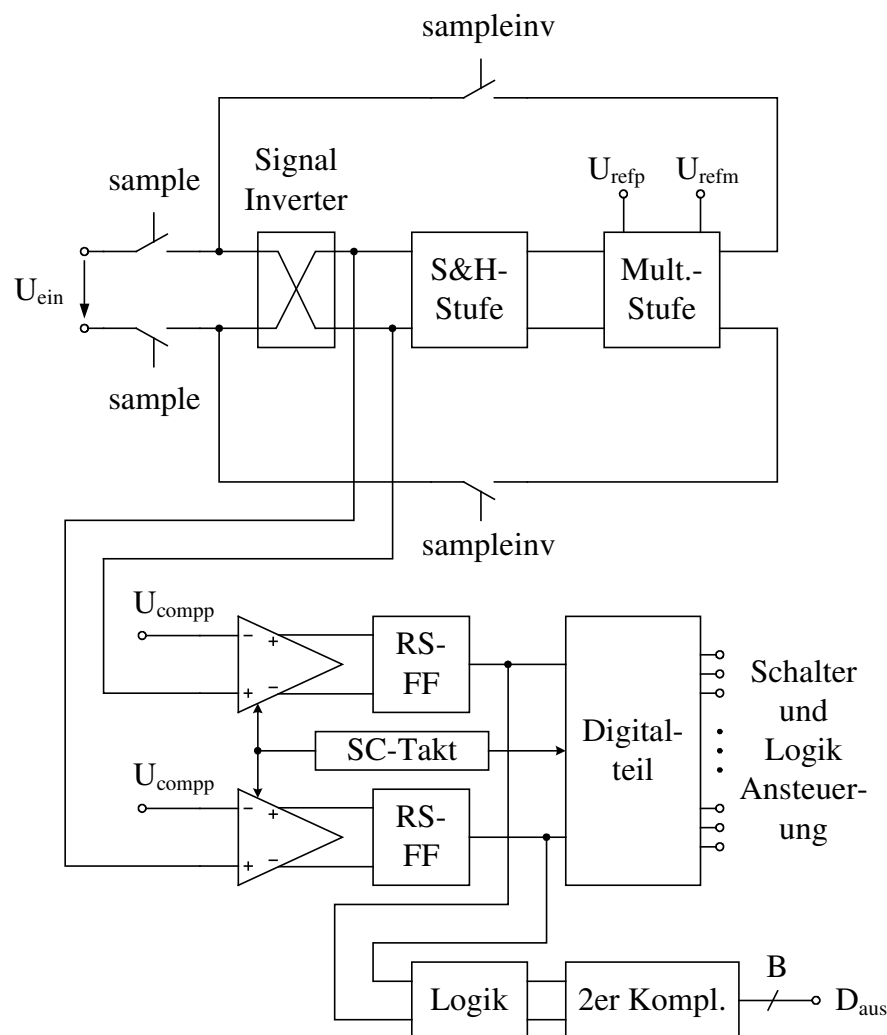
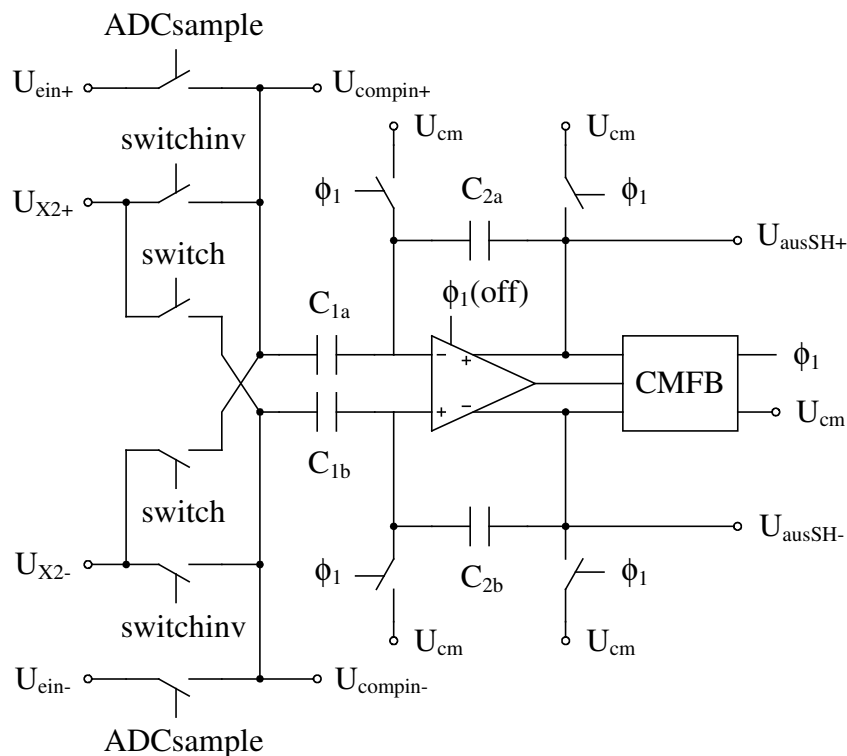


Abbildung 5.15: Blockschaltbild des zyklischen A/D-Umsetzers

ersten Zyklus auch invertiert wird, wird in den folgenden Zyklen der zweifache Offset subtrahiert und der nächste Offset addiert. Somit wirkt der Offset im gesamten Wandlungsvorgang nur einmal anstatt von  $(2^{\text{Ncycle}} - 1)$  mal, wenn die Schaltung ohne Offset Kompensation betrieben würde. Eine Rauschanalyse inklusive 1/f-Rauschen wird in Kapitel 5.4 durchgeführt.

Der Signal Inverter ist in die S&H-Stufe integriert worden, wie Abbildung 5.16 zeigt. Zu den Steuersignalen ist anzumerken, dass obwohl nur nichtinvertierte Signale dargestellt sind, auch das invertierte Steuersignal den Transmissiongates (TG) zur Verfügung gestellt wird, und dass beispielsweise „switch“ und „switchinv“ nicht überlappend sind. Unter der Annahme einer endlichen Leerlaufverstärkung  $A_{U0}$  des SOAs ergibt sich die Spannung am Ausgang der S&H-Stufe:

$$U_{\text{ausSH}}(\phi_2) = U_{\text{ein+}}(\phi_1) \cdot \frac{C_{1a}}{C_{2a} + \frac{C_{1a} + C_{2a}}{A_{U0}}} - U_{\text{ein-}}(\phi_1) \cdot \frac{C_{1b}}{C_{2b} + \frac{C_{1b} + C_{2b}}{A_{U0}}} - U_{\text{cm}} \cdot \left( \frac{C_{1a}}{C_{2a} + \frac{C_{1a} + C_{2a}}{A_{U0}}} - \frac{C_{1b}}{C_{2b} + \frac{C_{1b} + C_{2b}}{A_{U0}}} \right). \quad (\text{Gl. 5.37})$$



**Abbildung 5.16: Sample&Hold-Stufe mit implementierter Signal-Invertierung**

Für eine unendliche Leerlaufverstärkung und ohne Kondensator Mismatch resultiert eine Ausgangsspannung gleich der Eingangsspannung, wobei die Eingangsspannung entweder die ADU-Eingangsspannung oder die Ausgangsspannung der Multiplizierstufe ist. Das Verhältnis von Ausgangsspannung zu Eingangsspannung der Sample&Hold Stufe ist in Abbildung 5.17 in Abhängigkeit der Leerlaufverstärkung zu sehen. Um den Ausgangswert mit 11 Bit Genauigkeit, also mit maximal 0,025% Abweichung, zu erreichen, wird in der Sample&Hold Stufe eine Leerlaufverstärkung von mindestens 78dB notwendig.

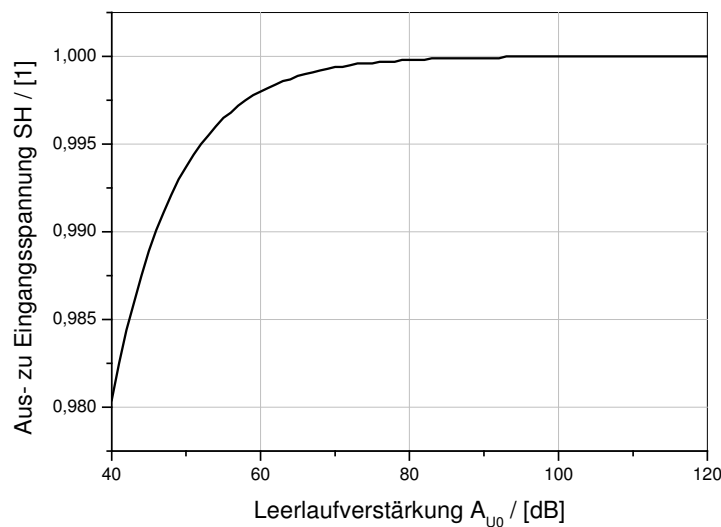
Das minimale Verstärkungs-Bandbreite-Produkt der Operationsverstärker in der Sample&Hold Stufe sowie in der Multiplizierstufe lässt sich abschätzen, wenn ein exponentielles Einschwingen bis zu einer Abweichung von einem halben LSB angenommen wird:

$$1 - e^{-t \cdot \omega_{GBW}} = 1 - \frac{1}{2} \cdot 2^{-B}$$

$$\Rightarrow \omega_{GBW} = 2 \cdot f_s \cdot (B + 1) \cdot \ln(2)$$
(Gl. 5.38)

Dabei ist  $f_s$  die Taktfrequenz eines 2-Phasen Systems und B die Auflösung in Bits. Bei 11 Bit Auflösung und 16 kHz Taktfrequenz muss der Operationsverstärker ein Verstärkungs-Bandbreite-Produkt  $\omega_{GBW}$  von mindestens 266 kHz besitzen.

Die hier verwendeten SC-Schaltungen sind streuinsensitiv gegenüber parasitären Kapazitäten zu Masse. Die parasitären Kapazitäten parallel zu den Kondensatoren wirken wie ein „Mismatch“, welches in Kapitel 6 untersucht wird



**Abbildung 5.17:** relative Ausgangsspannung der Sample&Hold Stufe in Abhängigkeit der Leerlaufverstärkung des Verstärkers

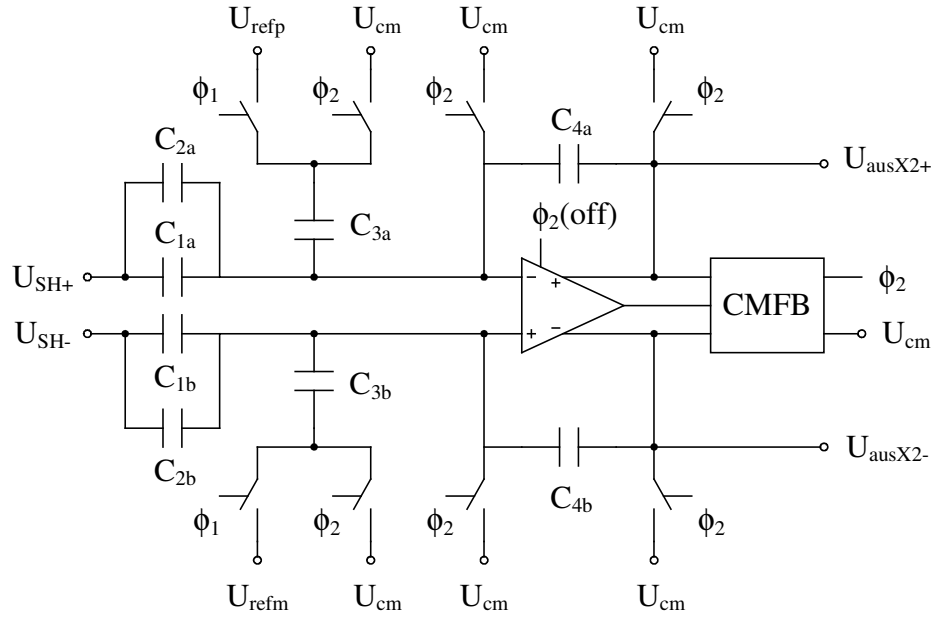
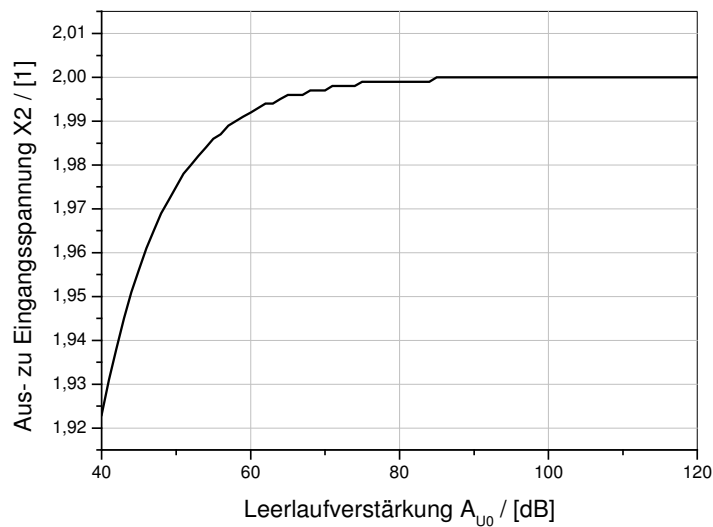


Abbildung 5.18: Prinzip-Schaltbild der Standard Multiplizierstufe

Das Prinzip-Schaltbild der Multiplizierstufe ohne Mismatch Kompensation, wie sie auch in [55] verwendet wurde, ist in Abbildung 5.18 gegeben. Die Subtraktion oder Addition der Referenz ist direkt implementiert. Die Ausgangsspannung lässt sich wiederum für eine endliche Leerlaufverstärkung  $A_{U0}$  des Operationsverstärkers bestimmen:

$$\begin{aligned}
 U_{\text{ausX2}}(\phi_1) = & U_{\text{SH+}}(\phi_2) \cdot \frac{C_{1a} + C_{2a}}{C_{4a} + \frac{C_{\text{gesa}}}{A_{U0}}} - U_{\text{SH-}}(\phi_2) \cdot \frac{C_{1b} + C_{2b}}{C_{4b} + \frac{C_{\text{gesb}}}{A_{U0}}} \\
 & - b \cdot U_{\text{refp}} \cdot \frac{C_{3a}}{C_{4a} + \frac{C_{\text{gesa}}}{A_{U0}}} + b \cdot U_{\text{refm}} \cdot \frac{C_{3b}}{C_{4b} + \frac{C_{\text{gesb}}}{A_{U0}}} \quad . \quad (\text{Gl. 5.39}) \\
 & - U_{\text{cm}} \cdot \left( \frac{C_{1a} + C_{2a} - C_{3a}}{C_{4a} + \frac{C_{\text{gesa}}}{A_{U0}}} - \frac{C_{1b} + C_{2b} - C_{3b}}{C_{4b} + \frac{C_{\text{gesb}}}{A_{U0}}} \right)
 \end{aligned}$$

Dabei ist  $C_{\text{gesa}}$  die Summe der Kapazitäten  $C_{1a}$  bis  $C_{4a}$  und  $C_{\text{gesb}}$  entsprechend die Summe von  $C_{1b}$  bis  $C_{4b}$ . Weiterhin ist  $b$  der RSD Code (-1, 0, 1), welcher sich in der realisierten Form wie folgt bestimmt: Für den Fall, dass  $U_{\text{compin+}}$  größer als die Referenz  $U_{\text{compp}}$  und  $U_{\text{compin-}}$  kleiner ist, wird  $b$  zu 1 gesetzt. Für den umgekehrten Fall, dass  $U_{\text{compin-}}$  größer als die Referenz  $U_{\text{compp}}$  und  $U_{\text{compin+}}$  kleiner ist, nimmt  $b$  den Wert  $-1$  an. Für den letzten Fall, dass beide



**Abbildung 5.19:** relative Ausgangsspannung der Multiplizierstufe in Abhängigkeit der Leerlaufverstärkung des Verstärkers

Komparatoreingänge kleiner als die Referenz sind, erhält  $b$  den Wert 0. Auf der Schaltungsebene wird ein Multiplexer benötigt, welcher die richtige Referenz  $U_{refp}$ ,  $U_{refm}$  oder  $U_{cm}$  zuschaltet, um die  $b$  entsprechende Operation durchzuführen. Der Einfluss einer endlichen Leerlaufverstärkung des Operationsverstärkers auf die relative Ausgangsspannung der Multiplizierstufe ist in Abbildung 5.19 dargestellt. Für eine Genauigkeit von 11 Bit wird eine Verstärkung von mindestens 84 dB gefordert.

Die Multiplikation mit Zwei wird durch die erste Zeile in (Gl. 5.39) bestimmt, und ist empfindlich gegenüber Kondensatormismatch. Dementsprechend müssen die Kondensatorpaare  $C1a$ ,  $C2a$  und  $C4a$  bzw.  $C1b$ ,  $C2b$  und  $C4b$  gute Paarungseigenschaften aufweisen. Ein Fehler in der Multiplikation mit Zwei beeinflusst die Integrale Nichtlinearität INL des zyklischen ADUs stark. Die Wirkung des Kondensatormismatches in der Multiplizierstufe auf die INL wird ebenfalls in Kapitel 6 untersucht. Somit ist eine Mismatch Kompensation erforderlich. Da die SOAs jeweils in einer Phase abgeschaltet werden, ist eine konventionelle Mismatch Kompensation nicht möglich. In [56] wird als typisches Beispiel einer konventionellen Mismatch Kompensation ein SC Verstärker mit einer akkuraten Verstärkung von Zwei in 2 Taktzyklen erreicht. Dabei ist der Fehler in der Verstärkung von Zwei proportional zum Quadrat der Abweichung zur idealen Kapazität. Die Idee der hier vorgeschlagenen Mismatch Kompensation ist, durch zyklisches Durchtauschen der Kondensatoren  $C_1$ ,  $C_2$ ,  $C_4$  in der Multiplizierstufe, den Fehler vom Mismatch ausgehend zu

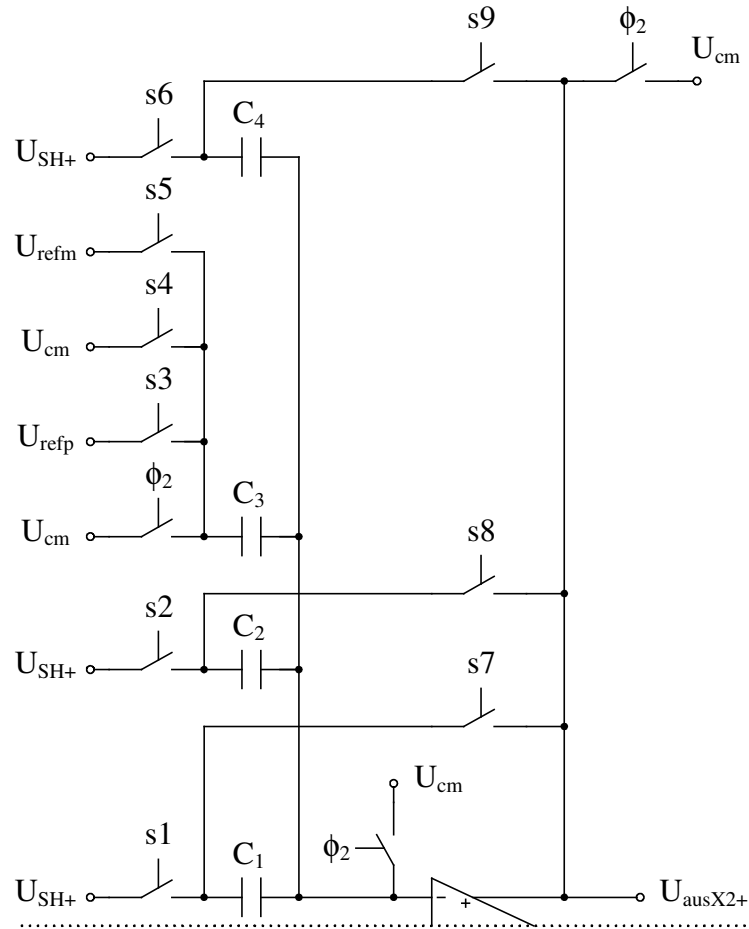


Abbildung 5.20: Halbes Schaltbild der Multiplizierstufe mit implementierter Mismatch Kompensation

minimieren. Alle drei Zyklen ist die ursprüngliche Anordnung wiederhergestellt. Die angepasste Multiplizierstufe resultiert in dem Prinzip aus Abbildung 5.20. Das benötigte Taktschema für die Steuersignale ist in Abbildung 5.21 gegeben. Alle Signale müssen nicht-überlappend sein, und die Signale s3, s4 und s5 hängen von den Komparatorausgängen ab und werden mit  $\phi_1$  gesetzt.

Im folgenden wird für jeden Kondensator  $C_i$  ein Mismatch  $\epsilon_i$  zu dessen nominalen Wert  $C_0$  eingeführt:

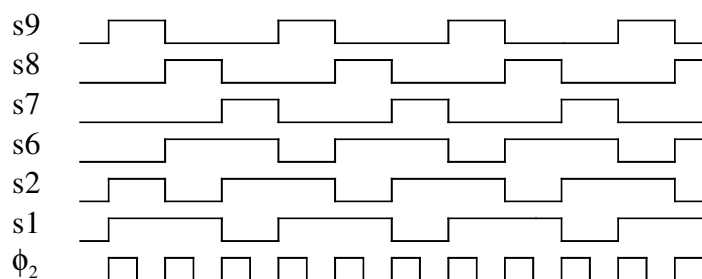


Abbildung 5.21: Taktschema für die Multiplizierstufe mit Mismatch Kompensation

$$\varepsilon_i = \frac{C_i - C_0}{C_0}. \quad (\text{Gl. 5.40})$$

Es wird eine Untersuchung der reinen Multiplikation mit Zwei nach 3 Zyklen unter der Annahme einer idealen Sample&Hold Stufe, welche im ersten Zyklus die Spannung  $U_{\text{ein}}$  abtastet und an die Multiplizierstufe übergibt, durchgeführt. In den Zyklen 2 und 3 gelangt die Ausgangsspannung der Multiplizierstufe über die Sample&Hold Stufe wiederum an den Eingang der Multiplizierstufe. Für den Fall ohne Mismatch Kompensation ergibt sich am Ausgang der Multiplizierstufe nach 3 Zyklen:

$$U_{\text{ausX2,oMK}} = U_{\text{ein}} \cdot \left[ 8 + \frac{12 \cdot \varepsilon_1 + 12 \cdot \varepsilon_2 + 6 \cdot (\varepsilon_1 + \varepsilon_2)^2}{(1 + \varepsilon_4)^3} + \frac{3 \cdot \varepsilon_1^2 \cdot \varepsilon_2 + 3 \cdot \varepsilon_1 \cdot \varepsilon_2^2 + \varepsilon_1^3 + \varepsilon_2^3}{(1 + \varepsilon_4)^3} - \frac{24 \cdot \varepsilon_4 + 24 \cdot \varepsilon_4^2 + 8 \cdot \varepsilon_4^3}{(1 + \varepsilon_4)^3} \right]. \quad (\text{Gl. 5.41})$$

Für den Fall mit Mismatch Kompensation in der Multiplizierstufe ergibt sich am Ausgang der Multiplizierstufe nach 3 Zyklen:

$$U_{\text{ausX2,mMK}} = U_{\text{ein}} \cdot \left[ 8 + \frac{(\varepsilon_2 - \varepsilon_4)^2 \cdot (1 + \varepsilon_1)}{(1 + \varepsilon_1) \cdot (1 + \varepsilon_2) \cdot (1 + \varepsilon_4)} + \frac{(\varepsilon_1 - \varepsilon_4)^2 \cdot (1 + \varepsilon_2)}{(1 + \varepsilon_1) \cdot (1 + \varepsilon_2) \cdot (1 + \varepsilon_4)} + \frac{(\varepsilon_1 - \varepsilon_2)^2 \cdot (1 + \varepsilon_4)}{(1 + \varepsilon_1) \cdot (1 + \varepsilon_2) \cdot (1 + \varepsilon_4)} \right]. \quad (\text{Gl. 5.42})$$

Ein ungünstiger Fall von Mismatch ist für die Kapazitäten  $C_1 = C_0 \cdot (1 + |\varepsilon|)$ ,  $C_2 = C_0 \cdot (1 + |\varepsilon|)$  und  $C_4 = C_0 \cdot (1 - |\varepsilon|)$  gegeben. Der Fehler bzw. die relative Abweichung gegenüber einer idealen Multiplikation mit 8 nach 3 Zyklen ist damit ohne Mismatch Kompensation:

$$\text{Fehler}_{\text{oMK}}(\varepsilon) = \frac{6 \cdot |\varepsilon| + 2 \cdot |\varepsilon|^3}{(1 - |\varepsilon|)^3}. \quad (\text{Gl. 5.43})$$

Mit Mismatch Kompensation beläuft sich der relative Fehler nach 3 Zyklen auf

$$\text{Fehler}_{\text{mMK}}(\varepsilon) = \frac{|\varepsilon|^2 + |\varepsilon|^3}{(1 + |\varepsilon|) \cdot (1 + |\varepsilon|) \cdot (1 - |\varepsilon|)}. \quad (\text{Gl. 5.44})$$

Folglich ist zu erkennen, dass der Fehler für Abweichungen kleiner als 100% mit der vorgeschlagenen Mismatch Kompensation geringer als ohne Mismatch Kompensation ausfällt, da dann gilt:

$$\varepsilon^2 \ll |\varepsilon| \ll 1. \quad (\text{Gl. 5.45})$$

Ein Mismatch in Kondensator  $C_3$  resultiert in einem Verstärkungsfehler in der Übertragungsfunktion des ADUs.

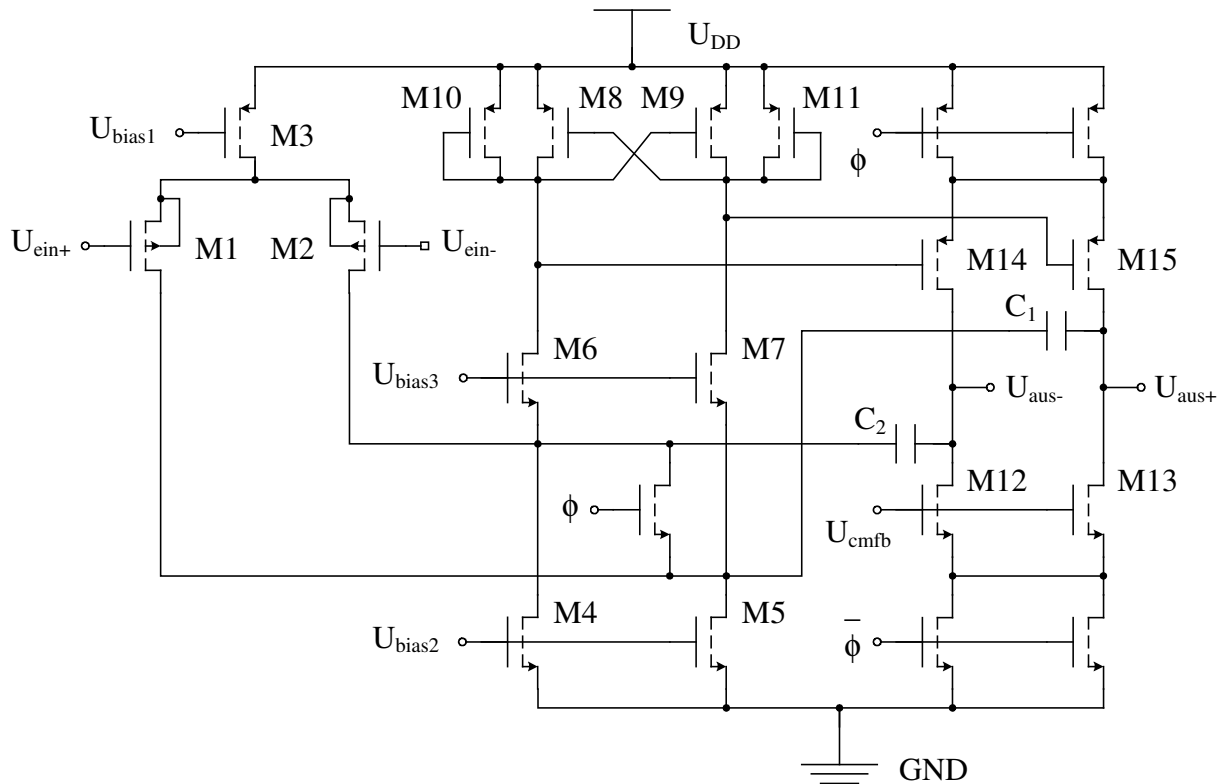


Abbildung 5.22: Schaltplan eines Switched-Opamp

Eine Unterkomponente von S&H-Stufe und Multiplizierstufe ist der SOA. Hier wurde der SOA aus [57] in leicht abgeänderter Variante gewählt (siehe Abbildung 5.22). Die Ausgangsstufe kann durch Schalttransistoren im p- und n-Zweig komplett abgeschaltet werden. Im abgeschalteten Zustand wird die Differenzeingangsstufe kurzgeschlossen, um die Sättigung der ersten Stufe zu verhindern.

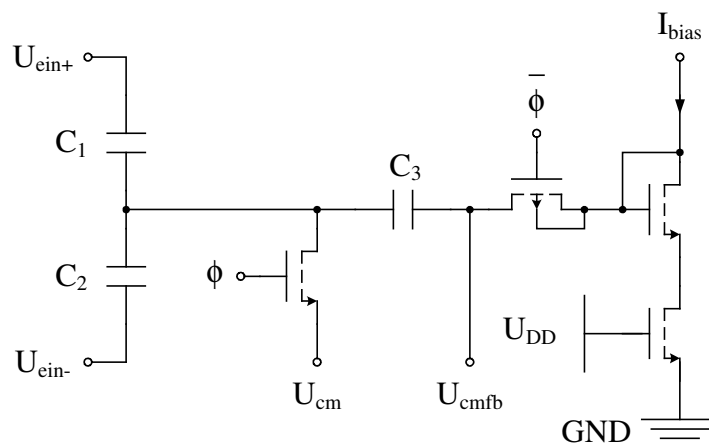


Abbildung 5.23: CMFB für den verwendeten SOA



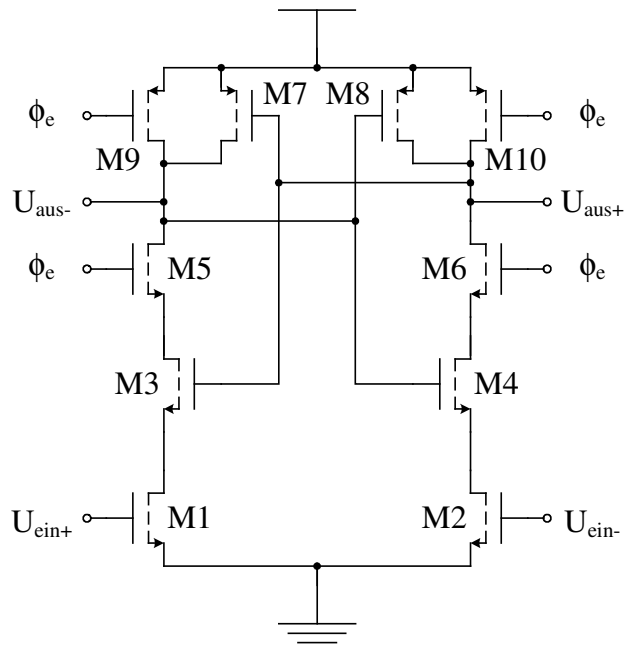


Abbildung 5.24: Regenerativer Komparator

Ein differentielles Signal sieht eine hohe Lastimpedanz, da das  $g_m$  der Transistoren M10 und M11 durch das  $g_m$  der kreuzgekoppelten Transistoren M8 und M9 eliminiert wird. Da für Gleichtaktsignale die Impedanz niedrig ist, ist kein Common-Mode Feedback für die erste Stufe notwendig. Die Kompensationskondensatoren sind an den Kaskoden-Knoten angeschlossen, um ein schnelleres Einschwingen als bei der Miller-Kompensation zu erreichen. [57]

Für die benötigte Gleichtaktregelung („Common-Mode Feedback“) wird in dieser Arbeit die Anordnung aus Abbildung 5.23 vorgeschlagen. In der Phase  $\phi$  werden die Kondensatoren  $C_1$  und  $C_2$  entladen, da die Ausgänge von S&H-Stufe und Multiplizierstufe in dieser Phase auf  $U_{cm}$  gelegt werden, und der Kondensator  $C_3$  wird auf die Differenz von  $U_{cm}$  und der Bias-Spannung, welche ungefähr im Verstärker anliegen sollte, aufgeladen. In Phase  $\bar{\phi}$  ist der Knoten  $U_{cmfb}$  hochohmig und reagiert auf den Common Mode des Eingangs durch den kapazitiven Spannungsteiler von  $C_1$  und  $C_2$ . Fällt der Common Mode am Eingang höher als  $U_{cm}$  aus, so steigt  $U_{cmfb}$  über die Biasspannung hinaus und umgekehrt sinkt  $U_{cmfb}$ .

Als Komparator wurde ein dynamisches Latch aus [42] verwendet (siehe Abbildung 5.24), welches sich über einen Takt regenerieren lässt. Dieser Takt muss früher als der SC-Takt der restlichen Schaltung kommen, damit die zu vergleichende Spannung  $U_{compin}$  nicht bereits zurückgesetzt wird, aber auch erst, wenn der Einschwingvorgang abgeschlossen ist. In einem solchen Komparator fließt nur im Umschaltzeitpunkt ein Querstrom.

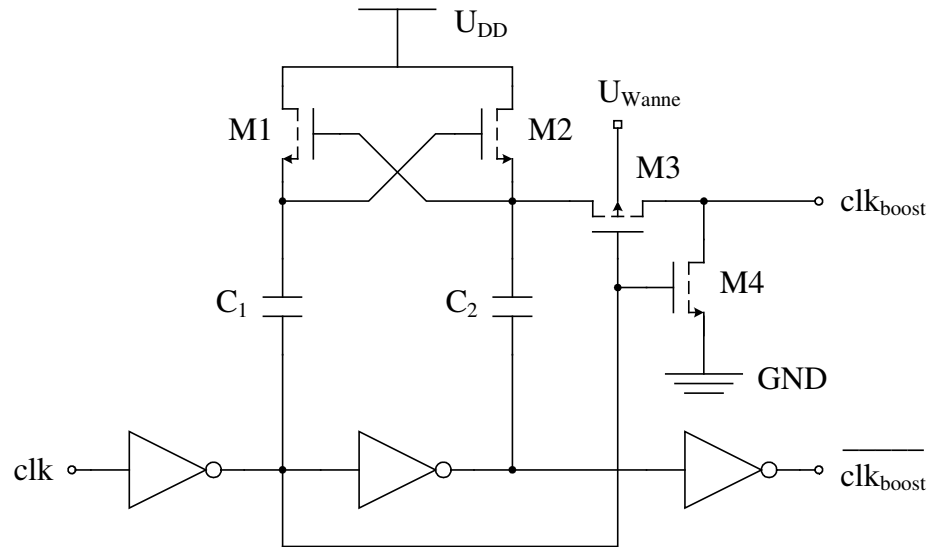


Abbildung 5.25: Clock Booster

Der SC-Takt wird mit einer Art RS-Flipflop mit mehreren hintereinander geschalteten NANDs realisiert, wodurch eine Verzögerung und damit eine Nichtüberlappung erzeugt wird. Der verbotene Zustand wird nicht erreicht, da der Takt zum einen invertiert und zum anderen nicht invertiert anliegt. Die Ausgänge bilden die beiden nichtüberlappenden Phasen, und die Takte, welche zeitlich früher kommen sollen, werden zwischen den NANDs abgegriffen.

Für die Zielapplikation von medizinischen Implantaten ist durch den Batteriebetrieb oder Transpondereinsatz der Betrieb mit niedriger Versorgungsspannung erforderlich. Da die Steuersignale höchstens die Versorgungsspannung annehmen können, ist je nach Schwellenspannung und anliegendem Signal ein hinreichend niedriger On-Widerstand nicht mehr gewährleistet. Um diese Problematik zu überwinden sind Techniken wie Ladungspumpe („Charge Pump“), Bootstrapping oder Clock Boosting anwendbar. Hier wurde die Methode des Clock Boostings für jedes Steuersignal gewählt, da schon nach einem Taktzyklus eine Erhöhung der Steuersignale erfolgt. Der Clock-Booster aus Abbildung 5.25 wurde wie in [42] realisiert.

Ist der Eingang clk auf niedrigem Pegel, so leitet Transistor M2 und Kondensator C<sub>2</sub> wird auf nahezu U<sub>DD</sub> aufgeladen, zudem sperrt Transistor M3. Der Ausgang clk<sub>boost</sub> wird über M4 zu Masse gezogen. Der invertierte Ausgang nimmt die Betriebsspannung an. Wechselt der Eingang auf hohen Pegel, so sperrt M2 und M1 leitet, so dass C<sub>1</sub> auf nahezu U<sub>DD</sub> geladen wird. Dies garantiert ein Durchschalten von M2 im nächsten Taktzyklus. Das an C<sub>2</sub> anliegende Potenzial beträgt nun nahezu das doppelte von U<sub>DD</sub> und wird über M3 an den positiven Ausgang übergeben, wobei M4 sperrt. Der invertierte Ausgang besitzt den niedrigen

Pegel. Um Ladungsverluste durch einen leitenden pn-Übergang an M3 zu verhindern, wird

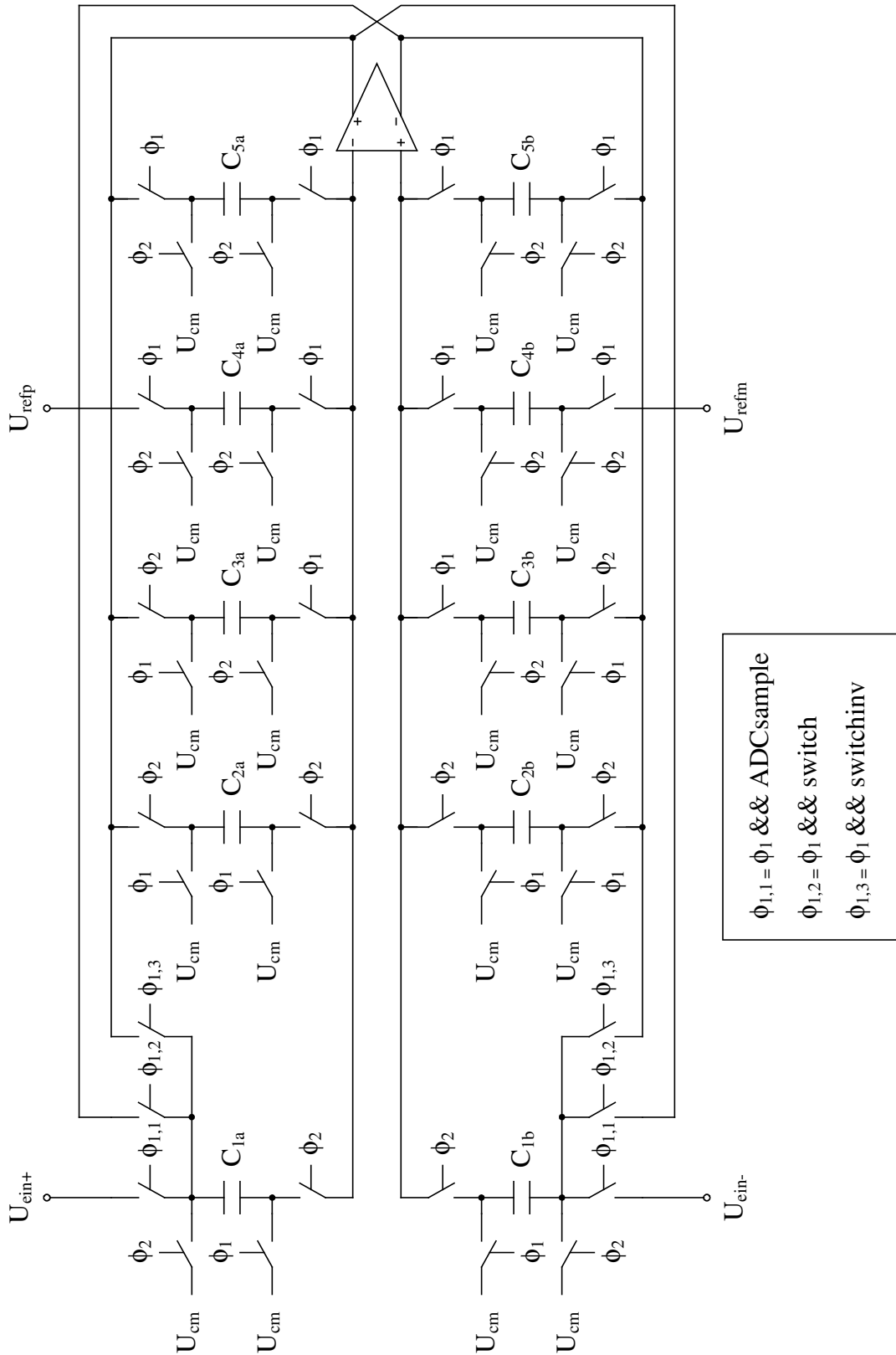


Abbildung 5.26: Kombination aus S&H-Stufe und Multiplizierstufe mit einem Verstärker

das Wannenpotenzial  $U_{\text{Wanne}}$  dieses PMOS durch einen Voltage Doubler, welcher ebenso in [42] zu finden ist, erzeugt.

Zur Erzeugung des Zweier-Komplements aus dem RSD Code wurde die Schaltung aus [58] verwendet. Der größte Anteil des Digitalteils wurde mit der Hardwarebeschreibungssprache Verilog erstellt und mit Synopsys der Schaltplan synthetisiert. Der Code und Schaltplan sind im Anhang C angeführt.

Als eine weitere Variante, um den Stromverbrauch zu senken, wird hier vorgeschlagen, die S&H-Stufe und die Multiplizierstufe zu kombinieren (Abbildung 5.26). Dabei wird ein einziger Verstärker genutzt, welcher in allen Phasen aktiv ist. Dies würde den Stromverbrauch nochmals senken, da in der hier realisierten Variante nur die Ausgangsstufen der zwei SOAs in jeweils einer Phase abgeschaltet werden. Die erste Stufe bleibt für eine schnelle Aktivierung des SOA jederzeit aktiv. Für die in Abbildung 5.26 gezeigte Variante ist auch ein einstufiger Verstärker möglich. Mit diesem ist die Stabilität einfacher erreichbar.

### 5.3.4 C/U-Konverter

Für die Sensorauslese mit einem A/D-Umsetzer, wird ein C/U-Konverter benötigt, der die druckabhängige Sensorkapazität in eine Spannung umwandelt. Die SC-Schaltungstechnik bietet sich hier an, da durch Subtraktion einer Referenzkapazität des Sensors die reine Änderung in der Sensorkapazität verarbeitet wird. Bei einem C/U-Konverter in der SC-Schaltungstechnik ist wiederum der Einsatz der SOA-Technik denkbar. Allerdings ist damit keine Offset Kompensation ohne zusätzliche Phase oder eine CDS-Stufe möglich. In einer weiteren Variante wird eine Offset Kompensation und Reduktion des  $1/f$ -Rauschens quasi durch die Subtraktion zweier Durchläufe durchgeführt. Dies wird in [60] erreicht, indem die Taktphasen invertiert werden und bei jeder Phaseninvertierung der Ausgang abgetastet wird und einem SC Demodulator zugeführt wird. Dies hat jedoch die doppelte Wandlungsdauer zur Folge. In dieser Arbeit wird der C/U-Konverter aus Abbildung 5.27 gewählt, da dieser eine Offset Kompensation in minimaler Wandlungsdauer zur Verfügung stellt.

Der Offset und niederfrequentes Rauschen wird kompensiert, da sowohl in der Taktphase  $\phi_1$  als auch in  $\phi_2$  der jeweilige Offset auf allen Kondensatoren gespeichert und somit voneinander subtrahiert wird. Der Offset und das  $1/f$ -Rauschen kann hier durch eine Spannungsquelle  $U_{\text{os}}$  am Eingang des Verstärkers repräsentiert werden. Eine Untersuchung des  $1/f$ -Rauschens sowie des weißen Rauschens wird in Kapitel 5.4 vorgenommen.

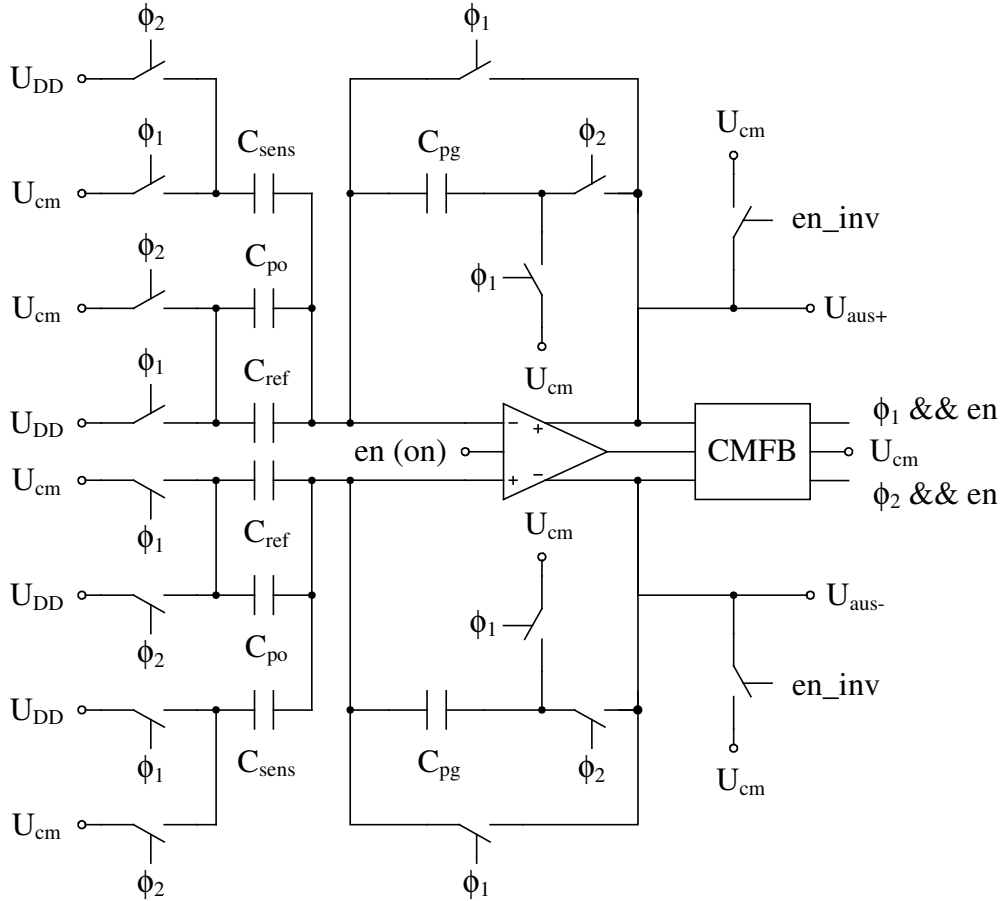
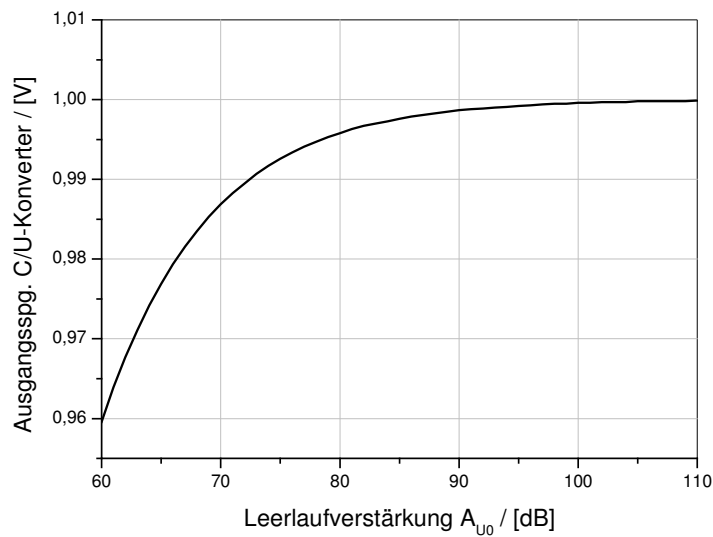


Abbildung 5.27: C/U-Konverter

Die Sensorkondensatoren und die Referenzkondensatoren besitzen, wie in Kapitel 5.2 beschrieben, zwei parasitäre Kondensatoren. Die parasitäre Kapazität aufgrund der Raumladungszone des pn-Überganges  $C_{\text{par,pn}}$  ist niederohmig angeschlossen und hat somit kaum Einfluss. Die Auflagekapazität  $C_{\text{par,a}}$  ist am hochohmigen Eingang des Verstärkers angeschlossen und hat einen negativen Einfluss auf das Rauschen und den Einschwingvorgang. Unter der Annahme einer endlichen Leerlaufverstärkung  $A_{U0}$  des verwendeten Verstärkers und symmetrischen Kapazitäten, ergibt sich für die Ausgangsspannung

$$\begin{aligned}
 U_{\text{aus}}(\phi_2) = & 2 \cdot (U_{\text{DD}} - U_{\text{cm}}) \cdot \frac{C_{\text{ref}} + C_{\text{po}} - C_{\text{sens}}}{C_{\text{pg}} + \frac{C_{\text{sens}} + C_{\text{ref}} + C_{\text{po}} + C_{\text{pg}} + 2 \cdot C_{\text{par,a}}}{A_{U0}}} \\
 & + (U_{\text{os}}(\phi_2) - U_{\text{os}}(\phi_1)) \cdot \frac{C_{\text{sens}} + C_{\text{ref}} + C_{\text{po}} + C_{\text{pg}} + 2 \cdot C_{\text{par,a}}}{C_{\text{pg}} + \frac{C_{\text{sens}} + C_{\text{ref}} + C_{\text{po}} + C_{\text{pg}} + 2 \cdot C_{\text{par,a}}}{A_{U0}}} . \quad (\text{Gl. 5.46})
 \end{aligned}$$



**Abbildung 5.28:** Ausgangsspannung des C/U-Konverters bei minimalem Druck (Sollwert 1V) über der Leerlaufverstärkung  $A_{U0}$

Es ist zu erkennen, dass die Differenz des Offset und auch des niederfrequenten Rauschanteils aus den beiden Phasen mit den parasitären Kapazitäten multipliziert und somit verstärkt wird. Die Kapazitäten  $C_{pg}$  und  $C_{po}$  dienen dazu, die Steigung und den Nulldurchgang der Übertragungsfunktion des C/U-Konverters einzustellen.

Im folgenden Kapitel wird der Einfluss der Taktfrequenz, mit welcher der C/U-Konverter betrieben wird, auf das 1/f-Rauschen untersucht. Dabei wird darauf eingegangen, ob sich ein schnelleres Wandeln als mit der Abtastrate positiv auf das Rauschen auswirkt. Um den Stromverbrauch gering zu halten, wird der Verstärker in nicht benötigten Phasen abgeschaltet. Der Folded-Cascode OTA bietet eine hohe Geschwindigkeit und die Verstärkung kann mit „Gain Boosting“ erhöht werden. Eine hohe Verstärkung ist wichtig, um den Ausgangswert mit der geforderten Genauigkeit zu erreichen. In Abbildung 5.28 ist die maximale Ausgangsspannung des C/U-Konverters, welche hier 1 V betragen soll, über der Leerlaufverstärkung  $A_{U0}$  des Operationsverstärkers bei minimalem Druck aufgetragen. Bei 11 Bit Genauigkeit sind mindestens 104 dB Leerlaufverstärkung notwendig.

Der verwendete Folded-Cascode OTA ist in Abbildung 5.29 zu sehen. Dieser ist durch Deaktivieren des Signals  $\phi$  komplett abschaltbar, indem die Biasstromquellen M4, M6 und M7 mit Transistor M5 abgeschnürt werden, und die unteren Stromzweige mit M14 und M15 gesperrt werden. Die beiden Hilfsverstärker zur Erhöhung des Ausgangswiderstandes  $A_{Uhl}$

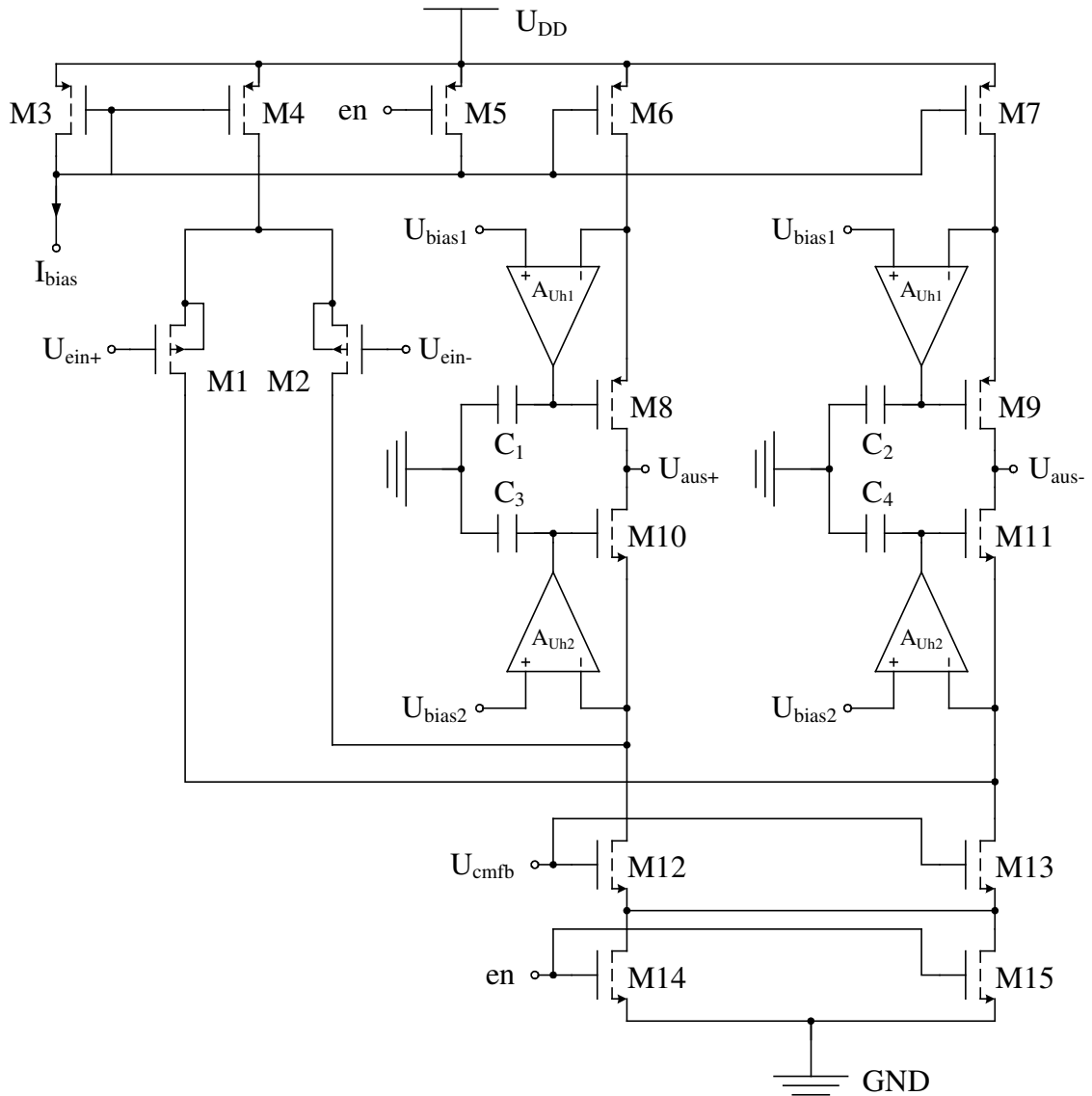


Abbildung 5.29: Deaktivierbarer Folded-Cascode OTA mit Gain Boosting

und  $A_{Uh2}$  sind mit einfachen „Push-Pull“ Verstärkern aus [37] mit NMOS bzw. PMOS Eingangsstufe realisiert. Als Common-Mode Feedback CMFB wird das Switched-Capacitor CMFB aus [3] verwendet. Dieses benötigt ein paar Taktzyklen bis die Ausgänge des Verstärkers auf den richtigen Common-Mode geregelt sind, und es darf bei ausgeschaltetem Verstärker nicht betrieben werden, da dann die Ausgänge des Verstärkers auf ein festes Potenzial gelegt werden.

## 5.4 Rauschbetrachtung

In diesem Kapitel wird eine Rauschbetrachtung für ausgewählte Komponenten durchgeführt. Da die Kapazitätsauslese nach dem Oszillatorprinzip eine schlechte Leistungseffizienz

aufweist, wie Kapitel 5.3.1 und die Simulations- bzw. Messergebnisse des nächsten Kapitels zeigen, wird auf eine nähere Betrachtung verzichtet. Untersucht werden hingegen der SAR-ADU, der zyklische ADU und der C/U-Konverter.

## 5.4.1 SAR-ADU

Im Kapitel über die geeignete Wahl der ADU-Systemarchitektur wurde bereits eine Abschätzung des Rauschens aufgrund der Schalterwiderstände vorgenommen. Der Anteil des abgetasteten Rauschens der Schalterwiderstände auf den Ausgang des DAU bezogen lautet demnach

$$u_{\text{nausDAU, Schalter}}^{-2} = \frac{k_B \cdot T_{\text{emp}}}{C} \cdot \left[ 2^{\left(1 - \frac{B}{2}\right)} - 2^{-\frac{3 \cdot B}{2}} \right]. \quad (\text{Gl. 5.47})$$

Da die Sample&Hold Stufe in dem kapazitiven DAU integriert ist, entfällt hier das Rauschen dieser zusätzlichen Stufe. Die Ergebnisse der einzelnen Rauschspannungsquadrate mit den Werten des realisierten SAR ADUs sind in Anhang B.5 angeführt.

An dieser Stelle wird das Rauschen des Komparators hinzugezogen. Wie in Abbildung 5.13 zu sehen, wird der Komparator mit „Auto-Zero“ Technik verwendet, und reduziert somit das 1/f-Rauschen und den Offset des Komparators. Im folgenden wird die Zeit, in welcher der erste Inverter kurzgeschlossen ist, als  $t_1$  und die Zeit bei geöffnetem Schalter mit  $t_2$  bezeichnet. Damit ergibt sich für die Spannung am Eingang des Komparators

$$\begin{aligned} U_{\text{einKomp}}(t_2) &= U_{\text{ref}}(t_2) - U_C(t_1) - U_{\text{neinK}}(t_2) - U_{\text{offset}} \\ &= U_{\text{ref}}(t_2) - [U_{\text{ein}}(t_1) - U_M - U_{\text{offset}} - U_{\text{neinK}}(t_1)] \\ &\quad - U_{\text{neinK}}(t_2) - U_{\text{offset}} \\ &= U_{\text{ref}}(t_2) - U_{\text{ein}}(t_1) + U_M + U_{\text{neinK}}(t_1) - U_{\text{neinK}}(t_2) \end{aligned} \quad (\text{Gl. 5.48})$$

Dabei sind  $U_{\text{ref}}$  die Referenzspannung sowie  $U_{\text{ein}}$  die Eingangsspannung am Kondensatorarray,  $U_C$  die Spannung über dem Kondensatorarray,  $U_M$  die Mittenspannung am kurzgeschlossenen Inverter,  $U_{\text{offset}}$  die Offsetspannung des Komparators und  $U_{\text{neinK}}$  die momentane eingangsbezogene Rauschspannung des Komparators. Mit der z-Transformation resultiert die Übertragungsfunktion vom eingangsbezogenen Rauschen des Komparators zur Eingangsspannung vom Komparator:

$$H_{\text{nK}}(z) = \frac{U_{\text{einKomp}}(z)}{U_{\text{neinK}}(z)} = z^{-1} - 1. \quad (\text{Gl. 5.49})$$



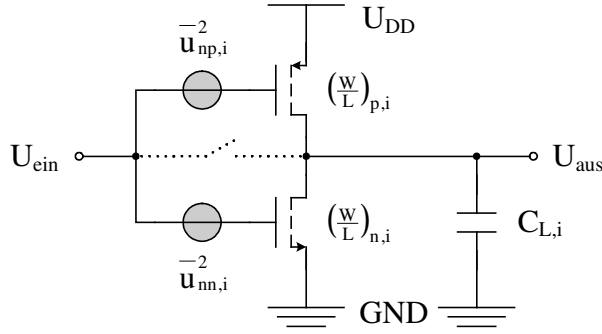


Abbildung 5.30: Der i-te Inverter des Komparators mit Rauschquellen

Ein Inverter mit den Rauschspannungsquadraten ist in Abbildung 5.30 dargestellt, wobei der erste Inverter kurzgeschlossen wird, wenn die Eingangsspannung abgetastet wird.

Die gesamte Lastkapazität des i-ten Inverters

$$C_{L,i} = C_{dbn,i} + C_{dbp,i} + C_{dsn,i} + C_{dsp,i} + C_{Lsonst,i} \quad (\text{Gl. 5.50})$$

ist die Summe aus den Drain-Bulk und Drain-Source Kapazitäten sowie der sonstigen Lastkapazität. Die Lastkapazität  $C_{Lsonst,i}$  setzt sich aus den Gate-Source Kapazitäten des nachfolgenden Inverters, und im Fall des kurzgeschlossenen Inverters aus der gesamten Kapazität des Kondensatorarrays zusammen.

Unter Vernachlässigung der Miller-Kapazitäten  $C_{gdn}$  und  $C_{gdp}$  ergibt sich die Übertragungsfunktion des i-ten Inverters mit einer Polstelle:

$$H_{Inv,i}(s) = \frac{U_{aus}(s)}{U_{ein}(s)} = \frac{-(g_{mn,i} + g_{mp,i})}{g_{dsn,i} + g_{dsp,i} + s \cdot C_{L,i}}. \quad (\text{Gl. 5.51})$$

Dabei gibt  $g_{dsn,i}$  den Ausgangsleitwert des NMOS vom i-ten Inverter an, und  $g_{dsp,i}$  den Ausgangsleitwert des PMOS vom i-ten Inverter. Für die Transkonduktanz  $g_m$  gilt eine entsprechende Nomenklatur.

Für den Fall des kurzgeschlossenen, ersten Inverters besitzen die eingangsbezogenen Rauschspannungen folgende Übertragungsfunktionen zum Ausgang des Inverters

$$H_{nn,1}(s) = \frac{U_{aus}(s)}{U_{nn,1}(s)} = \frac{(g_{mn,1})}{g_{mn,1} + g_{mp,1} + g_{dsn,1} + g_{dsp,1} + s \cdot C_{L,1}}, \quad (\text{Gl. 5.52})$$

$$H_{np,1}(s) = \frac{U_{aus}(s)}{U_{np,1}(s)} = \frac{(g_{mp,1})}{g_{mn,1} + g_{mp,1} + g_{dsn,1} + g_{dsp,1} + s \cdot C_{L,1}}. \quad (\text{Gl. 5.53})$$

Für die Inverter 2 und 3 lauten die Rauschübertragungsfunktionen zum Ausgang des i-ten Inverters

$$H_{nn,i}(s) = \frac{U_{aus}(s)}{U_{nn,i}(s)} = \frac{(g_{mn,i})}{g_{dsn,i} + g_{dsp,i} + s \cdot C_{L,i}}, \quad (Gl. 5.54)$$

$$H_{np,i}(s) = \frac{U_{aus}(s)}{U_{np,i}(s)} = \frac{(g_{mp,i})}{g_{dsn,i} + g_{dsp,i} + s \cdot C_{L,i}}. \quad (Gl. 5.55)$$

Da das Rauschen im Zeitbereich abgetastet wird, kommt es im Frequenzbereich zu einer Faltung des Rauschspektrums mit Dirac-Impulsen und somit zu „Aliasing“. Dies wird hier zunächst beim thermischen Rauschen durch eine Integration über der gesamten Bandbreite und eine Verteilung des Rauschspannungsquadrates im Basisband berücksichtigt. Mit der Rauschspannungsdichte des thermischen Kanalrauschens aus Kapitel 2.2 ergibt sich am Eingang des Komparators durch den ersten Inverter

$$\begin{aligned} \overline{u_{neinInv1,th}^2} &= \int_0^{f_s/2} \left| H_{nK} \left( z = e^{j2\pi \frac{f}{f_s}} \right) \right|^2 \cdot \frac{2}{f_s} \cdot |H_{nn,1}(0)|^2 \cdot \frac{4 \cdot k_B \cdot T_{emp} \cdot n \cdot \gamma}{g_{mn,1}} \cdot \frac{\omega_{3dB1}}{4} \cdot df \\ &+ \int_0^{f_s/2} \left| H_{nK} \left( z = e^{j2\pi \frac{f}{f_s}} \right) \right|^2 \cdot \frac{2}{f_s} \cdot |H_{np,1}(0)|^2 \cdot \frac{4 \cdot k_B \cdot T_{emp} \cdot n \cdot \gamma}{g_{mp,1}} \cdot \frac{\omega_{3dB1}}{4} \cdot df \\ &= \int_0^{f_s/2} 4 \cdot \left[ \sin \left( \frac{\pi \cdot f}{f_s} \right) \right]^2 \cdot \frac{2}{f_s} \cdot |H_{nn,1}(0)|^2 \cdot \frac{4 \cdot k_B \cdot T_{emp} \cdot n \cdot \gamma}{g_{mn,1}} \cdot \frac{\omega_{3dB1}}{4} \cdot df \\ &+ \int_0^{f_s/2} 4 \cdot \left[ \sin \left( \frac{\pi \cdot f}{f_s} \right) \right]^2 \cdot \frac{2}{f_s} \cdot |H_{np,1}(0)|^2 \cdot \frac{4 \cdot k_B \cdot T_{emp} \cdot n \cdot \gamma}{g_{mp,1}} \cdot \frac{\omega_{3dB1}}{4} \cdot df \\ &= 2 \cdot k_B \cdot T_{emp} \cdot n \cdot \gamma \cdot \omega_{3dB1} \cdot \left( |H_{nn,1}(0)|^2 \cdot \frac{1}{g_{mn,1}} + |H_{np,1}(0)|^2 \cdot \frac{1}{g_{mp,1}} \right) \end{aligned} \quad (Gl. 5.56)$$

Dabei wurde das weiße Rauschen mit Hilfe der äquivalenten Rauschbandbreite des Inverters, also mit einem Viertel der 3dB-Eckfrequenz

$$\omega_{3dB1} = \frac{g_{mn,1} + g_{mp,1} + g_{dsn,1} + g_{dsp,1}}{C_{L,1}} \quad (Gl. 5.57)$$

berechnet, und als Rauschspannungsdichte im Basisband verteilt. Diese Dichte enthält die Anteile durch „Aliasing“ und wird durch die z-Übertragungsfunktion  $H_{nK}$  geformt.

Für die Inverter 2 und 3 ergeben sich die Rauschspannungen am Eingang des Komparators durch thermisches Rauschen:

$$\begin{aligned}
 u_{\text{neinInv } 2, \text{th}}^{-2} &= \int_0^{f_s/2} \left| H_{\text{nK}} \left( z = e^{j \cdot 2 \cdot \pi \cdot \frac{f}{f_s}} \right) \right|^2 \cdot \left( \frac{g_{\text{dsn},2} + g_{\text{dsp},2}}{g_{\text{mn},2} + g_{\text{mp},2}} \right)^2 \cdot \frac{2}{f_s} \cdot |H_{\text{nn},2}(0)|^2 \\
 &\quad \cdot \frac{4 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{g_{\text{mn},2}} \cdot \frac{\omega_{3\text{dB}2}}{4} \cdot df \\
 &+ \int_0^{f_s/2} \left| H_{\text{nK}} \left( z = e^{j \cdot 2 \cdot \pi \cdot \frac{f}{f_s}} \right) \right|^2 \cdot \left( \frac{g_{\text{dsn},2} + g_{\text{dsp},2}}{g_{\text{mn},2} + g_{\text{mp},2}} \right)^2 \cdot \frac{2}{f_s} \cdot |H_{\text{np},2}(0)|^2 \\
 &\quad \cdot \frac{4 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{g_{\text{mp},2}} \cdot \frac{\omega_{3\text{dB}2}}{4} \cdot df, \tag{Gl. 5.58} \\
 &= \left( \frac{g_{\text{dsn},2} + g_{\text{dsp},2}}{g_{\text{mn},2} + g_{\text{mp},2}} \right)^2 \cdot 2 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma \cdot \omega_{3\text{dB}2} \\
 &\quad \cdot \left( |H_{\text{nn},2}(0)|^2 \cdot \frac{1}{g_{\text{mn},2}} + |H_{\text{np},2}(0)|^2 \cdot \frac{1}{g_{\text{mp},2}} \right)
 \end{aligned}$$

$$\begin{aligned}
 u_{\text{neinInv } 3, \text{th}}^{-2} &= \int_0^{f_s/2} \left| H_{\text{nK}} \left( z = e^{j \cdot 2 \cdot \pi \cdot \frac{f}{f_s}} \right) \right|^2 \cdot \left( \frac{g_{\text{dsn},2} + g_{\text{dsp},2}}{g_{\text{mn},2} + g_{\text{mp},2}} \right)^2 \cdot \left( \frac{g_{\text{dsn},3} + g_{\text{dsp},3}}{g_{\text{mn},3} + g_{\text{mp},3}} \right)^2 \\
 &\quad \cdot \frac{2}{f_s} \cdot |H_{\text{nn},3}(0)|^2 \cdot \frac{4 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{g_{\text{mn},3}} \cdot \frac{\omega_{3\text{dB}3}}{4} \cdot df \\
 &+ \int_0^{f_s/2} \left| H_{\text{nK}} \left( z = e^{j \cdot 2 \cdot \pi \cdot \frac{f}{f_s}} \right) \right|^2 \cdot \left( \frac{g_{\text{dsn},2} + g_{\text{dsp},2}}{g_{\text{mn},2} + g_{\text{mp},2}} \right)^2 \cdot \left( \frac{g_{\text{dsn},3} + g_{\text{dsp},3}}{g_{\text{mn},3} + g_{\text{mp},3}} \right)^2 \\
 &\quad \cdot \frac{2}{f_s} \cdot |H_{\text{np},3}(0)|^2 \cdot \frac{4 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma}{g_{\text{mp},3}} \cdot \frac{\omega_{3\text{dB}3}}{4} \cdot df, \tag{Gl. 5.59} \\
 &= \left( \frac{g_{\text{dsn},2} + g_{\text{dsp},2}}{g_{\text{mn},2} + g_{\text{mp},2}} \right)^2 \cdot \left( \frac{g_{\text{dsn},3} + g_{\text{dsp},3}}{g_{\text{mn},3} + g_{\text{mp},3}} \right)^2 \cdot 2 \cdot k_B \cdot T_{\text{emp}} \cdot n \cdot \gamma \cdot \omega_{3\text{dB}3} \\
 &\quad \cdot \left( |H_{\text{nn},3}(0)|^2 \cdot \frac{1}{g_{\text{mn},3}} + |H_{\text{np},3}(0)|^2 \cdot \frac{1}{g_{\text{mp},3}} \right)
 \end{aligned}$$

Dabei lauten die 3dB-Eckfrequenzen der Inverter 2 und 3

$$\omega_{3\text{dB}i} = \frac{g_{\text{dsn},i} + g_{\text{dsp},i}}{C_{L,i}}. \tag{Gl. 5.60}$$

Weiterhin ist dabei die Rauschleistungsdichte durch Division mit dem Betrag der Übertragungsfunktion des i-ten Inverters bei der Frequenz Null  $H_{\text{inv},i}(0)$  zum Quadrat auf den Eingang des Komparators bezogen worden.

Beim 1/f-Rauschen werden die Anteile der Rauschspannungsdichte im Basisband durch „Aliasing“ mit steigender Taktfrequenz immer geringer. Nach [62] kann die Summe der

Seitenbänder im Basisband durch einen konstanten Faktor  $\alpha$ , welcher von der Taktfrequenz abhängt, abgeschätzt werden

$$\frac{\overline{u}_{ni,1/f}^{-2}}{\Delta f} = \frac{K_{fi}}{C_{ox}^2 \cdot W_i \cdot L_i} \cdot \left( \frac{1}{f} + \alpha \right). \quad (\text{Gl. 5.61})$$

Der Anteil des 1/f-Rauschens vom ersten Inverter am Eingang des Komparators ergibt sich damit zu

$$\begin{aligned} \overline{u}_{neinInv1,1/f}^{-2} &= \int_0^{f_s/2} \left| H_{nK} \left( z = e^{j \cdot 2 \cdot \pi \cdot \frac{f}{f_s}} \right) \right|^2 \cdot |H_{nn,1}(s = j \cdot 2 \cdot \pi \cdot f)|^2 \\ &\cdot \frac{K_{fn}}{C_{ox}^2 \cdot W_{n1} \cdot L_{n1}} \cdot \left( \frac{1}{f} + \alpha \right) \cdot df \\ &+ \int_0^{f_s/2} \left| H_{nK} \left( z = e^{j \cdot 2 \cdot \pi \cdot \frac{f}{f_s}} \right) \right|^2 \cdot |H_{np,1}(s = j \cdot 2 \cdot \pi \cdot f)|^2 \\ &\cdot \frac{K_{fp}}{C_{ox}^2 \cdot W_{p1} \cdot L_{p1}} \cdot \left( \frac{1}{f} + \alpha \right) \cdot df. \end{aligned} \quad (\text{Gl. 5.62})$$

Für die Inverter 2 und 3 lauten die Rauschspannungsquadrate am Eingang des Komparators dementsprechend:

$$\begin{aligned} \overline{u}_{neinInv2,1/f}^{-2} &= \int_0^{f_s/2} \left| H_{nK} \left( z = e^{j \cdot 2 \cdot \pi \cdot \frac{f}{f_s}} \right) \right|^2 \cdot \left( \frac{g_{dsn,2} + g_{dsp,2}}{g_{mn,2} + g_{mp,2}} \right)^2 \cdot |H_{nn,2}(s = j \cdot 2 \cdot \pi \cdot f)|^2 \\ &\cdot \frac{K_{fn}}{C_{ox}^2 \cdot W_{n2} \cdot L_{n2}} \cdot \left( \frac{1}{f} + \alpha \right) \cdot df \\ &+ \int_0^{f_s/2} \left| H_{nK} \left( z = e^{j \cdot 2 \cdot \pi \cdot \frac{f}{f_s}} \right) \right|^2 \cdot \left( \frac{g_{dsn,2} + g_{dsp,2}}{g_{mn,2} + g_{mp,2}} \right)^2 \cdot |H_{np,2}(s = j \cdot 2 \cdot \pi \cdot f)|^2 \\ &\cdot \frac{K_{fp}}{C_{ox}^2 \cdot W_{p2} \cdot L_{p2}} \cdot \left( \frac{1}{f} + \alpha \right) \cdot df, \end{aligned} \quad (\text{Gl. 5.63})$$

$$\begin{aligned} \overline{u}_{neinInv3,1/f}^{-2} &= \int_0^{f_s/2} \left| H_{nK} \left( z = e^{j \cdot 2 \cdot \pi \cdot \frac{f}{f_s}} \right) \right|^2 \cdot \left( \frac{g_{dsn,2} + g_{dsp,2}}{g_{mn,2} + g_{mp,2}} \right)^2 \cdot \left( \frac{g_{dsn,3} + g_{dsp,3}}{g_{mn,3} + g_{mp,3}} \right)^2 \\ &\cdot |H_{nn,3}(s = j \cdot 2 \cdot \pi \cdot f)|^2 \cdot \frac{K_{fn}}{C_{ox}^2 \cdot W_{n3} \cdot L_{n3}} \cdot \left( \frac{1}{f} + \alpha \right) \cdot df \\ &+ \int_0^{f_s/2} \left| H_{nK} \left( z = e^{j \cdot 2 \cdot \pi \cdot \frac{f}{f_s}} \right) \right|^2 \cdot \left( \frac{g_{dsn,2} + g_{dsp,2}}{g_{mn,2} + g_{mp,2}} \right)^2 \cdot \left( \frac{g_{dsn,3} + g_{dsp,3}}{g_{mn,3} + g_{mp,3}} \right)^2 \\ &\cdot |H_{np,3}(s = j \cdot 2 \cdot \pi \cdot f)|^2 \cdot \frac{K_{fp}}{C_{ox}^2 \cdot W_{p3} \cdot L_{p3}} \cdot \left( \frac{1}{f} + \alpha \right) \cdot df. \end{aligned} \quad (\text{Gl. 5.64})$$

Die Rauschspannungsquadrate werden auf den Eingang des ADUs bezogen und für die Entscheidungen der einzelnen Bits gewichtet. Das gesamte, auf den Eingang bezogene Rauschspannungsquadrat berechnet sich somit zu

$$\begin{aligned} \bar{u}_{\text{nein,ges}}^{-2} &= \left( \bar{u}_{\text{nausDAU,Schalter}}^{-2} + \sum_{i=1}^3 \bar{u}_{\text{neinInvi,th}}^{-2} + \sum_{i=1}^3 \bar{u}_{\text{neinInvi,1/f}}^{-2} \right) \cdot \sum_{i=0}^{B-1} 2^{(-i)} \\ &= \left( \bar{u}_{\text{nausDAU,Schalter}}^{-2} + \sum_{i=1}^3 \bar{u}_{\text{neinInvi,th}}^{-2} + \sum_{i=1}^3 \bar{u}_{\text{neinInvi,1/f}}^{-2} \right) \cdot (2 - 2^{(1-B)}) \end{aligned} \quad (\text{Gl. 5.65})$$

In der realisierten Variante des SAR-ADUs werden drei gleich dimensionierte Inverter verwendet. Mit den Parametern des SAR ADUs in der verwendeten Technologie, welche in Anhang B.4 aufgelistet sind, lässt sich das äquivalente Rauschspannungsquadrat am Eingang des SAR-ADUs bestimmen. Dort sind auch die 1/f-Rauschkonstanten für einen NMOS  $K_{\text{fn}}$  und für einen PMOS  $K_{\text{fp}}$  angegeben. Da allerdings keine Werte der Rauschkonstanten für die verwendete Technologie vorhanden sind, wurden hier die Werte aus [53] gewählt. Die von der Taktfrequenz abhängige Konstante  $\alpha$  ist aus [62] entnommen.

Für ein sinusförmiges Eingangssignal mit einer Amplitude in Höhe des halben Eingangsspannungsbereichs  $U_{\text{pp}}$  ergibt sich das maximale SNR zu

$$\text{SNR}_{\text{dB}} = 10 \cdot \log \left( \frac{\frac{U_{\text{pp}}^2}{8}}{\bar{u}_{\text{nein,ges}}^{-2}} \right). \quad (\text{Gl. 5.66})$$

Als Ergebnis für das Signal-zu-Rausch Verhältnis resultiert für den realisierten 10 Bit SAR-ADU ein Wert von etwa 66,7 dB. Dies entspricht nach

$$B_{\text{max}} = \frac{\text{SNR}_{\text{dB}} - 1,76}{6,02} \quad (\text{Gl. 5.67})$$

ungefähr 10,8 Bit möglicher Auflösung, wenn das Rauschen die einzige Nichtidealität darstellt. Allerdings erlaubt die gewählte Architektur höchstens 10 Bit Auflösung. Die effektive Anzahl an Bits wird weiterhin durch die Linearität des ADUs bestimmt. Die Nichtlinearität hat idealerweise Werte kleiner als ein halbes LSB („least significant bit“). Die Messergebnisse der Nichtlinearität von den gefertigten ADUs werden in Kapitel 6 vorgestellt.

## 5.4.2 Zyklischer ADU

Zunächst wird hier das Rauschen der Schalterwiderstände berücksichtigt. Aufgrund des schnelleren Einschwingens in der Sample&Hold Stufe, bei gleichem SOA wie in der Multiplizierstufe, wurden in der Sample&Hold Stufe die Kondensatoren  $C_{\text{SH}} = 2 \cdot C$  doppelt

so groß wie in der Multiplizierstufe  $C_{X2} = C$  gewählt, um das kTC-Rauschen zu reduzieren. Demnach ergibt sich nach (B-1) Zyklen am Ausgang der Multiplizierstufe für das abgetastete Rauschen der Schalter:

$$\begin{aligned} \overline{u_{\text{naus,Schalter}}^2} &= \sum_{i=1}^{B-1} 2^{2i} \cdot \left( 4 \cdot \frac{k_B \cdot T_{\text{emp}}}{C_{\text{SH}}} + 4 \cdot \frac{k_B \cdot T_{\text{emp}}}{C_{\text{SH}}} + 4 \cdot \frac{k_B \cdot T_{\text{emp}}}{2 \cdot C_{X2}} \right) \\ &\quad + \sum_{i=0}^{B-2} 2^{2i} \cdot \left( 4 \cdot \frac{k_B \cdot T_{\text{emp}}}{C_{X2}} + 4 \cdot \frac{k_B \cdot T_{\text{emp}}}{C_{X2}} \right) \\ &= \frac{k_B \cdot T_{\text{emp}}}{3 \cdot C} \cdot (8 \cdot 4^B - 32) \end{aligned} \quad (\text{Gl. 5.68})$$

Die Werte der einzelnen Rauschspannungsquadrate sind in Anhang C.5 gegeben. Im folgenden wird der Beitrag des Rauschens des SOAs aus Abbildung 5.22 hergeleitet. Dieser SOA ist zweistufig, um die zweite Stufe abschaltbar zu machen und um die erste Stufe im Dauerbetrieb zu nutzen, damit ein schnelles Einschwingen beim Anschalten erreicht wird. Die eingangsbezogene Rauschspannungsdichte der ersten Stufe ist gegeben durch

$$\frac{\overline{u_{\text{nSOA,St1}}^2}}{\Delta f} = 2 \cdot \left( \frac{\overline{u_{n1}^2}}{\Delta f} + \frac{g_{m5}^2}{g_{m1}^2} \cdot \frac{\overline{u_{n5}^2}}{\Delta f} + \frac{g_{m7}^2}{g_{m1}^2} \cdot \frac{\overline{u_{n7}^2}}{\Delta f} + \frac{g_{m9}^2}{g_{m1}^2} \cdot \frac{\overline{u_{n9}^2}}{\Delta f} + \frac{g_{m11}^2}{g_{m1}^2} \cdot \frac{\overline{u_{n11}^2}}{\Delta f} \right). \quad (\text{Gl. 5.69})$$

Ebenso kann die Rauschspannungsdichte der zweiten Stufe, auf deren Eingang bezogen, angegeben werden:

$$\frac{\overline{u_{\text{nSOA,St2}}^2}}{\Delta f} = 2 \cdot \left( \frac{\overline{u_{n15}^2}}{\Delta f} + \frac{g_{m13}^2}{g_{m15}^2} \cdot \frac{\overline{u_{n13}^2}}{\Delta f} \right). \quad (\text{Gl. 5.70})$$

Das Ersatzschaltbild eines zweistufigen Verstärkers, wie es in [98] beschrieben wird, ist in Abbildung 5.31, mit den eingangsbezogenen Rauschquellen der jeweiligen Stufe, dargestellt. Die Kapazität  $C_2' = C_2 + C_L$  setzt sich aus der Lastkapazität der zweiten Stufe  $C_2$  und der

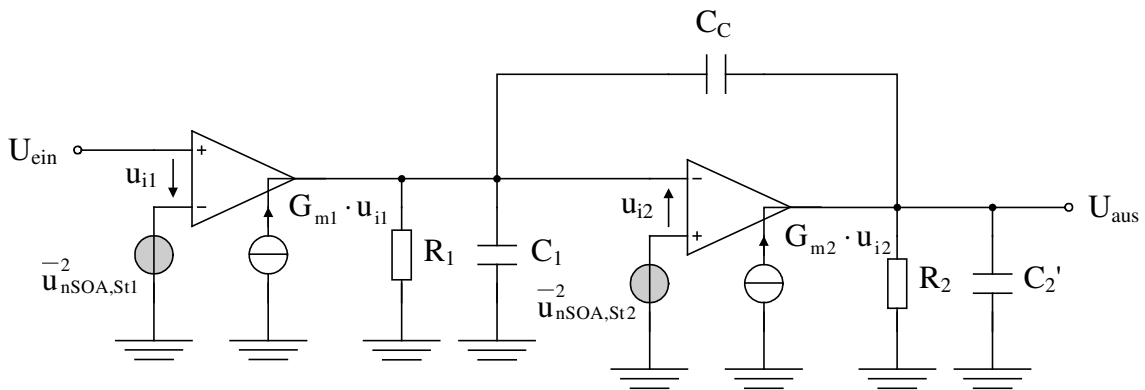


Abbildung 5.31: Ersatzschaltbild eines zweistufigen Verstärkers mit Rauschquellen

sonstigen Lastkapazität  $C_L$  durch die äußere Beschaltung zusammen. Die Leerlaufverstärkung der ersten Stufe ist  $A_{U1} = G_{m1} \cdot R_1$ , und der zweiten Stufe dementsprechend  $A_{U2} = G_{m2} \cdot R_2$ . Für den verwendeten Verstärker aus Abbildung 5.22 gilt für den Ausgangswiderstand der ersten Stufe

$$R_1 = \{(r_{ds9} \parallel r_{ds11}) \parallel [r_{ds7} + (1 + g_{m7} \cdot r_{ds7}) \cdot (r_{ds1} \parallel r_{ds5})]\}. \quad (\text{Gl. 5.71})$$

Dabei wurde berücksichtigt, dass die Kreuzkopplung nach [57] die Transkonduktanz der Transistoren M8 und M9 eliminiert. Nach [2] ist die Transkonduktanz der ersten Stufe  $G_{m1}$  ungefähr gleich der Transkonduktanz der Eingangstransistoren, also gleich  $g_{m1}$ . Die zweite Stufe besitzt den Ausgangswiderstand

$$R_2 = (r_{ds13} \parallel r_{ds15}) \quad (\text{Gl. 5.72})$$

und die Transkonduktanz  $G_{m2} = g_{m15}$ . Die Gesamtverstärkung des SOAs ergibt sich zu  $A_{U0} = A_{U1} \cdot A_{U2}$ .

Die momentanen Rauschspannungen  $u_{n\text{SOA},St1}$  und  $u_{n\text{SOA},St2}$  haben unter den Annahmen  $C_C \gg C_1$ ,  $C_L \gg C_1$  und  $C_L \gg C_2$  folgende Übertragungsfunktionen zum Ausgang des Verstärkers:

$$\begin{aligned} H_{n\text{SOA},St1}(s) &= \frac{U_{\text{aus}}(s)}{U_{n\text{SOA},St1}(s)} \\ &= \frac{A_{U0} \left(1 - \frac{sC_C}{G_{m2}}\right)}{1 + s \left[ C_C \frac{A_{U0}}{G_{m1}} + R_1 C_C + R_2 (C_C + C_L) \right] + s^2 R_1 R_2 C_L C_C}, \end{aligned} \quad (\text{Gl. 5.73})$$

$$\begin{aligned} H_{n\text{SOA},St2}(s) &= \frac{U_{\text{aus}}(s)}{U_{n\text{SOA},St2}(s)} \\ &= \frac{A_{U2} (1 + sR_1 C_C)}{1 + s \left[ C_C \frac{A_{U0}}{G_{m1}} + R_1 C_C + R_2 (C_C + C_L) \right] + s^2 R_1 R_2 C_L C_C}. \end{aligned} \quad (\text{Gl. 5.74})$$

Mit den Annahmen  $R_1 \gg 1/G_{m2}$  und  $R_2 \gg 1/G_{m2}$  ergeben sich die beiden Pole von der ersten und zweiten Stufe zu

$$\omega_{\text{Pol1}} \approx -\frac{1}{G_{m2} \cdot R_1 \cdot R_2 \cdot C_C}, \quad (\text{Gl. 5.75})$$

$$\omega_{\text{Pol2}} \approx -\frac{G_{m2}}{C_L}. \quad (\text{Gl. 5.76})$$

Zudem hat die erste Stufe eine Nullstelle bei

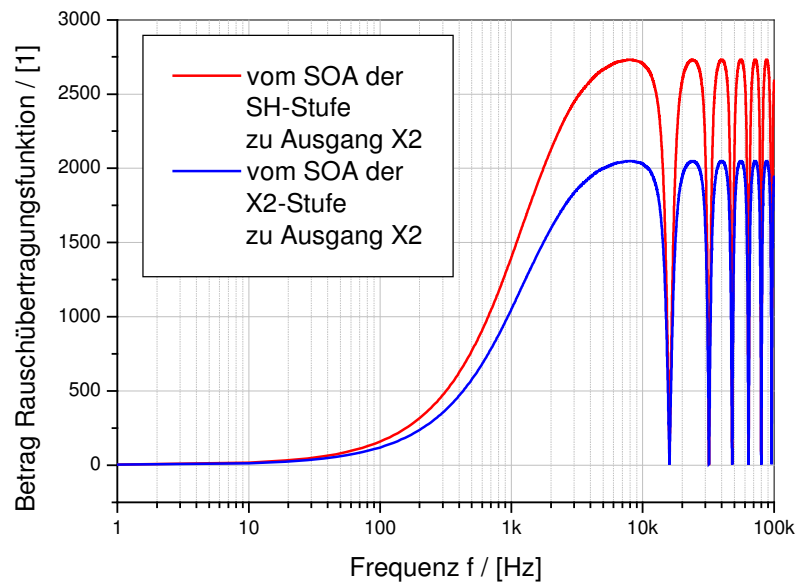
$$\omega_{\text{NST,St1}} \approx \frac{G_{m2}}{C_C} \quad (\text{Gl. 5.77})$$

und die zweite Stufe eine Nullstelle bei

$$\omega_{\text{NST,St2}} \approx -\frac{1}{R_1 \cdot C_C}. \quad (\text{Gl. 5.78})$$

Da  $|\omega_{\text{NST,St1}}| > |\omega_{\text{Pol2}}|$  gilt, kann bei der Rauschübertragungsfunktion der ersten Stufe für weißes Rauschen die äquivalente Rauschbandbreite mit  $\omega_{\text{Pol1}}$  bestimmt werden. Im Gegensatz dazu gilt  $|\omega_{\text{Pol1}}| < |\omega_{\text{NST,St2}}| < |\omega_{\text{Pol2}}|$  bei der Rauschübertragungsfunktion von Stufe 2, so dass der erste Pol von der Nullstelle kompensiert wird. Somit kann  $\omega_{\text{Pol2}}$  als „worst case“ Abschätzung zur Bestimmung der äquivalenten Rauschbandbreite für weißes Rauschen herangezogen werden.

Im folgenden werden die Verstärker im Einsatz in der Sample&Hold Stufe und Multiplizierstufe des zyklischen ADUs betrachtet. Die eingangsbezogene Rauschspannung des SOAs in der Sample&Hold Stufe hat im z-Bereich nach  $N_{\text{cycle}}$  Zyklen zum Ausgang der Multiplizierstufe die Übertragungsfunktion



**Abbildung 5.32:** Beträge der Rauschübertragungsfunktionen von den Eingängen der SOAs in der S&H-Stufe  $H_{\text{nSH-X2}}(f)$  und in der Multiplizierstufe  $H_{\text{nX2-X2}}(f)$  zum Ausgang der Multiplizierstufe



$$H_{nSH-X2}(z) = \frac{U_{ausX2}(z)}{U_{neinSOA,SH}(z)} = \sum_{i=0}^{N_{cycle}-2} \left( 2^{i+2} \cdot z^{-\left(i+\frac{1}{2}\right)} \right) - 2^{(N+1)} \cdot z^{-\left(N+\frac{1}{2}\right)} \quad (Gl. 5.79)$$

und für die eingangsbezogene Rauschspannung des SOAs in der Multiplizierstufe

$$H_{nX2-X2}(z) = \frac{U_{ausX2}(z)}{U_{neinSOA,X2}(z)} = \sum_{i=0}^{N_{cycle}-2} \left( 3 \cdot 2^i \cdot z^{-i} \right) - 3 \cdot 2^{(N-1)} \cdot z^{-\left(N+1\right)}. \quad (Gl. 5.80)$$

Aufgrund der einmaligen Invertierung des Eingangs der Sample&Hold Stufe nach dem ersten Zyklus weisen die Übertragungsfunktionen aus (Gl. 5.79) und (Gl. 5.80) eine Hochpasswirkung im Basisband auf und reduzieren das 1/f-Rauschen bzw. den Offset. Die Beträge der Übertragungsfunktionen nach 10 Zyklen sind in Abbildung 5.32 zu sehen.

Wird zunächst das thermische Verstärkerrauschen, dessen Rauschspannungsquadrat über der gesamten Rauschbandbreite ins Basisband runtermischt wird, untersucht, ergibt sich durch den SOA der Sample&Hold Stufe am Ausgang der Multiplizierstufe nach  $N_{cycle}$  Zyklen:

$$\begin{aligned} \overline{u_{nausVerstSH,th}^2} = & \int_0^{f_s/2} \left| H_{nSH-X2} \left( z = e^{j2\pi \frac{f}{f_s}} \right) \right|^2 \cdot \frac{2}{f_s} \cdot \frac{1}{A_{U0}^2} \\ & \cdot \left[ \left| H_{nSOA,St1,SH}(0) \right|^2 \cdot \frac{\overline{u_{nSOA,St1,th}^2}}{\Delta f} \cdot \frac{1}{4 \cdot G_{m2} \cdot R_1 \cdot R_2 \cdot C_{C,SH}} \right. \\ & \left. + \left| H_{nSOA,St2,SH}(0) \right|^2 \cdot \frac{\overline{u_{nSOA,St2,th}^2}}{\Delta f} \cdot \frac{G_{m2}}{4 \cdot C_{L,SH}} \right] \cdot df \end{aligned} \quad (Gl. 5.81)$$

Für das thermische Rauschen des SOAs in der Multiplizierstufe resultiert dementsprechend

$$\begin{aligned} \overline{u_{nausVerstX2,th}^2} = & \int_0^{f_s/2} \left| H_{nX2-X2} \left( z = e^{j2\pi \frac{f}{f_s}} \right) \right|^2 \cdot \frac{2}{f_s} \cdot \frac{1}{A_{U0}^2} \\ & \cdot \left[ \left| H_{nSOA,St1,X2}(0) \right|^2 \cdot \frac{\overline{u_{nSOA,St1,th}^2}}{\Delta f} \cdot \frac{1}{4 \cdot G_{m2} \cdot R_1 \cdot R_2 \cdot C_{C,X2}} \right. \\ & \left. + \left| H_{nSOA,St2,X2}(0) \right|^2 \cdot \frac{\overline{u_{nSOA,St2,th}^2}}{\Delta f} \cdot \frac{G_{m2}}{4 \cdot C_{L,X2}} \right] \cdot df \end{aligned} \quad (Gl. 5.82)$$

Dabei ist  $C_{L,SH}$  die Lastkapazität, mit welcher der SOA in der Sample&Hold Stufe verschaltet ist, und  $C_{L,X2}$  die Lastkapazität in der Multiplizierstufe. Entsprechendes gilt für die Frequenzkompensationskapazität  $C_C$ . Weiterhin wurde die Rauschspannungsdichte des thermischen Kanalrauschens der einzelnen Transistoren

$$\frac{\overline{u_{ni,th}^2}}{\Delta f} = \frac{4 \cdot k_B \cdot T_{emp} \cdot n \cdot \gamma}{g_{mi}} \quad (Gl. 5.83)$$

in die eingangsbezogenen Rauschspannungsdichten aus (Gl. 5.69) und (Gl. 5.70) eingesetzt. Die thermischen eingangsbezogenen Rauschspannungsdichten der einzelnen Stufen lauten dann  $\bar{u}_{\text{nSOA,St1,th}}^{-2}/\Delta f$  und  $\bar{u}_{\text{nSOA,St2,th}}^{-2}/\Delta f$ . Die Rauschübertragungsfunktionen der Verstärkerstufen (Gl. 5.73) und (Gl. 5.74) sind mit dem Index SH für den Verstärker in der Sample&Hold Stufe und mit dem Index X2 für den Verstärker in der Multiplizierstufe versehen.

Für das 1/f-Rauschen des Verstärkers wird auf die Approximation aus [62] verwiesen, bei der das „Aliasing“ im Basisband durch die Seitenbänder mit einem konstanten Faktor  $\alpha$ , welcher von der Taktfrequenz abhängt, berücksichtigt wird. Die Rauschspannungsdichten der einzelnen Transistoren sind mit (Gl. 5.61) gegeben und die eingangsbezogenen Rauschspannungsdichten der Verstärkerstufen lauten dann mit (Gl. 5.69) und (Gl. 5.70)  $\bar{u}_{\text{nSOA,St1,1/f}}^{-2}/\Delta f$  bzw.  $\bar{u}_{\text{nSOA,St2,1/f}}^{-2}/\Delta f$ . Das 1/f-Rauschen des SOAs in der Sample&Hold Stufe bezogen auf den Ausgang der Multiplizierstufe nach  $N_{\text{cycle}}$  Zyklen berechnet sich dann zu

$$\begin{aligned} \bar{u}_{\text{nausVerstSH,1/f}}^{-2} = & \int_0^{f_s/2} \left| H_{\text{nSH-X2}} \left( z = e^{j2\pi \frac{f}{f_s}} \right) \right|^2 \cdot \frac{1}{A_{U0}^2} \\ & \cdot \left[ \left| H_{\text{nSOA,St1,SH}}(s = j \cdot 2 \cdot \pi \cdot f) \right|^2 \cdot \frac{\bar{u}_{\text{nSOA,St1,1/f}}^{-2}}{\Delta f} \right. \\ & \left. + \left| H_{\text{nSOA,St2,SH}}(s = j \cdot 2 \cdot \pi \cdot f) \right|^2 \cdot \frac{\bar{u}_{\text{nSOA,St2,1/f}}^{-2}}{\Delta f} \right] \cdot df \end{aligned} \quad (\text{Gl. 5.84})$$

Dementsprechend gilt für das 1/f-Rauschen des SOAs in der Multiplizierstufe am Ausgang nach  $N_{\text{cycle}}$  Zyklen

$$\begin{aligned} \bar{u}_{\text{nausVerstX2,1/f}}^{-2} = & \int_0^{f_s/2} \left| H_{\text{nX2-X2}} \left( z = e^{j2\pi \frac{f}{f_s}} \right) \right|^2 \cdot \frac{1}{A_{U0}^2} \\ & \cdot \left[ \left| H_{\text{nSOA,St1,X2}}(s = j \cdot 2 \cdot \pi \cdot f) \right|^2 \cdot \frac{\bar{u}_{\text{nSOA,St1,1/f}}^{-2}}{\Delta f} \right. \\ & \left. + \left| H_{\text{nSOA,St2,X2}}(s = j \cdot 2 \cdot \pi \cdot f) \right|^2 \cdot \frac{\bar{u}_{\text{nSOA,St2,1/f}}^{-2}}{\Delta f} \right] \cdot df \end{aligned} \quad (\text{Gl. 5.85})$$

Die Referenzspannungen der Komparatoren sind beim RSD-Prinzip so gewählt, dass eine große Toleranz von  $U_{\text{ref}}/4$  für die Ungenauigkeit der Komparatoren zugelassen wird. Somit sind hohe Werte an Rauschen, Offset und auch Hysterese erlaubt [58]. Deshalb wird das Rauschen der Komparatoren hier vernachlässigt.

Die Summe der Rauschbeiträge lässt sich auf den Eingang des zyklischen ADUs beziehen, indem durch das Quadrat der idealen Übertragungsfunktion, die auch auf die analoge Eingangsspannung wirkt, dividiert wird:

$$u_{\text{nein,ges}}^{-2} = \frac{u_{\text{naus,Schalter}}^{-2} + u_{\text{nausVerstSH,th}}^{-2} + u_{\text{nausVerstX2,th}}^{-2} + u_{\text{nausVerstSH,1/f}}^{-2} + u_{\text{nausVerstX2,1/f}}^{-2}}{2^{2 \cdot N_{\text{cycle}}}}, \quad (\text{Gl. 5.86})$$

Wobei beim zyklischen RSD ADU, mit der Auflösung  $B$ , für die Anzahl der Zyklen  $N_{\text{cycle}} = B - 1$  gilt.

Mit den im Anhang C.4 angegebenen Parametern vom SOA und dem zyklischen ADU, lässt sich das mögliche SNR des zyklischen ADU berechnen. Der zyklische ADU hat eine Einheitskapazität  $C$  von 1 pF und wird 10 Zyklen lang mit der Taktfrequenz  $f_s$  von 16 kHz betrieben. Durch die Umwandlung des RSD Codes in das Zweier-Komplement resultiert die maximale Abtastfrequenz des ADUs  $f_{\text{sample}}$  von 1,45 kSample/s. Das maximale SNR beträgt nach (Gl. 5.66) bei einem differentiellen Spannungshub  $U_{\text{pp}}$  von 2 V etwa 70,5 dB. Dies entspricht einer durch das Rauschen begrenzten Auflösung nach (Gl. 5.67) von ungefähr 11,4 Bit. Bei 10 Zyklen erlaubt die gewählte Architektur 11 Bit. Die Nichtlinearität hat, wie beim SAR-ADU idealerweise Werte kleiner als ein halbes LSB, und die Messergebnisse der Nichtlinearität von den gefertigten ADUs werden in Kapitel 6 vorgestellt.

### 5.4.3 C/U-Konverter

Am Beispiel des C/U-Konverters, welcher das Bindeglied zwischen dem kapazitiven Sensor und dem A/D-Umsetzer darstellt (siehe Abbildung 5.1), soll die Abhängigkeit des Rauschens von der Taktfrequenz, mit der die SC-Schaltung betrieben wird, untersucht werden.

Die Berechnung der einzelnen Rauschspannungsquadrate mit den Werten des entwickelten C/U-Konverters sind in Anhang D.2 angeführt.

Der C/U-Konverter aus Abbildung 5.27 wird von einem ADU mit der Abtastfrequenz  $f_{\text{sample}}$  abgetastet. Dies bedeutet, dass die Taktfrequenz des C/U-Konverters  $f_s$  mindestens  $f_{\text{sample}}$  betragen muss. Eine schnellere Taktfrequenz  $f_s$  hilft jedoch das  $1/f$ -Rauschen zu reduzieren, da „Aliasing“ Effekte verringert werden. Auf der anderen Seite kann das weiße Rauschen durch eine erhöhte Kompensationskapazität bei langsamerem Betrieb reduziert werden.

Die Berücksichtigung des abgetasteten Rauschens aller Schalterwiderstände im C/U-Konverter, liefern am Ausgang den Rauschanteil:

$$\begin{aligned} \overline{u_{\text{nausSchalter}}^2} = & 4 \cdot \frac{k_B \cdot T_{\text{emp}}}{(C_{\text{po}} + C_{\text{ref}})} \cdot \left( \frac{C_{\text{ref}} + C_{\text{po}} - C_{\text{sens}}}{C_{\text{pg}}} \right)^2 \\ & + 4 \cdot \frac{k_B \cdot T_{\text{emp}}}{C_{\text{sens}}} \cdot \left( \frac{C_{\text{ref}} + C_{\text{po}} - C_{\text{sens}}}{C_{\text{pg}}} \right)^2 + 4 \cdot \frac{k_B \cdot T_{\text{emp}}}{C_{\text{pg}}} \end{aligned} \quad (\text{Gl. 5.87})$$

Der verwendete OTA aus Abbildung 5.29 besitzt als eingangsbezogene Rauschspannungsdichte

$$\frac{\overline{u_{\text{nOTA}}^2}}{\Delta f} = 2 \cdot \left( \frac{\overline{u_{\text{n1}}^2}}{\Delta f} + \frac{g_{\text{m7}}^2}{g_{\text{m1}}^2} \cdot \frac{\overline{u_{\text{n7}}^2}}{\Delta f} + \frac{g_{\text{m9}}^2}{g_{\text{m1}}^2} \cdot \frac{\overline{u_{\text{n9}}^2}}{\Delta f} + \frac{g_{\text{m11}}^2}{g_{\text{m1}}^2} \cdot \frac{\overline{u_{\text{n11}}^2}}{\Delta f} + \frac{g_{\text{m13}}^2}{g_{\text{m1}}^2} \cdot \frac{\overline{u_{\text{n13}}^2}}{\Delta f} \right). \quad (\text{Gl. 5.88})$$

Im folgenden wird das Ersatzschaltbild eines einstufigen Verstärkers aus Abbildung 5.33 herangezogen. Die Transkonduktanz  $G_m$  entspricht der des Eingangstransistors  $g_{\text{m1}}$ , und der Ausgangswiderstand berechnet sich zu

$$R_{\text{aus}} = [A_{\text{Uh2}} \cdot g_{\text{m11}} \cdot r_{\text{ds11}} \cdot (r_{\text{ds1}} \parallel r_{\text{ds13}})] \parallel [A_{\text{Uh1}} \cdot g_{\text{m9}} \cdot r_{\text{ds9}} \cdot r_{\text{ds7}}], \quad (\text{Gl. 5.89})$$

wobei  $A_{\text{Uh1}}$  und  $A_{\text{Uh2}}$  die Leerlaufverstärkungen der Hilfsverstärker, die zum „Gain Boosting“ benötigt werden, bezeichnen. Die Leerlaufverstärkung lautet  $A_{\text{U0}} = G_m \cdot R_{\text{aus}}$ .

Die momentane Rauschspannung am Eingang des Verstärkers  $u_{\text{nOTA}}$  besitzt als Rauschübertragungsfunktion zum Ausgang des Verstärkers:

$$H_{\text{nOTA}}(s) = \frac{G_m \cdot R_{\text{aus}}}{1 + s \cdot C_L \cdot R_{\text{aus}}}. \quad (\text{Gl. 5.90})$$

Dabei ist  $C_L$  die gesamte Lastkapazität am Ausgang des Verstärkers.

Das eingangsbezogene Rauschen des OTAs wird im  $z$ -Bereich durch die Übertragungsfunktion

$$H_{\text{nOS}}(z) = \frac{U_{\text{aus}}(z)}{U_{\text{nOTA}}(z)} = \frac{C_{\text{sens}} + C_{\text{ref}} + C_{\text{po}} + C_{\text{pg}} + 2 \cdot C_{\text{par,a}}}{C_{\text{pg}} + \frac{C_{\text{sens}} + C_{\text{ref}} + C_{\text{po}} + C_{\text{pg}} + 2 \cdot C_{\text{par,a}}}{A_{\text{U0}}}} \cdot (1 - z^{-1}) \quad (\text{Gl. 5.91})$$

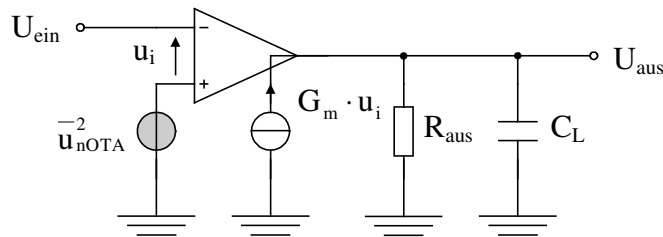


Abbildung 5.33: Ersatzschaltbild eines einstufigen Verstärkers mit Rauschquellen

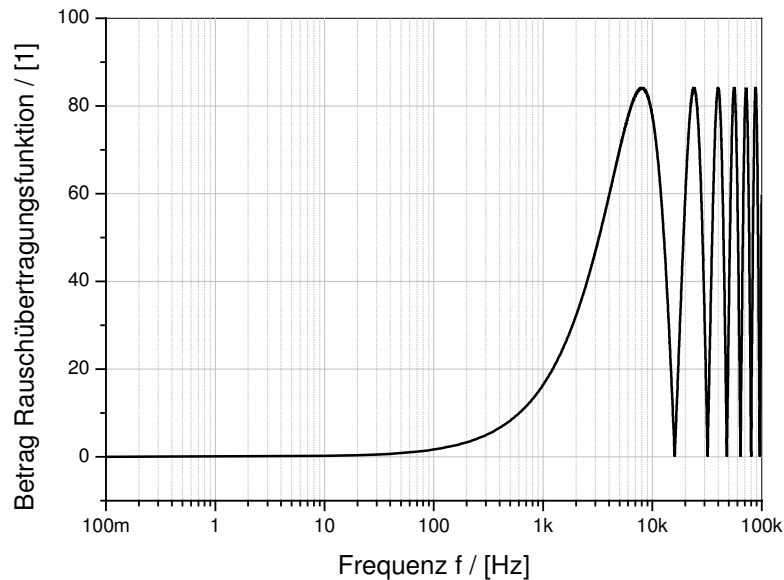
geformt und zum Ausgang des C/U-Konverters übertragen. Mit dem Zusammenhang  $z = e^{j \cdot 2\pi \cdot (f/f_s)}$  kann die Rauschübertragungsfunktion, wie in Abbildung 5.34 zu sehen, im Frequenzbereich dargestellt werden.

Aus dem thermischen Kanalrauschen der Transistoren mit der Rauschspannungsdichte aus (Gl. 5.83) ergibt sich die eingangsbezogene Rauschdichte des OTAs nach (Gl. 5.88), so dass der Beitrag des thermischen Rauschens zu

$$\begin{aligned} \overline{u_{\text{nausVerst,th}}^2} &= \int_0^{\frac{f_s}{2}} \left| H_{\text{nOS}} \left( z = e^{j \cdot 2\pi \cdot \frac{f}{f_s}} \right) \right|^2 \cdot \frac{1}{A_{U0}^2} \\ &\cdot \frac{2}{f_s} \cdot |H_{\text{nOTA}}(0)|^2 \cdot \frac{\overline{u_{\text{nOTA,th}}^2}}{\Delta f} \cdot \frac{1}{4 \cdot R_{\text{aus}} \cdot C_L} \cdot df \end{aligned} \quad (\text{Gl. 5.92})$$

resultiert. Das „Aliasing“ wurde wiederum dadurch berücksichtigt, dass das Rauschspannungsquadrat der kompletten Verstärkerbandbreite im Basisband verteilt wurde. Beim 1/f-Rauschen wird hier für die einzelnen Transistoren das „Aliasing“ wie folgt einbezogen:

$$\frac{\overline{u_{\text{ni,1/f}}^2}}{\Delta f} = \frac{K_{fi}}{C_{ox}^2 \cdot W_i \cdot L_i} \cdot \left[ \frac{1}{f} + \sum_{k=1}^{N_{SB}} \left( \frac{1}{k \cdot f_s - f} + \frac{1}{k \cdot f_s + f} \right) \right]. \quad (\text{Gl. 5.93})$$



**Abbildung 5.34: Betrag der Rauschübertragungsfunktion vom Eingang des OTAs zum Ausgang des C/U-Konverters mit  $f_s = 16 \text{ kHz}$**

Da nach [62] das „Aliasing“ beim 1/f-Rauschen ab einer Taktfrequenz  $f_s$  höher als 256 kHz vernachlässigbar klein ist, wird hier die Anzahl der zu berücksichtigenden Seitenbänder auf

$$N_{SB} = \text{round}\left(\frac{256\text{kHz}}{f_s}\right) \quad (\text{Gl. 5.94})$$

begrenzt. Das bedeutet, dass die gerundete Anzahl an Seitenbändern, bis diese den Einfluss unter dem Niveau des ersten Seitenbands bei einer Taktfrequenz von 256 kHz erreichen, berücksichtigt wird. Mit der Kombination von (Gl. 5.93) und (Gl. 5.88) lässt sich der 1/f-Rauschanteil zum Ausgang des C/U-Konverters bestimmen:

$$\overline{u}_{\text{nausVerst},1/f}^{-2} = \int_0^{\frac{f_s}{2}} \left| H_{\text{nOS}} \left( z = e^{j2\pi \frac{f}{f_s}} \right) \right|^2 \cdot \frac{1}{A_{U0}^2} \cdot |H_{\text{nOTA}}(s = j \cdot 2 \cdot \pi \cdot f)|^2 \cdot \frac{\overline{u}_{\text{nOTA},1/f}^{-2}}{\Delta f} \cdot df. \quad (\text{Gl. 5.95})$$

Somit resultiert für das gesamte Rauschspannungsquadrat am Ausgang

$$\overline{u}_{\text{naus,ges}}^{-2} = \overline{u}_{\text{nausSchalter}}^{-2} + \overline{u}_{\text{nausVerst,th}}^{-2} + \overline{u}_{\text{nausVerst},1/f}^{-2}. \quad (\text{Gl. 5.96})$$

Unter der Annahme, dass der Ausgang des C/U-Konverters sich sinusförmig mit einer Amplitude vom halben Aussteuerbereich  $U_{pp}$  ändert ergibt sich das SNR in dB zu

$$\text{SNR}_{\text{dB}} = 10 \cdot \log \left( \frac{\frac{U_{pp}^2}{8}}{\overline{u}_{\text{naus,ges}}^{-2}} \right). \quad (\text{Gl. 5.97})$$

Die durch das Rauschen begrenzte Auflösung berechnet sich nach (Gl. 5.67). Die Parameter des C/U-Konverters in der verwendeten 1,2  $\mu\text{m}$  Standard CMOS Technologie sind in Anhang D.1 zu finden. Da keine 1/f-Rauschparameter vorhanden sind, wird auf die Werte aus [53] zurückgegriffen. Das maximale Rauschen resultiert bei maximaler Sensor- und Referenzkapazität, also bei maximalem Druck. Es werden in jedem Pfad 20 der kapazitiven Sensoren eingesetzt, so dass alle Kapazitäten 20 mal vorhanden sind.

Der C/U-Konverter ist in seinem Aussteuerbereich an den zyklischen ADU angepasst. Folglich muss dieser mindestens mit der Abtastfrequenz  $f_{\text{sample}}$  des zyklischen ADUs und maximal, wenn der Takt des ADUs verwendet wird, mit dessen Taktfrequenz betrieben werden. Im folgenden werden zwei Fälle, bei der Nutzung des gleichen Verstärkers, untersucht. Zum einen wird der C/U-Konverter mit der Taktfrequenz des zyklischen ADUs betrieben, um das 1/f-Rauschen durch verringerte „Aliasing“ Effekte, welche bei dieser Taktfrequenz noch einen Einfluss haben, zu reduzieren. Zum anderen wird der C/U-Konverter mit der Abtastfrequenz des zyklischen ADUs betrieben, und dementsprechend stark kompensiert, um das weiße Rauschen zu reduzieren.

In diesen speziellen Fällen resultiert aufgrund des SNRs jeweils eine mögliche Auflösung von 11,94 Bit. Da beim schnelleren Betrieb, um Strom zu sparen, der C/-U Konverter zwischenzeitlich abgeschaltet werden kann, wird der Betrieb bei der Taktfrequenz des zyklischen ADUs bevorzugt. Allgemein lässt sich jedoch sagen, dass ein stark kompensierter Verstärker günstiger für das Rauschen ist, solange Taktfrequenzen verwendet werden, bei denen das „Aliasing“ des 1/f-Rauschens kaum an Einfluss besitzt. In einem Trade-Off muss der Vorteil eines geringeren Rauschens aufgrund der niedrigeren Rauschbandbreite gegenüber eines geringeren Leistungsverbrauch durch zeitweiliges Abschalten im Rahmen der Spezifikationen abgewägt werden.

Für den Fall, dass eine SC-Schaltung ohne Kompensation des 1/f-Rauschens, die wie eine CDS-Stufe funktioniert, betrieben wird, dominiert dann der Teil des 1/f-Rauschens beim gesamten Verstärkerrauschen gegenüber dem thermischen Rauschen.

## 6 Simulations- und Messergebnisse

Mit dem Ziel einer Fallstudie anhand ausgewählter Komponenten, welche zum Aufbau einer kapazitiven Sensorauslese dienen können, sind diese für Simulationen mit Schaltplänen aufgebaut worden. Zu Beginn wird auf modellierten Nichtidealitäten im verwendeten Simulator hingewiesen. Weiterhin sind der SAR und der zyklische A/D-Umsetzer auch als Testchip gefertigt worden. Die Fallstudie soll die theoretischen Betrachtungen dieser Arbeit belegen. Dies gilt insbesondere für die beiden ADUs. In diesem Kapitel sind die wichtigsten Simulations- und Messergebnisse zusammengestellt. Abschließend wird ein Vergleich der Leistungseffizienz angeführt. Dieser Vergleich beruht auch auf der Einführung eines Figure of Merit, welches die Abhängigkeit von der verwendeten Technologie mit einbezieht.

### 6.1 Nichtidealitäten im Simulator

In dieser Arbeit wird beim Entwurf von Schaltungen auf die Simulations- und Entwicklungssoftware CADENCE zurückgegriffen. Mit dem verwendeten BSIM3-Modell kann mit verschiedenen Parametersätzen in den so genannten Corner-Simulationen ein gewisser Bereich an Parameterschwankungen einer Technologie simuliert werden. Die verschiedenen Parametersätze in den Cornern sind „typical“, „slow“, „fast“, „h2low“ und „l2high“. Der Parametersatz „typical“ hat die typischen Werte, welche mit der größten Wahrscheinlichkeit erwartet werden. Im Vergleich zu „typical“ besitzt ein Transistor in dem Corner-Parametersatz „fast“ beispielsweise eine niedrigere Schwellenspannung bzw. dünneres Gate-Oxid und eine kürzere effektive Länge. Der Corner-Parametersatz „slow“ weist den umgekehrten Fall wie „fast“ auf. Bei „l2high“ und „h2low“ wird jeweils für die NMOS- und PMOS-Transistoren der entgegengesetzte Fall angenommen.

Als weitere Nichtidealitäten sind Leckströme und parasitäre Elemente zu nennen. Bei der Modellierung dieser Nichtidealitäten wird auf das BSIM Modell verwiesen. In der Version 3 werden nach [59] Leckströme der pn-Übergänge von Drain bzw. Source zu Substrat bzw. Wanne sowie der Substratstrom berücksichtigt. Weiterhin ist der Leckstrom durch schwache Inversion und der Strom  $I_{\text{off}}$  bei einer Gate-Source Spannung von Null implementiert. Ebenso ist der DIBL (drain-induced barrier lowering) Effekt von Kurzkanaltransistoren mit Einfluss auf die Schwellenspannung und damit auf den Drainstrom berücksichtigt. Der Effekt GIDL (gate-induced drain leakage) wird in der Version 3 nicht berücksichtigt, in der Version 4 ist dieser jedoch in den Modell Gleichungen integriert. Die Leckströme aufgrund von z. B.



Tunneln durch das Gate-Oxid sind nicht modelliert. Allerdings werden in dieser Arbeit Technologien verwendet, deren Gate-Oxid so dick ist, dass der Gate-Leckstrom als vernachlässigbar klein angenommen wird.

Auch einige parasitäre Bauelemente sind im BSIM Modell integriert. So sind beispielsweise die Überlappungskapazitäten bei Transistoren, welche vom Polysilizium des Gates über den Source und Drain Gebieten gebildet werden, implementiert. Neben den parasitären Dioden, welche sowohl in Durchlass- als auch in Sperr-Richtung modelliert werden, sind die Anschlusswiderstände von Drain und Source berücksichtigt. Der Substratwiderstand wird jedoch nicht einbezogen. Diese parasitären Elemente sind bereits bei der Simulation des Schaltplanes vorhanden. Allerdings haben alle Bauelemente in CMOS, also auch Widerstände und Kondensatoren, parasitäre Kapazitäten zum Substrat. Dies gilt auch für Zuleitungen, welche zudem einen endlichen Widerstand aufweisen. Es kann aus einem Layout nach einem bestimmten Regelsatz eine Netzliste extrahiert werden, welche die parasitären Elemente aufgrund der Leitungen beinhaltet. Dafür wird hier der Extraktor Diva verwendet.

Um den Einfluss der parasitären Kapazitäten, welche mit „Streukapazitäten“ benannt werden, auf den Betrieb der Schaltungen zu reduzieren, kann eine geeignete Schaltungstechnik gewählt werden. Eine Möglichkeit bilden die sogenannten „streuinsensitiven SC-Schaltungen“, welche einen Ladungsfluss in den Signalpfad oder eine Spannungsänderung von den parasitären Kapazitäten verhindern.

Ein weiteres Problem mit Nichtidealitäten ist die Temperaturabhängigkeit der Bauelemente, insbesondere bei Widerständen. Wie in Kapitel 4 festgestellt, kann z. B. die Präzision eines Filters, welches einen Widerstand verwendet, an der Temperaturabhängigkeit des Widerstandes leiden. Das BSIM Modell berücksichtigt Temperatureffekte erster Ordnung. Die Verringerung der Mobilität und der Anstieg der Schwellenspannung sind beispielsweise modellierte Effekte.

## **6.2 Kapazitätsauslese nach dem Oszillatorprinzip**

Das Prinzip und die Hauptkomponenten der Ausleseschaltung nach dem Oszillatorprinzip für einen kapazitiven Sensor sind bereits in Kapitel 5.3.1 vorgestellt worden. Die Spezifikationen für diese Drucksensorauslese sind in Tabelle 6.1 gegeben. Entsprechend des kleinsten aufzulösenden Druckes  $\Delta p_{\text{LSB}}$  von 1,333 mbar oder 1 mmHg wird eine Auflösung B von 8,647 Bit

$p_{\min}$ / [mbar]	746,48	$p_{\max}$ / [mbar]	1279,68
$\Delta p_{\text{LSB}}$ / [mbar]	1,333	B / [Bit]	8,647
$U_{\text{DD}}$ / [V]	2,5	$f_{\text{sample}}$ / [Hz]	128
$T_{\min}$ / [°C]	0	$T_{\max}$ / [°C]	50

**Tabelle 6.1: Spezifikationen der Kapazitätsauslese nach dem Oszillatorprinzip**

angestrebt. Die Entwicklung und die Simulationen der Sensorausleseschaltung wurden in einer 1,2  $\mu\text{m}$  CMOS Technologie, mit der Möglichkeit einer monolithischen Integration von kapazitiven Drucksensoren, durchgeführt. Da die Sensorkapazität des Drucksensors einen nichtlinearen Zusammenhang zum Druck aufweist, ist eine Kalibration des Systems notwendig und damit die Linearität des Systems von untergeordneter Bedeutung. Im unteren Druckbereich ist die Empfindlichkeit der Sensorkapazität am geringsten, so dass für  $\Delta f_{\text{Oszi,LSB}}$  (Gl. 5.21), also mindestens 128 Hz, gelten muss.

Zunächst wird der Durchmesser der Membran des Drucksensors anhand von Simulationen bestimmt. Dafür wird eine AHDL (analog hardware description language) Beschreibung, welche das Verhalten des Drucksensors modelliert, genutzt. Aufgrund von Schwankungen technologischer Parameter, können in dem AHDL Modell verschiedene Parametersätze gewählt werden. Es werden beispielsweise Schwankungen in der Dicke der Membran durch den Ätzprozess oder Abweichungen in der Dotierstoffkonzentration berücksichtigt. Je größer der Durchmesser der Membran ist, desto geringer ist der maximale Druck, welcher zu einem Aufliegen der Membran auf dem Isolator führt. In Simulationen wird der Durchmesser variiert, und der maximale Durchmesser bestimmt, welcher bei maximal spezifiziertem Druck in allen Parametersätzen nicht den Auflagepunkt erreicht. Durch den maximalen Durchmesser wird eine maximale Sensorkapazität erreicht. Mit den zum Entwicklungszeitpunkt vorhandenen Parametern resultiert ein maximaler Membrandurchmesser von 95  $\mu\text{m}$ .

Im folgenden wird die Schaltung aus Abbildung 5.6 untersucht. Unter Verwendung eines Modells von einem einstufigen OTA (siehe Abbildung 6.1), dessen Eigenschaften auf nahezu ideale Werte eingestellt werden können, werden der minimale Integrationsstrom zum Erreichen von  $\Delta f_{\text{Oszi,LSB}}$  und die Anforderungen an den OTA ermittelt. Entsprechend der ermittelten Anforderungen wird damit ein OTA entwickelt. Das OTA-Modell verwendet eine spannungsgesteuerte Stromquelle  $v_{\text{ccs}}$  (voltage controlled current source) mit der Transkonduktanz  $g_m$  und besitzt einen Ausgangswiderstand  $R_{\text{aus}}$ . Durch die kapazitive

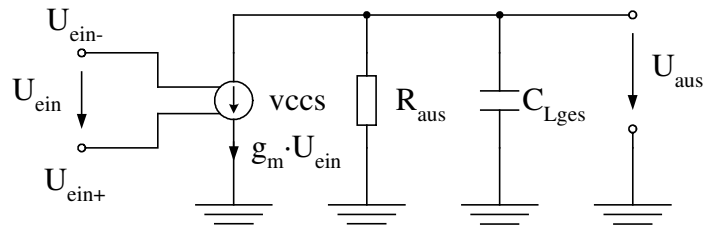


Abbildung 6.1: OTA-Modell („single-ended“)

Belastung mit  $C_{Lges} = C_{par,pn} + C_L + C_{STin}$ , wie in (Gl. 5.11) angegeben, resultiert ein einpoliges System. In Abbildung 6.2 ist die Änderung der Oszillationsfrequenz für ein  $\Delta p_{LSB}$  im unteren Druckbereich über dem Integrationsstrom  $I_{int}$  aufgetragen. Die Simulation wurde mit einem idealen OTA, dessen Transkonduktanz gegen unendlich geht, und dem ungünstigsten Parametersatz des Drucksensors durchgeführt. Bei einem Integrationsstrom von 40 nA wird  $\Delta f_{Osz,LSB}$  mit 162 Hz die Mindestanforderung von 128 Hz übertroffen. Damit ist eine Reserve vorhanden, falls der Integrationsstrom etwas vom angestrebten Wert abweicht. Mit dem bestimmten Integrationsstrom von 40 nA ergibt sich die maximale Oszillationsfrequenz  $f_{Oszimax}$  bei minimalem Druck in Höhe von 456,516 kHz. Der theoretisch zu erwartende Wert liegt bei 457,52 kHz.

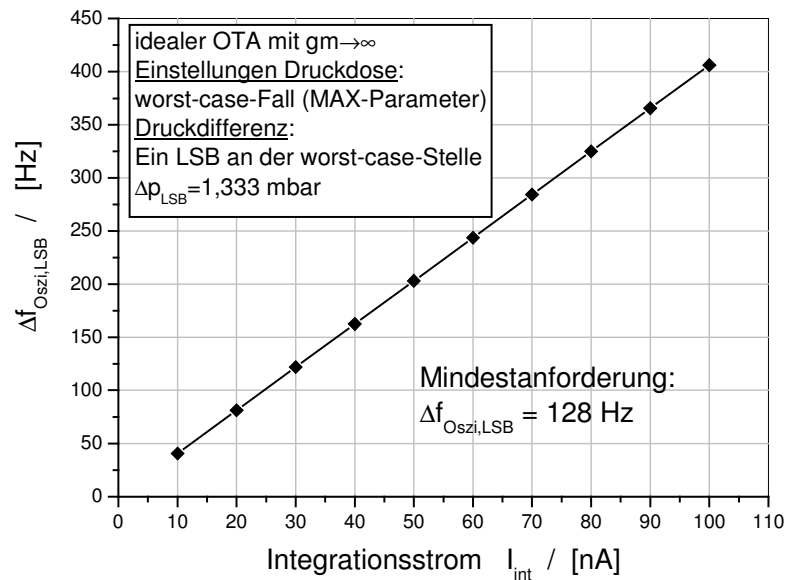


Abbildung 6.2: Simulation zur Bestimmung des Integrationsstromes

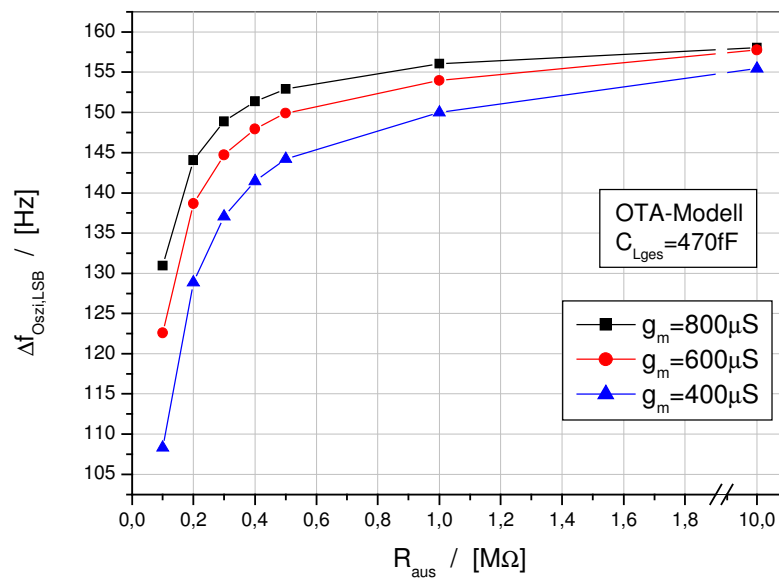


Abbildung 6.3: Simulation zur Bestimmung eines geeigneten Ausgangswiderstandes

Anhand der Bedingung aus (Gl. 5.17) lässt sich mit Hilfe einer Mathematik Software die notwendige Transkonduktanz berechnen. Unter der Annahme eines Ausgangswiderstandes von  $1 \text{ M}\Omega$  setzt die theoretische Berechnung ein  $g_m$  von  $604 \mu\text{S}$  voraus. Eine genauere Bestimmung von  $g_m$  wird durch die Simulation des Gesamtsystems bei Verwendung des OTA-Modells durchgeführt, da dann die parasitäre Kapazität  $C_{\text{par,a}}$  nicht vernachlässigt wird.

Die Änderung der Oszillationsfrequenz bei einem LSB Druckunterschied im unteren Druckbereich ist in Abbildung 6.3 für verschiedene Transkonduktanzen  $g_m$  über dem Ausgangswiderstand  $R_{\text{aus}}$  dargestellt. Ab einem Ausgangswiderstand von  $1 \text{ M}\Omega$  wird die Änderung von  $\Delta f_{\text{Oszi,LSB}}$  mit steigendem  $R_{\text{aus}}$  hinreichend gering. Mit einer Transkonduktanz von  $800 \mu\text{S}$  ist eine ausreichende Reserve zur theoretischen Abschätzung von  $604 \mu\text{S}$  vorhanden, und die Änderung der Oszillationsfrequenz liegt mit  $156 \text{ Hz}$  nur knapp unter dem idealen Wert von  $162 \text{ Hz}$ . Die Mindestanforderung von  $128 \text{ Hz}$  wird noch übertroffen.

Mit den aus den Simulationen des OTA-Modells gewonnenen Anforderungen, kann der reale OTA entworfen werden. Für den OTA wurde aus den Gründen aus Kapitel 5.3.1 die Architektur des Telescopic OTAs gewählt (siehe Abbildung 5.7). Der für die Kapazitätsauslese nach dem Oszillatorprinzip entworfene Telescopic OTA besitzt den Amplituden- und Phasengang aus Abbildung 6.4. Die Simulation wurde für den typischen

Parameter	T / [°C]	A <sub>U0</sub> / [dB]	f <sub>-3dB</sub> / [kHz]	f <sub>GBW</sub> / [MHz]	φ <sub>R</sub> / [°]	Lastkap. / [fF]
fast	50	59,74	83,44	56,71	73,8	650
typical	27	61,17	66,98	55,4	72,6	650
slow	0	57,56	52,32	34,56	63,4	650

Tabelle 6.2: Simulationsergebnisse des Telescopic OTAs

Fall und zwei Extremfälle der Corner Parameter vorgenommen. Eine Zusammenfassung der simulierten OTA Parameter ist in Tabelle 6.2 aufgelistet. Bei der gesamten Lastkapazität von 650 fF ist die Stabilität in allen Fällen, mit einer Phasenreserve von mehr als 63°, gegeben.

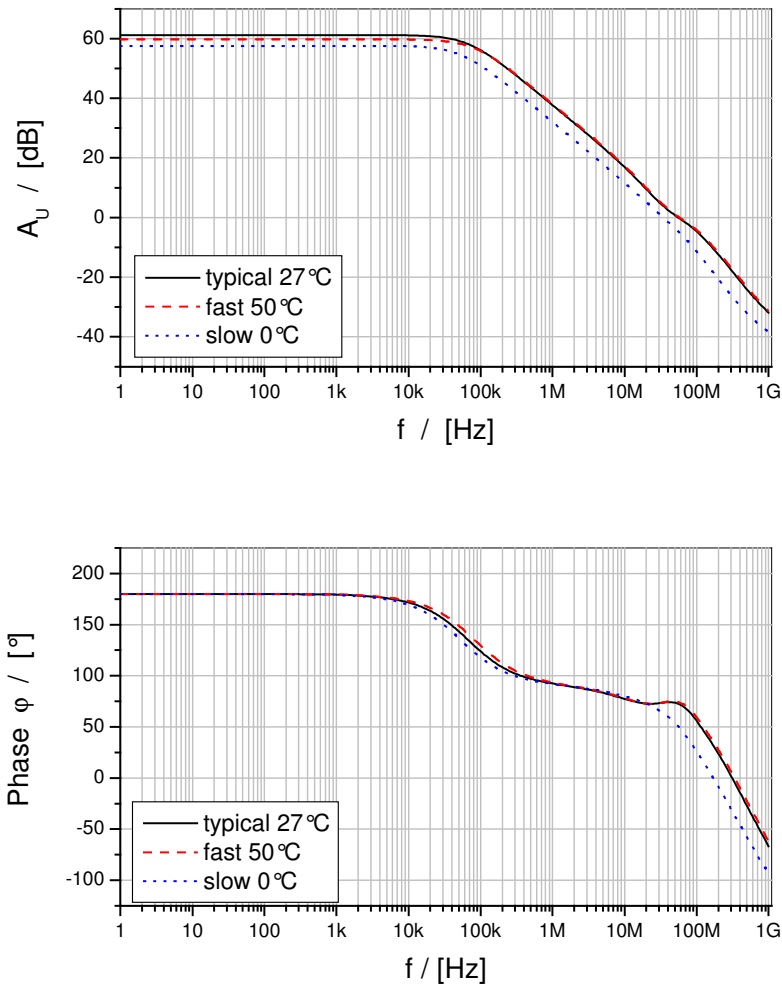


Abbildung 6.4: Simulation des Bode Diagramms vom Telescopic OTA

Weiterhin besitzt der Telescopic OTA für die typischen Parameter bei einer Temperatur von 27 °C eine Slew Rate von

$$SR = \left. \frac{\partial u_{\text{aus}}}{\partial t} \right|_{\text{max}} = 20,813 \frac{\text{V}}{\mu\text{s}}. \quad (\text{Gl. 6.1})$$

Der Ausgangswiderstand beläuft sich auf 1,42 MΩ bei den typischen Parametern und 27 °C. Für das Gleichtaktunterdrückungsverhältnis CMRR (common mode rejection ratio)

$$\text{CMRR} = \left| \frac{A_{\text{dm}}}{A_{\text{cm}}} \right| \quad (\text{Gl. 6.2})$$

liegt der Wert für kleine Frequenzen bei 85,8 dB. Wird der OTA als Buffer mit konstanter Eingangsspannung geschaltet, kann das Versorgungsspannungsunterdrückungsverhältnis PSRR (power supply rejection ratio) für positive bzw. negative Versorgung zu

$$\text{PSRR}^+ = \frac{\partial u_{\text{DD}}}{\partial u_{\text{aus}}} \text{ und } \text{PSRR}^- = \frac{\partial u_{\text{SS}}}{\partial u_{\text{aus}}} \quad (\text{Gl. 6.3})$$

angegeben werden. Für niedrige Frequenzen ergeben sich für das  $\text{PSRR}^+$  60,11 dB und für das  $\text{PSRR}^-$  91,93 dB.

Für kleine Oszillationsfrequenzen erreicht der Präzisions-Schmitt-Trigger seine Umschalt-schwellen exakt. Für hohe Frequenzen stimmen vorgegebene und erreichte Schwellen nicht mehr überein (siehe Abbildung 6.5). Zum Ausgleich werden die Schwellen des Präzisions-

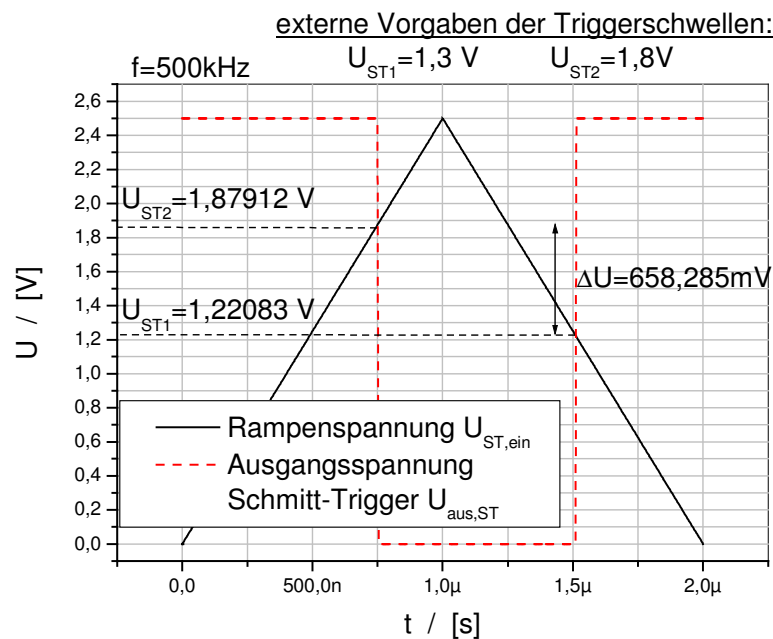
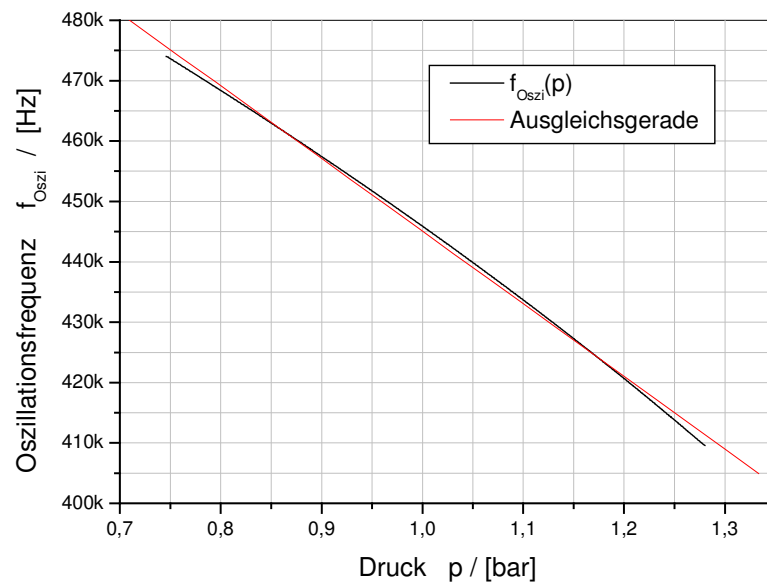
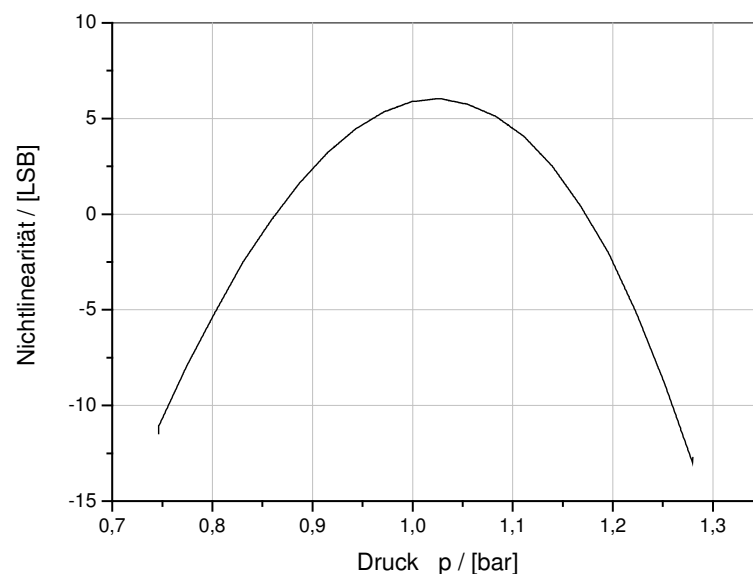


Abbildung 6.5: Bestimmung der Schwellen des Präzisions-Schmitt-Triggers in einer Simulation



**Abbildung 6.6: Simulation der Oszillationsfrequenz der Sensorauslese in Abhängigkeit des Druckes**

Schmitt-Triggers enger zusammengelegt. Somit lauten die vorgegebenen Schwellen dann  $U_{\text{ST1}} = 1,4 \text{ V}$  und  $U_{\text{ST2}} = 1,8 \text{ V}$ . Die entstehende Nichtlinearität aufgrund der frequenzabhängigen Schwellen des Schmitt-Triggers wird bei der Kalibration berücksichtigt. Eine Kalibration ist notwendig, aufgrund des nichtlinearen Zusammenhangs zwischen Druck und Sensorkapazität.



**Abbildung 6.7: Simulation der Nichtlinearität der Drucksensorauslese nach dem Oszillatorprinzip**

Der Verlauf der Oszillationsfrequenz  $f_{\text{Osz}}$  über dem gesamten Druckbereich ist in Abbildung 6.6 dargestellt. Zusätzlich ist eine Ausgleichsgerade eingezeichnet, welche den nichtlinearen Zusammenhang zwischen Druck und der Oszillationsfrequenz verdeutlicht. Dieser Verlauf kann mit einem Polynom höherer Ordnung angenähert werden. Dieses Polynom wird bei einer Kalibration gespeichert, so dass der zu einer Frequenz entsprechende Druck bekannt ist. Durch Bestimmung verschiedener Polynome bei unterschiedlichen Temperaturen, kann der Temperatureinfluss ebenfalls kalibriert werden. Im Simulationsmodell des Drucksensors findet die Temperatur keinen Einfluss. Die Nichtlinearität des Systems ohne Kalibration ist in Abbildung 6.7 zu sehen. Ein LSB der Nichtlinearität wird durch die Frequenz  $\Delta f_{\text{Osz,LSB}}$  gebildet.

Der durchschnittliche Stromverbrauch ist für die verschiedenen Schaltungsteile bei 2,5 V Versorgungsspannung in Tabelle 6.3 aufgelistet. Im Durchschnitt beträgt der gesamte Stromverbrauch 293  $\mu\text{A}$ , und liegt für die in der Simulation erreichte Auflösung von etwa 8,79 Bit bei den typischen Parametern noch sehr hoch. Dies liegt an der hohen Oszillationsfrequenz, welche auch bei maximalem Druck notwendig ist. Denn die gesamte Lastkapazität muss mindestens bei 410 kHz um den Spannungshub  $\Delta U_{\text{ST}} = U_{\text{ST2}} - U_{\text{ST1}}$  umgeladen werden. Der Leistungsverbrauch der Oszillatorauslese beträgt bei 2,5 V Versorgungsspannung durchschnittlich 732,3  $\mu\text{W}$ . Ein Vergleich des Leistungsverbrauchs zum theoretischen Minimum aus Kapitel 5.3.1 bei unendlichem Ausgangswiderstand des OTAs mit 25,7  $\mu\text{W}$  zeigt, dass das Optimum noch nicht erreicht ist. In den folgenden Kapiteln wird eine Kombination aus C/U-Konverter und A/D-Umsetzer auf dessen Stromverbrauch untersucht.

Schaltungsteil	typical; T=27°C	fast; T=0°C	slow; T=50°C
OTA	171,165 $\mu\text{A}$	173,367 $\mu\text{A}$	168,767 $\mu\text{A}$
Schmitt-Trigger	121,32 $\mu\text{A}$	121,08 $\mu\text{A}$	126,44 $\mu\text{A}$
Integratorstromquellen mit Stromspiegeln	480,02 nA	480,02 nA	480,02 nA
Gesamt Durchschnitt	292,9 $\mu\text{A}$	294 $\mu\text{A}$	295,7 $\mu\text{A}$
Gesamt Spitzen	454,2 $\mu\text{A}$	473,2 $\mu\text{A}$	437,3 $\mu\text{A}$

**Tabelle 6.3:** Durchschnittlich simulierter Stromverbrauch der Drucksensorausleseschaltung für verschiedene Corner Parameter bei  $U_{\text{DD}}=2,5\text{V}$  und  $p=746,48\text{mbar}$



Die Mindestanforderung an  $\Delta f_{\text{Osz},\text{LSB}}$  mit 128 Hz wird bei 2,5 V Versorgungsspannung in allen Corner Parametern, wie spezifiziert, erreicht. Somit werden je nach Parametern Auflösungen zwischen 8,65 Bit („slow“, 50°C) und 8,86 Bit („fast“, 0°C) möglich.

Da in batteriebetriebenen Anwendungen, die Versorgungsspannung mit fortschreitender Entladung sinkt, wurde eine Absenkung der Versorgungsspannung auf 2,3 V untersucht. Dafür wurde im ungünstigsten Fall der Drucksensorparameter für die Simulationsparameter „typical“ bei 27 °C ein  $\Delta f_{\text{Osz},\text{LSB}}$  von 130,6 Hz simuliert. Für die Corner Parameter „fast“ bei 0 °C wird die Mindestanforderung von 128 Hz mit 143,4 Hz übertroffen. Wohingegen für die Corner Parameter „slow“ bei 50 °C die Mindestanforderung bei 2,3 V mit 62,8 Hz nicht mehr erreicht wird. Da die Spezifikationen bei 2,3 V Versorgungsspannung nicht erreicht werden, ist auf eine Bestimmung des Leistungsverbrauchs verzichtet worden.

## 6.3 SAR A/D-Umsetzer

In einer 0,8  $\mu\text{m}$  Standard CMOS Technologie wurde ein SAR (successive approximation register) A/D-Umsetzer mit 10 Bit Auflösung entwickelt und gefertigt. Zunächst wurden Simulationen anhand eines einfachen Matlab Modells durchgeführt. Weiterhin wurde die auf

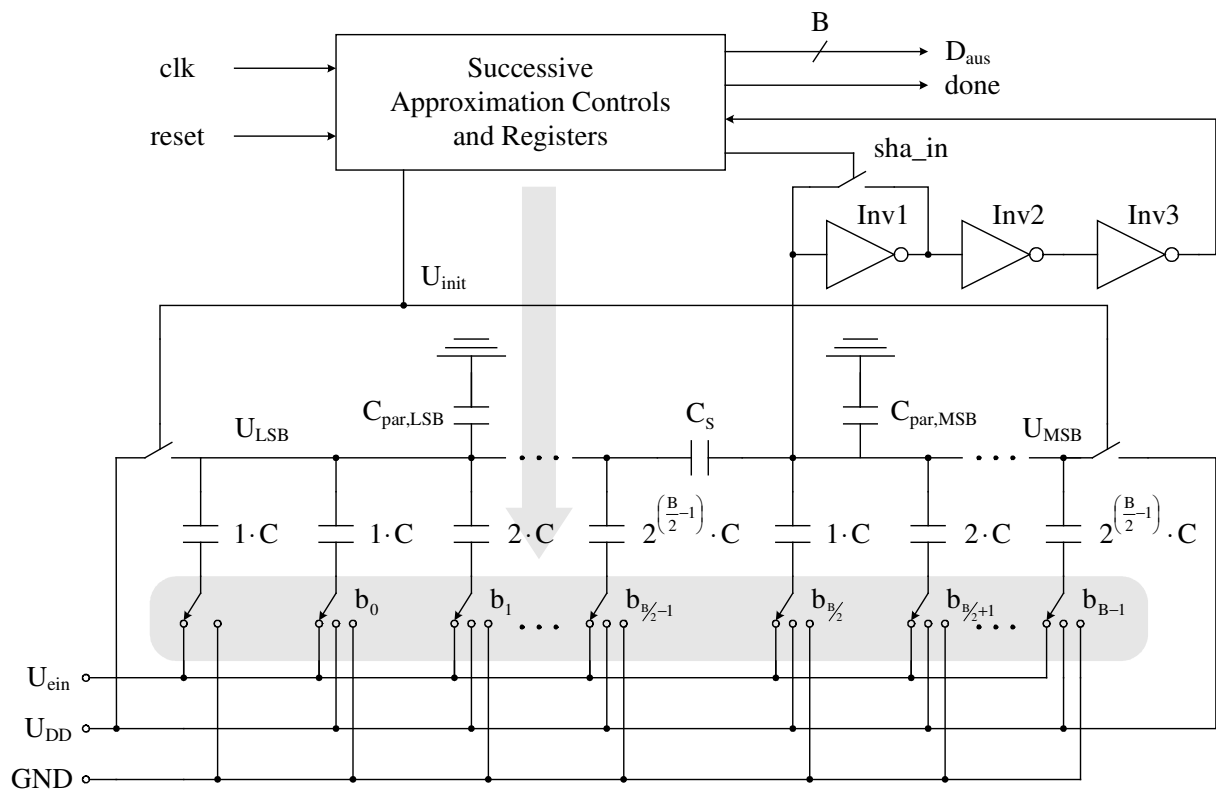


Abbildung 6.8: Prinzipschaltbild des SAR A/D-Umsetzers

Transistorebene entwickelte Schaltung simuliert und der realisierte Testchip Messungen unterzogen.

### 6.3.1 Simulation

Der SAR A/D-Umsetzer aus Abbildung 6.8, welcher die parasitären Kapazitäten des LSB und MSB Knotens zu Masse,  $C_{\text{par,LSB}}$  bzw.  $C_{\text{par,MSB}}$ , berücksichtigt, wird zunächst als Matlab Modell und anschließend auf Transistorebene simuliert. Das Matlab Modell wird mit Hilfe von (Gl. 5.33) bis (Gl. 5.36) für die Ausgangsspannung des kapazitiven D/A-Umsetzers erstellt. Eine Zusammenfassung in einer einzelnen Gleichung unter Berücksichtigung der parasitären Kapazitäten  $C_{\text{par,LSB}}$  und  $C_{\text{par,MSB}}$  liefert:

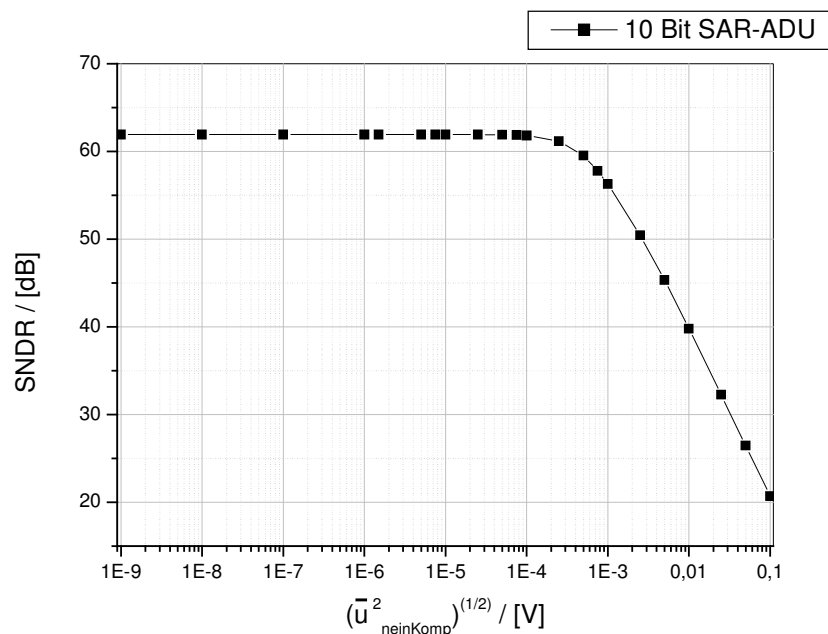
$$\begin{aligned}
 U_{\text{MSB}} = & \frac{U_{\text{refm}} \cdot \left( C_{\text{m,MSB}} + C_{\text{S}} \cdot \frac{C_{\text{m,LSB}}}{C_{\text{S}} + C_{\text{LSB}} + C_{\text{par,LSB}}} \right)}{C_{\text{MSB}} + C_{\text{S}} \cdot \frac{C_{\text{LSB}} + C_{\text{par,LSB}}}{C_{\text{S}} + C_{\text{LSB}} + C_{\text{par,LSB}}} + C_{\text{par,MSB}}} \\
 & + \frac{U_{\text{refp}} \cdot \left( C_{\text{p,MSB}} + C_{\text{S}} \cdot \frac{C_{\text{p,LSB}}}{C_{\text{S}} + C_{\text{LSB}} + C_{\text{par,LSB}}} \right)}{C_{\text{MSB}} + C_{\text{S}} \cdot \frac{C_{\text{LSB}} + C_{\text{par,LSB}}}{C_{\text{S}} + C_{\text{LSB}} + C_{\text{par,LSB}}} + C_{\text{par,MSB}}} \\
 & - \frac{(U_{\text{ein}} - U_{\text{M}}) \cdot \left( C_{\text{MSB}} + C_{\text{S}} \cdot \frac{C_{\text{LSB}}}{C_{\text{S}} + C_{\text{LSB}} + C_{\text{par,LSB}}} \right)}{C_{\text{MSB}} + C_{\text{S}} \cdot \frac{C_{\text{LSB}} + C_{\text{par,LSB}}}{C_{\text{S}} + C_{\text{LSB}} + C_{\text{par,LSB}}} + C_{\text{par,MSB}}} \\
 & + \frac{U_{\text{M}} \cdot \left( C_{\text{par,MSB}} + C_{\text{S}} \cdot \frac{C_{\text{par,LSB}}}{C_{\text{S}} + C_{\text{LSB}} + C_{\text{par,LSB}}} \right)}{C_{\text{MSB}} + C_{\text{S}} \cdot \frac{C_{\text{LSB}} + C_{\text{par,LSB}}}{C_{\text{S}} + C_{\text{LSB}} + C_{\text{par,LSB}}} + C_{\text{par,MSB}}} .
 \end{aligned} \tag{Gl. 6.4}$$

Hier bezeichnet  $C_{\text{p,MSB}}$  die Summe der MSB Kondensatoren, die an die positive Referenz  $U_{\text{refp}}$  angeschlossen sind, und  $C_{\text{m,MSB}}$  entsprechend die Summe, die an die negative Referenz  $U_{\text{refm}}$  angeschlossen sind. Eine entsprechende Nomenklatur gilt für die LSB Kondensatoren. Der Matlab Code des Modells ist im Anhang B angegeben. An (Gl. 6.4) ist zu erkennen, dass durch die parasitären Kapazitäten neben dem Resultat einer verfälschten Komparatoreingangsspannung, die Anforderungen an den Komparator steigen, denn es gilt für die Komparatoreingangsspannung

$$\lim_{C_{\text{par,MSB}} \rightarrow \infty} (U_{\text{MSB}}) = U_M. \quad (\text{Gl. 6.5})$$

Das bedeutet, dass durch die parasitären Kapazitäten die Aussteuerung DAU-Ausganges gegenüber Mittenspannung verringert wird, und somit auch die kleinste zu detektierende Aussteuerspannung immer niedriger wird. Die parasitären Kapazitäten parallel zu den binär gewichteten Kondensatoren werden hier vernachlässigt, da diese durch ein geschicktes Layout ebenfalls binär gewichtet sind.

Mittels des Matlab Modells des SAR ADUs wurde der Einfluss des eingangsbezogenen Rauschens des Komparators auf die Genauigkeit des ADUs untersucht. Dafür wurde ein sinusförmiges Signal mit kompletter Aussteuerung auf den Eingang des ADUs gegeben, und mit fünffacher Nyquistfrequenz abgetastet. Dabei wurden  $2^{16}$  Werte aufgenommen und mit der Hanning-Fenster Funktion multipliziert, sowie einer Fast-Fourier-Transformation (FFT) unterzogen. Das Leistungsspektrum von der FFT wird bestimmt, indem dessen Betrag zum Quadrat durch die Anzahl der Abtastwerte zum Quadrat dividiert wird. Die Leistung des Signalanteils ergibt sich aus der Summe einer hinreichend kleinen Anzahl Werte des Leistungsspektrums um den fundamentalen FFT-Ton (auch als erste Harmonische bezeichnet) des Signals. Die Summe der übrigen Werte des Leistungsspektrums ohne Gleichanteil ergeben den Anteil des Rauschens und Quantisierungsrauschens inklusive Nichtlinearitäten.



**Abbildung 6.9:** SNDR über eingangsbezogener Rauschspannung des Komparators für einen 10 Bit SAR ADU

Somit lässt sich das SNDR (signal-to-noise and distortion ratio) bestimmen, welches in Abbildung 6.9 über dem Effektivwert der eingangsbezogenen Rauschspannung des Komparators  $\sqrt{u_{\text{neinKomp}}^2}$  aufgetragen ist. Die Rauschspannung entspricht in der Rauschberechnung aus Kapitel 5.4.1

$$\sqrt{u_{\text{neinKomp}}^2} = \sqrt{u_{\text{nausDAU,Schalter}}^2 + \sum_{i=1}^3 u_{\text{neinInvi,th}}^2 + \sum_{i=1}^3 u_{\text{neinInvi,l/f}}^2} \quad (\text{Gl. 6.6})$$

und wird im Modell in jedem Zyklus der Wandlung mit einem Zufallsgenerator mit Mittelwert Null und Standardabweichung 1 gewichtet. Diese momentane Rauschspannung wird im Modell der Komparatorschwelle beaufschlagt. Für kleine Rauschspannungen wird nahezu der ideale Wert von 62 dB erreicht, und ein 3 dB Abfall im SNDR ist ab 600  $\mu\text{V}$  zu verzeichnen.

Für die verwendete Technologie existieren keine Messungen zu lokalem Matching von Kondensatoren. Dennoch hat das Matching der Einheitskondensatoren großen Einfluss auf die Genauigkeit des SAR ADUs, wobei ein Mismatch im MSB Kondensator den meisten Einfluss besitzt. Um die Wirkung von Kondensatormismatch auf die Genauigkeit des ADUs zu untersuchen, ist mit dem Matlab Modell eine Monte Carlo Simulation durchgeführt worden. Dafür ist jeder Einheitskondensator mit einer von einem Zufallsgenerator gewichteten Abweichung  $\Delta C$  vom idealen Wert  $C$  belegt worden. Für jedes  $\Delta C$  sind 100 Simulationen

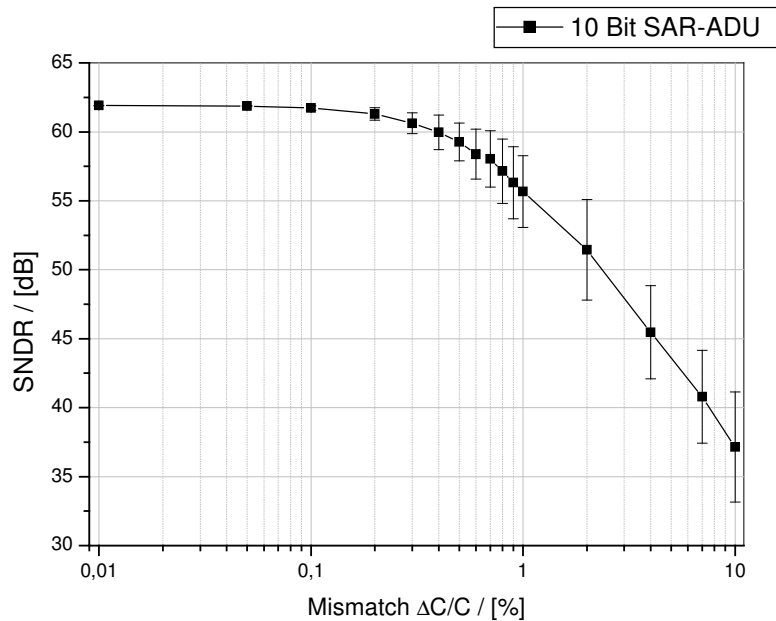
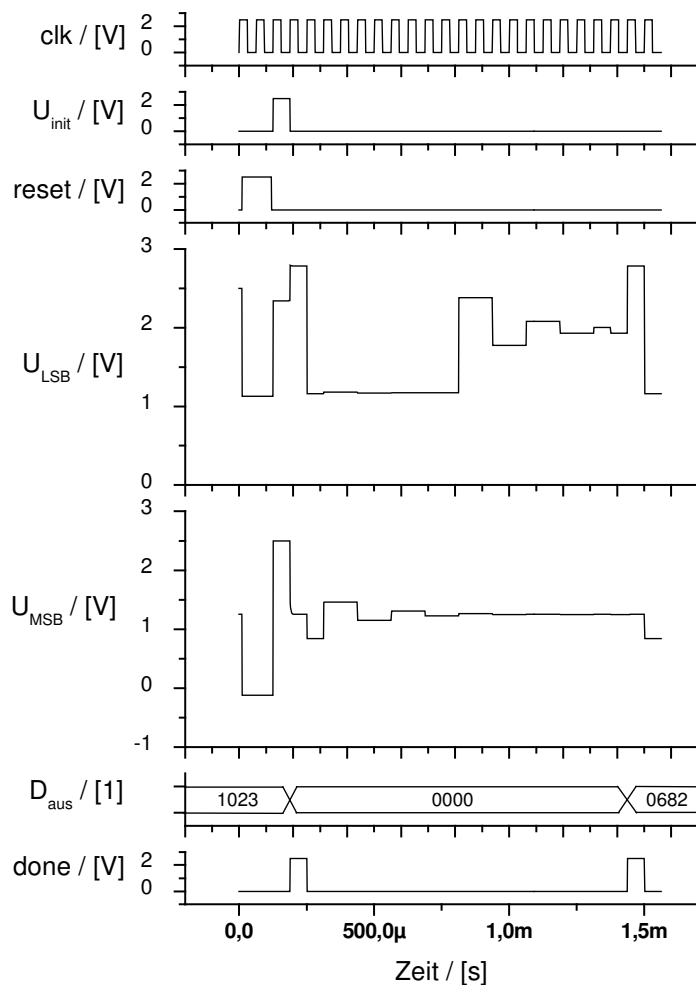


Abbildung 6.10: SNDR in Abhängigkeit des Kondensatormismatches für einen 10 Bit SAR ADU

durchgeführt worden und in Abbildung 6.10 sind Mittelwert und Standardabweichung des SNDR, welches wie zuvor beschrieben bestimmt wird, dargestellt. Ein Abfall des SNDR um 3 dB ist für ein Mismatch von 0,5 % erreicht. Bei einem Kondensatormismatch von 1%, wie es für viele Technologien ein typischer Wert ist, kann dem SNDR von 55,7 dB entsprechend eine Genauigkeit von 8,96 Bit abgeschätzt werden.

Der SAR ADU mit 10 Bit Auflösung wurde auf Transistorebene mit einer Einheitskapazität von 500 fF realisiert. Die Schaltung wird mit einem Takt von 16 kHz betrieben, und besitzt drei Versorgungsspannungen. Die digitale und die analoge Versorgungsspannung sind mit 2,5 V belegt. Die Versorgungsspannung der Buffer wird separat mit 2,5 V angeschlossen, um den Stromverbrauch des reinen ADUs ermitteln zu können.

In Abbildung 6.11 ist beispielhaft der zeitliche Verlauf einiger Signale für die Eingangsspannung  $U_{\text{ein}} = 1,666 \text{ V}$  dargestellt. Dies entspricht bei einem Eingangs

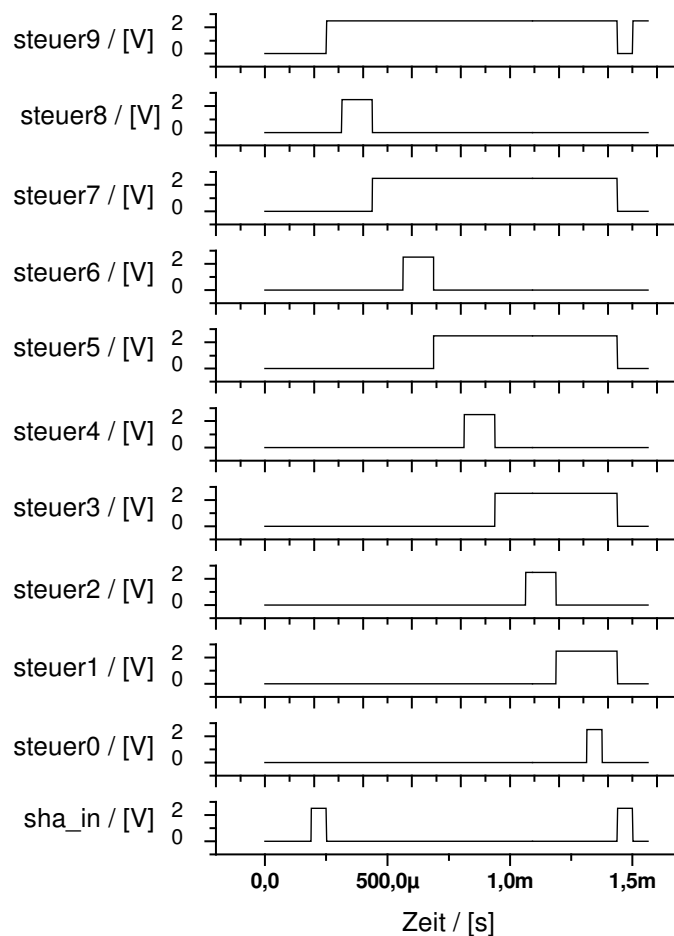


**Abbildung 6.11:** Zeitlicher Verlauf der Eingänge clk, reset und der Ausgänge D<sub>aus</sub>, done sowie der internen Signale U<sub>init</sub>, U<sub>LSB</sub>, U<sub>MSB</sub> für eine Eingangsspannung von 1,666 V („typical“, 27 °C)

spannungshub von 2,5 V und einer Auflösung von 10 Bit einem Ausgangswert von 682. Nach 10  $\mu\text{s}$  wird in dieser Simulation der high-aktive Reset für 100  $\mu\text{s}$  gesetzt. Daraufhin werden die Steuersignale zum Anlegen der Referenzen im Kondensatorarray  $\text{steuer}\langle 9:0 \rangle$  und das Steuersignal  $\text{sha\_in}$  zum Kurzschließen des Inverters im Komparator zu Null gesetzt. Weiterhin erfolgt nach dem Zurücksetzen des Resets, ein Setzen des Initialisierungssignals  $U_{\text{init}}$  bei der nächsten positiven Taktflanke. Mit  $U_{\text{init}}$  werden die Knoten  $U_{\text{LSB}}$  und  $U_{\text{MSB}}$  in einem Taktzyklus auf Versorgungsspannung geladen. Der digitale Ausgang  $D_{\text{aus}}\langle 9:0 \rangle$  besitzt seinen vorigen Wert, wobei in der Simulation alle Ausgänge in der Startbedingung mit Eins belegt sind. Bei der darauf folgenden Taktflanke bzw. immer nach einem gesamten Wandlungszyklus wird das Steuerregister an das Ausgangsregister übergeben und die Signale  $\text{done}$  sowie  $\text{sha\_in}$  für einen Taktzyklus gesetzt. Das Signal  $\text{done}$  dient als Triggersignal bei der Auslese des digitalen Wortes, und das Signal  $\text{sha\_in}$  aktiviert die Abtastphase, indem durch den kurzgeschlossenen Inverter das Potenzial  $U_{\text{MSB}}$  auf Mittenspannung gelegt wird. Da die Steuersignale mit dem Reset zu Null gesetzt wurden, erhält auch  $D_{\text{aus}}$  den Wert 0. Nach 20 Taktzyklen ergibt sich am Ausgang der dezimale Wert 682, wie dieser der Eingangsspannung entsprechend zu erwarten war.

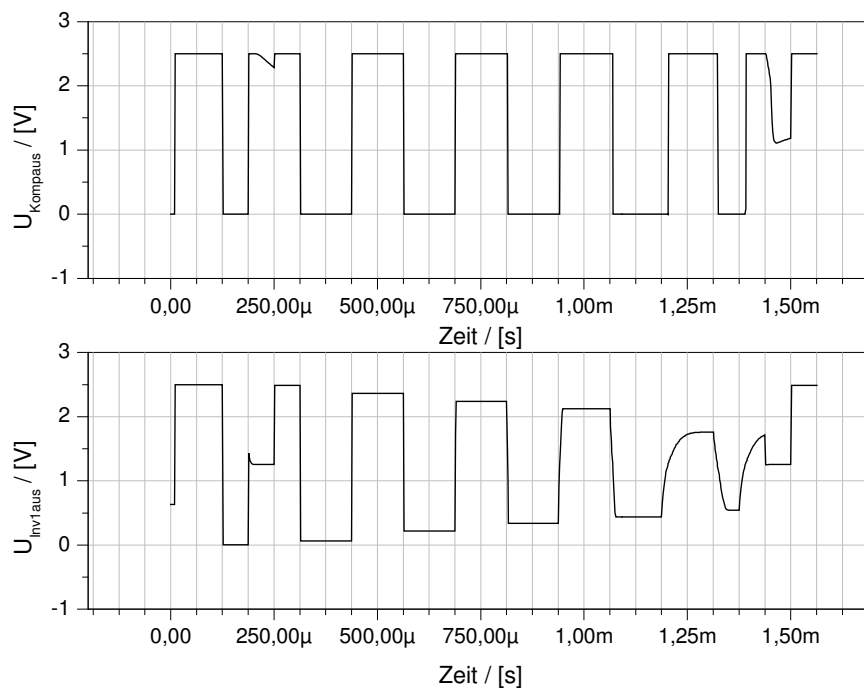
Die Steuersignale  $\text{sha\_in}$  und  $\text{steuer}\langle 9:0 \rangle$  sind in Abbildung 6.12 zu sehen. Die Steuersignale werden mit dem MSB beginnend sukzessive auf Eins gesetzt. Dies bedeutet, dass zu Beginn des Umwandlungsprozesses der MSB Kondensator an Versorgungsspannung und die restlichen Kondensatoren an Masse geschaltet werden. Das Potenzial  $U_{\text{MSB}}$  sinkt ab, da die Kapazitäten in der Abtastphase auf Eingangsspannung minus Mittenspannung aufgeladen wurden und nun der MSB- bzw. LSB-Knoten floatet. Weiterhin ist die zum Steuerwort äquivalente Spannung kleiner als die Eingangsspannung. Also wird der MSB-Knoten anhand eines kapazitiven Spannungsteilers nach unten gezogen. Aufgrund der nicht sofort erfolgenden Umladevorgänge sinkt das Potenzial kurzzeitig sogar in den negativen Bereich. Deswegen werden die am MSB angeschlossenen Schalter nur mit PMOS-Transistoren realisiert, um eine leitende pn-Diode (Substrat-Diffusion beim NMOS) zu verhindern.

Anhand des Komparatorausganges wird entschieden, ob das MSB beim Setzen des nächst niederwertigeren Bits gesetzt bleibt. Dies ist der Fall, da  $U_{\text{MSB}}$  unter der Mittenspannung liegt, und der Komparatorausgang eine 1 aufweist. Beim nächsten Bit tritt der umgekehrte Fall auf, dass  $U_{\text{MSB}}$  über die Mittenspannung angehoben wird und das Bit aufgrund des Komparatorausganges von 0 wieder zurückgesetzt wird. Dieser Vorgang wird fortgesetzt bis alle Bits bestimmt sind.



**Abbildung 6.12: Interne Steuersignale im SAR ADU für eine Eingangsspannung von 1,666 V („typical“, 27 °C)**

In Abbildung 6.13 ist der zeitliche Verlauf für die Komparatorausgangsspannung  $U_{\text{Kompaus}}$  und die Spannung am Ausgang des ersten Inverters  $U_{\text{Inv1aus}}$  dargestellt. An  $U_{\text{Inv1aus}}$  ist zu erkennen, wie in der ersten Abtastphase bei 187,5  $\mu\text{s}$  das Potenzial auf Mittenspannung gezogen wird. Ab 250  $\mu\text{s}$  beginnen die Wandlungsphasen, wobei bis auf für die Bestimmung des MSB und des LSB zwei Taktzyklen vorgesehen sind. Dem MSB wird wegen der Abtastphase, und dem LSB wegen der Wortübergabe des Steuerregisters an das Ausgangsregister ein Taktzyklus weniger zur Verfügung gestellt. Dies ist vertretbar, da der Einfluss des LSB am geringsten ist, und das Einschwingverhalten des MSB auch in einer Taktperiode gut gewährleistet ist. Die Taktperiode wurde so gewählt, dass auch das LSB rechtzeitig einschwingt. Dies ist an dem Ausgangssignal des letzten Inverters im Komparator  $U_{\text{Kompaus}}$  aus Abbildung 6.8 zu erkennen, welches vor dem Entscheidungszeitpunkt bei 1,375 ms den Wert 0 annimmt.



**Abbildung 6.13: Zeitlicher Verlauf des Komparatorausganges und eines internen Signals im Komparator bei einer Eingangsspannung von 1,666 V („typical“, 27 °C)**

Als Verbesserung wird die Möglichkeit vorgeschlagen, für die Bestimmung aller Bits die gleiche Zeit zur Verfügung zu stellen. Das bedeutet, dass bei 10 Bit Auflösung 12 Taktperioden anstatt der hier verwendeten 20 notwendig sind. Somit kann annähernd mit doppelter Geschwindigkeit ausgelesen werden. Allerdings ist auch der durchschnittliche Stromverbrauch ungefähr doppelt so hoch, da der Stromverbrauch von der Abtastphase dominiert wird, und dieser dann im Verhältnis 1/12 anstatt 1/20 zum gesamten Wandlungszyklus steht.

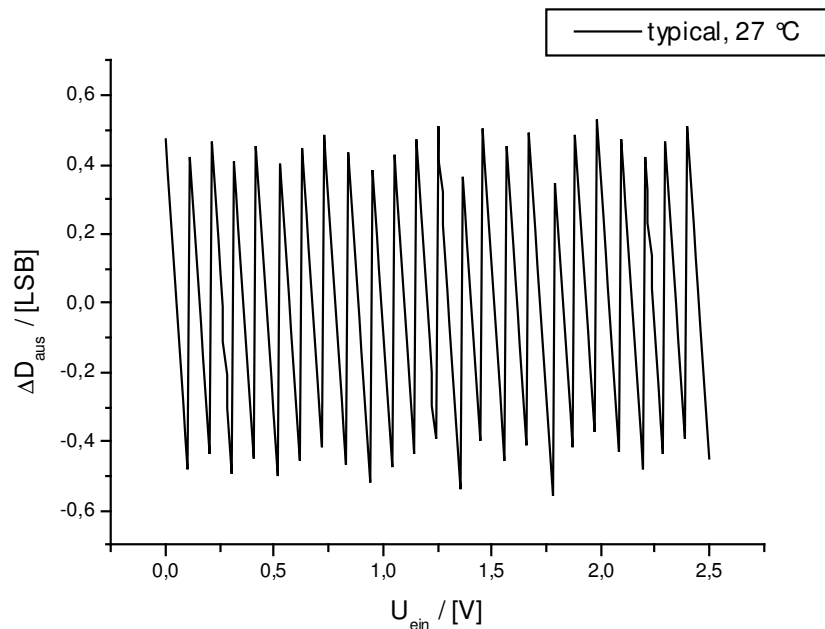
Der mittlere Stromverbrauch des SAR ADUs beträgt in dem hier simulierten Beispiel mit dem Ausgangswort 682 für den Analogteil 836 nA und für den Digitalteil 331 nA. Dies entspricht bei einer Versorgungsspannung von 2,5 V einem Leistungsverbrauch von 2,92  $\mu$ W. Bei der Bestimmung der Integralen Nichtlinearität INL wird auf die Definition der INL für einen ADU nach [63] zurückgegriffen. Dort wird die INL als analoger Abstand von den Mittelpunkten der Stufen der Übertragungskennlinie zu einer Ausgleichsgeraden, welcher auf einen analogen LSB Wert normalisiert wird, definiert. Somit resultiert, abgesehen von fehlenden Ausgangswerten, ein Wert der INL für jeden digitalen Ausgangswert. Da allerdings die Stufen bzw. die Übergänge zwischen den Ausgangswerten aufgrund langer



Simulationszeit nicht genau erfasst sind, wird hier die Abweichung  $\Delta D_{\text{aus}}$  der Ausgangswerte  $D_{\text{aus}}$  zu einer Ausgleichsgeraden BSL („best-fit straight line“) bestimmt:

$$\Delta D_{\text{aus}}(U_{\text{ein}}) = D_{\text{aus}}(U_{\text{ein}}) - \text{BSL}(U_{\text{ein}}). \quad (\text{Gl. 6.7})$$

Die Angabe von  $\Delta D_{\text{aus}}$  erfolgt in LSB („least significant bit“). Die Übertragungskennlinie des 10 Bit SAR ADUs ist mit Eingangsspannungen in 10 mV Schritten durchfahren worden. Mit Hilfe einer Ausgleichsgeraden ist aus diesen Daten die Abweichung der Ausgangswerte bestimmt worden. In Abbildung 6.14 ist das Ergebnis von  $\Delta D_{\text{aus}}$  für die Simulation des Schaltplanes mit den Parametern „typical“ und 27 °C zu sehen.



**Abbildung 6.14:**  $\Delta D_{\text{aus}}$  gegenüber  $U_{\text{ein}}$  aus Simulation des Schaltplanes („typical“ bei 27 °C)

Um die wirkliche maximale Abweichung zu bestimmen, müsste das Abtastintervall der Eingangsspannung infinitesimal klein sein, da dann die Grenzen des Wechsel des Ausgangswortes genau erfasst werden. Gegenüber der idealen Abweichung von  $-0,5$  LSB bis  $0,5$  LSB aufgrund des Quantisierungsfehlers ergibt sich für die begrenzte Anzahl an Simulationen ein  $\Delta D_{\text{aus}}$  von  $-0,55749$  LSB bis  $0,52877$  LSB. Auf die Bestimmung der Differentiellen Nichtlinearität DNL wird in der Simulation, wegen der ebenfalls begrenzten Anzahl an Simulationen, verzichtet.

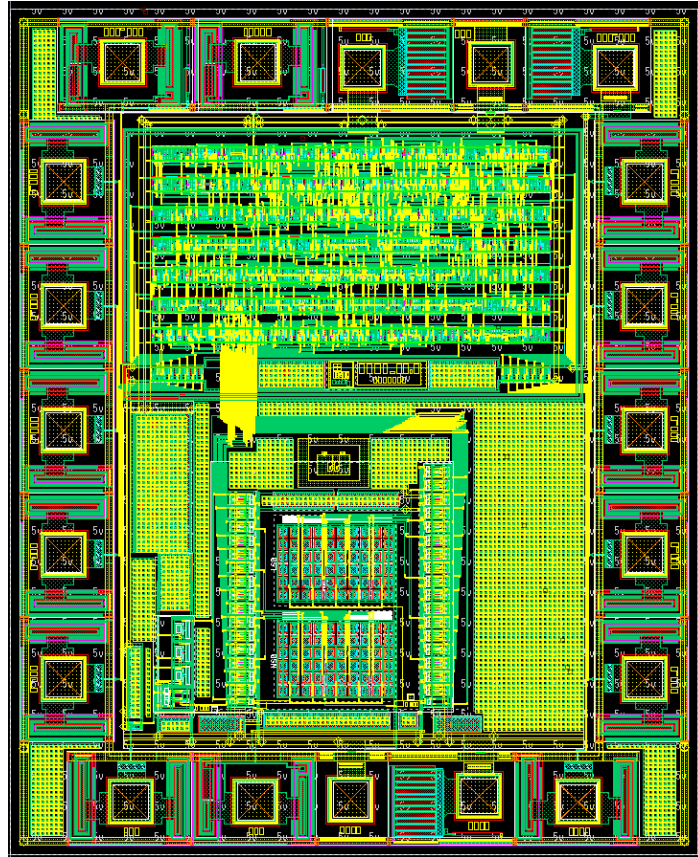


Abbildung 6.15: Layout des 10 Bit SAR ADU

Von dem entworfenen SAR ADU wurde zudem ein Layout erstellt, welches in Abbildung 6.15 dargestellt ist. Besondere Aufmerksamkeit wurde dem Layout des kapazitiven D/A-Umsetzers zugeteilt. Es wurden Einheitskondensatoren in den Arrays genutzt, und Matching wurde hauptsächlich in dem MSB und LSB Array erreicht. Sorgfältiges Anordnen der Verdrahtung resultiert in einer binären Gewichtung der parasitären Kapazitäten.

Nach Extraktion einer Netzliste mit den parasitären Kapazitäten ist die Abweichung  $\Delta D_{\text{aus}}$  in den Corner-Parametern simuliert worden. Bei dieser Backannotating-Simulation ist der Digitalteil aufgrund der Simulationszeit weiterhin als Schaltplan simuliert worden. Die Ergebnisse von  $\Delta D_{\text{aus}}$  sind in Tabelle 6.4 aufgelistet.

	„typical“ T=27°C	„fast“; T=45°C	„slow“; T=15°C
$\Delta D_{\text{aus,min}} / [\text{LSB}]$	-0,60606	-0,53997	-0,62407
$\Delta D_{\text{aus,max}} / [\text{LSB}]$	0,60159	0,54961	0,6039

Tabelle 6.4: Ergebnisse der Backannotating-Simulation in den Corner-Parametern

Wie zu erwarten, ist die Abweichung  $\Delta D_{\text{aus}}$ , welche im Zusammenhang zur Nichtlinearität steht, unter Beachtung der parasitären Kapazitäten gegenüber des reinen Schaltplanes höher. Im Extremfall der schnellen Simulationsparameter in Verbindung einer hohen Temperatur ergibt sich die niedrigste Abweichung  $\Delta D_{\text{aus}}$ , da auch aufgrund der geringeren Schwellenspannung ein höherer Strom insbesondere im Komparator fließt. Umgekehrt ergibt sich für die langsamen Simulationsparameter mit einer niedrigen Temperatur die höchste Abweichung.

### 6.3.2 Messung

In einem 0,8  $\mu\text{m}$  Standard Ein-Wannen CMOS Prozess ist ein Testchip des SAR A/D-Umsetzers gefertigt worden, dessen Chipfoto in Abbildung 6.16 präsentiert wird. Bei der Messung der Übertragungskennlinie des SAR ADUs wurde deutlich, dass der Übergang von einem digitalen Ausgangswert zum nächsten nicht direkt geschieht, sondern durch Rauschen

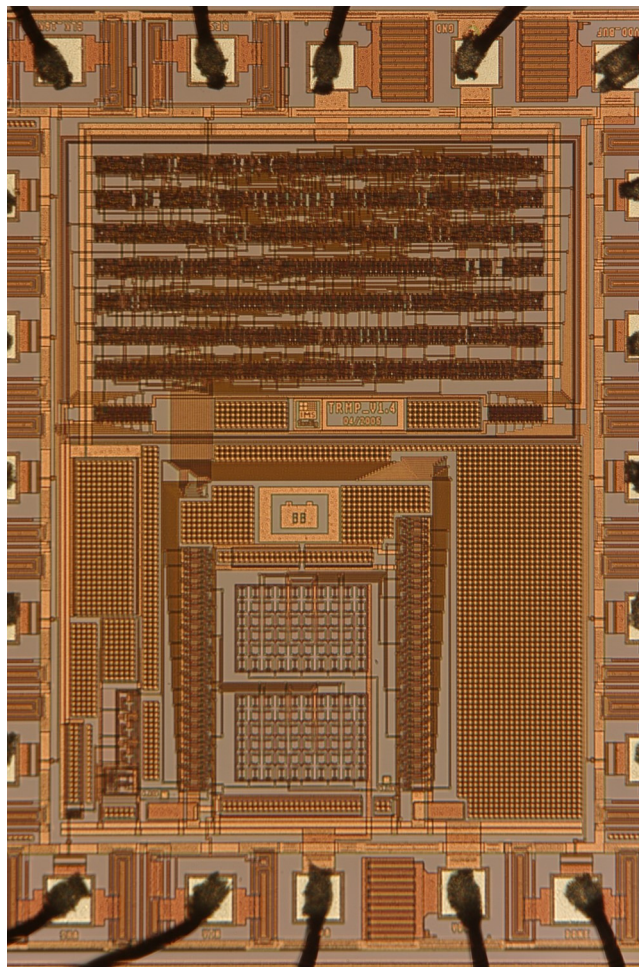
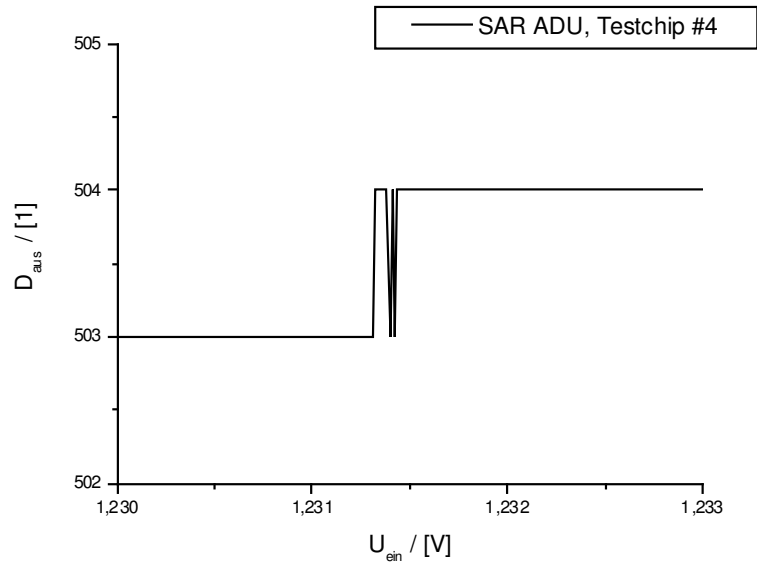


Abbildung 6.16: Foto vom Testchip des 10 Bit SAR ADUs



**Abbildung 6.17: Rauschen beim Übergang des digitalen Ausgangswertes von 503 nach 504**

springt der Umsetzer im Entscheidungsbereich zwischen diesen Werten (siehe Abbildung 6.17). Bei der Berechnung der differentiellen Nichtlinearität ist jedoch ein fester Übergangspunkt notwendig. Deshalb wird der Übergangspunkt mit 50%-iger Wahrscheinlichkeit mittels eines Matlab Programms aus Anhang B bestimmt.

Aus der Ausgleichsgeraden kann das effektive LSB der Eingangsspannung  $U_{\text{LSBe}}$  bestimmt werden. Zusammen mit den Übergangspunkten  $U_T(i)$  mit 50 % Wahrscheinlichkeit von einem Ausgangswert  $i$  zum nächsten  $(i+1)$  lässt sich die DNL nach [63] zu

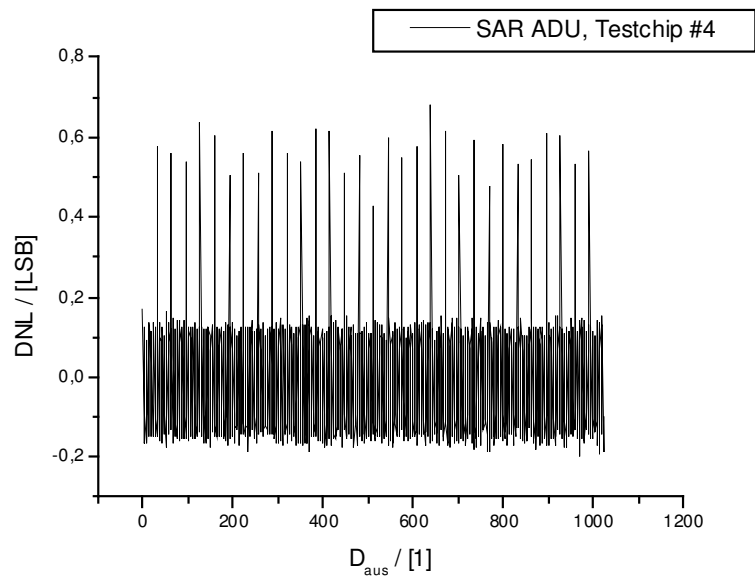
$$\text{DNL}(i) = \frac{U_T(i+1) - U_T(i)}{U_{\text{LSBe}}} - 1 \quad (\text{Gl. 6.8})$$

angeben. Der Verlauf der DNL ist in Abbildung 6.18 für einen der Testchips exemplarisch angegeben.

Die INL wird ebenso wie in [63] als analoger Abstand der Stufenmitten zur Ausgleichsgerade BSL bestimmt, und in LSB angegeben:

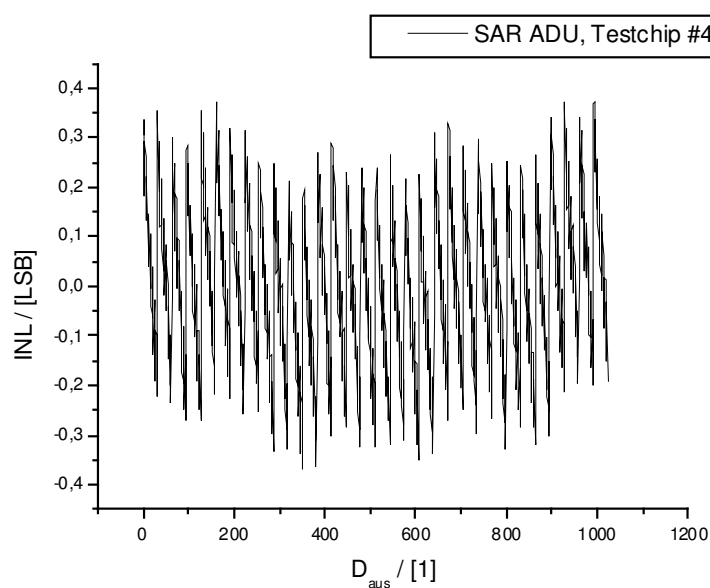
$$\text{INL}(i) = \frac{\frac{U_T(i+1) + U_T(i)}{2} - \text{BSL}^{-1}(i)}{U_{\text{LSBe}}} \quad (\text{Gl. 6.9})$$

Dabei wird mit  $\text{BSL}^{-1}(i)$  die dem Ausgangswert  $i$  entsprechende Eingangsspannung ermittelt. In Abbildung 6.19 ist die INL beispielhaft für einen Testchip über dem Ausgangswert aufgetragen.



**Abbildung 6.18:** Messung der DNL eines Testchips des SAR-ADUs

Anhand der Ausgleichsgerade lässt sich zudem ein Verstärkungsfehler GE und ein Offsetfehler OE gegenüber der idealen Gerade angeben. Der Offsetfehler ist in [63] als analoge Differenz der Ausgleichsgeraden zur idealen Gerade beim Code 0 definiert. Der Verstärkungsfehler gibt die relative Abweichung der Steigung der beiden Geraden an und berechnet sich zu



**Abbildung 6.19:** Messung der INL eines Testchips des SAR-ADUs

$$GE = \frac{\frac{LSB}{U_{LSBe}} - \frac{LSB}{U_{LSBi}}}{\frac{LSB}{U_{LSBi}}} = \frac{U_{LSBi}}{U_{LSBe}} - 1. \quad (Gl. 6.10)$$

Dabei gibt  $U_{LSBi}$  das analoge LSB der idealen Geraden an, welche ohne Verstärkungsfehler und Nichtlinearität zu erwarten ist. Weiterhin bezeichnet  $U_{LSBe}$  das effektive analoge LSB der Ausgleichsgerade. Der Verstärkungsfehler wird hier in Prozent des gesamten Aussteuerbereiches FSR („full scale range“) angegeben.

Eine Zusammenfassung der gemessenen Daten aus den statischen Messungen ist in Tabelle 6.5 zusammengestellt. Die Werte wurden aus dem Durchschnitt von Messungen an 10 Testchips gebildet. Der 10 Bit Umsetzer besitzt im Durchschnitt eine Integrale Nichtlinearität von +/- 0,41 LSB. Die INL liegt damit schlechter als der ideale Wert von Null, wenn keine Nichtlinearität vorhanden ist. Dies lässt sich auf Matching-Fehler im Kondensatorarray oder auf die Genauigkeit des Komparators zurückführen. Die Differentielle Nichtlinearität reicht von -0,19 LSB bis 0,67 LSB. Die Übertragungsfunktion weist einen Verstärkungsfehler von 0,13% FSR und einen Offset von 443  $\mu$ V auf. Der durchschnittliche Stromverbrauch liegt gegenüber den Simulationen etwas höher, so dass der SAR ADU bei einer Versorgungsspannung von 2,5 V ungefähr 3  $\mu$ W verbraucht. Der Leistungsverbrauch liegt damit noch weit über dem theoretischen Minimum, welches sich nach Kapitel 4.3.1 für die erreichte Abtastrate und das unten folgende ENOB zu 12,4 nW berechnet. Eine Annäherung an das theoretische Minimum kann durch technologischen Fortschritt, wie Kapitel 6.6 zeigt, und durch leistungseffizientere Designs erreicht werden.

Auflösung	10 Bit	INL	+/- 0,41 LSB
Minimale DNL	-0,19 LSB	Maximale DNL	0,67 LSB
Offsetfehler	443 $\mu$ V	Verstärkungsfehler	0,13 %FSR
Abtastrate	0,8 kSample/s	Versorgungsspannung	2,5 V
Stromverbrauch (Analog)	~ 700 nA	Stromverbrauch (Digital)	~ 500 nA

**Tabelle 6.5: Gemessene Daten des SAR A/D-Umsetzers**

Der SAR ADU ist für eine Abtastrate von 0,8 kSample/s ausgelegt. In einer dynamischen Messung wurde mit dieser Frequenz ein 80 Hz Sinussignal am Eingang abgetastet. Dies bedeutet eine fünffache Nyquistrate. Das gemessene FFT-Spektrum am Ausgang ist für einen

Testchip in Abbildung 6.20 dargestellt. Dafür wurden mit einem Logic-Analyzer  $2^{17}$  Samples aufgenommen und mit der Matlab Auswertung aus Anhang B die Daten einer FFT unterzogen.

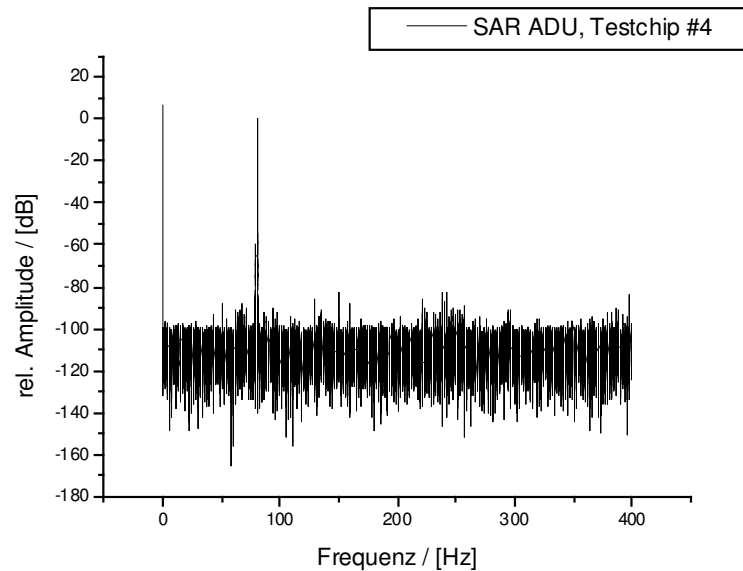
Aus dem FFT Spektrum lassen sich Leistungsmerkmale des ADUs, wie ENOB, SNR und SFDR, bestimmen. Die effektive Anzahl an Bits ENOB („equivalent number of bits“) wird aus dem SNDR („signal-to-noise and distortion ratio“) nach

$$\text{ENOB} = \frac{\text{SNDR} - 1,76}{6,02} \quad (\text{Gl. 6.11})$$

bestimmt. Das SNDR bzw. das SNR ergeben sich nach [63] zu

$$\text{SNDR} = 10 \cdot \log \left( \frac{\text{Power}(H_1)}{\sum_{k=1}^{(N_{\text{sample}}/2)} \text{Power}(f_k) - \sum_{i=0}^1 \text{Power}(H_i)} \right), \quad (\text{Gl. 6.12})$$

$$\text{SNR} = 10 \cdot \log \left( \frac{\text{Power}(H_1)}{\sum_{k=1}^{(N_{\text{sample}}/2)} \text{Power}(f_k) - \sum_{i=0}^{\text{trunc} \left[ \frac{f_{\text{sample}}}{2 \cdot f_{\text{signal}}} \right]} \text{Power}(H_i)} \right). \quad (\text{Gl. 6.13})$$



**Abbildung 6.20:** Gemessenes FFT Spektrum bei VDD=2,5V; 80Hz Eingangssignalfrequenz; 1,25V Amplitude und 0,8kSample/s Abtastrate

Dabei bezeichnet  $\text{Power}(H_i)$  die Leistung der  $i$ -ten Harmonischen von der fundamentalen Frequenz  $H_1$ , und  $H_0$  gibt den Gleichanteil an. Dementsprechend gibt  $\text{Power}(f_k)$  die Leistung der  $k$ -ten Frequenz des FFT-Spektrums an, wobei das Spektrum  $N_{\text{sample}}/2$  Werte umfasst. Beim SNR wird nur der Rauschboden ohne die Harmonischen aufgrund von Verzerrungen berücksichtigt. Dabei reicht die Anzahl der Harmonischen bis zum ganzzahligen Wert des Verhältnisses der Abtastrate  $f_{\text{sample}}$  und der doppelten Eingangssignalfrequenz  $f_{\text{signal}}$ . Der SFDR („spurious free dynamic range“) ist die Differenz in dB aus der Amplitude des Eingangssignals und dem höchst möglichen Anteil der Harmonischen. Die Mittelwerte über 10 Testchips für diese Kennzahlen bei einem Eingangssignal von 80 Hz und einer Abtastrate von 0,8 kSample/s sind in Tabelle 6.6 aufgelistet. Da das SNR nur geringfügig besser als das SNDR ausfällt, kann darauf geschlossen werden, dass die Verzerrungen gering ausfallen und das Rauschen dominiert. Gründe für die Verzerrungen sind Kondensatormismatch, dessen Messung im Testchip nicht vorgesehen war, und Taktdurchgriff, welcher nach (Gl. 4.107) signalabhängig ist. Die volle Auflösung wird, wie die effektive Anzahl an Bits ENOB mit 9,7 Bit zeigt, nur um etwa 0,3 Bit verfehlt. Das Rauschen fällt mit einem SNR von 60,13 dB höher aus als es die Rauschbetrachtung aus Kapitel 5.4.1 mit 66,7 dB nahe legt. Allerdings ist das SNR aufgrund von Quantisierungsrauschen bei einer 10 Bit Architektur maximal auf 62 dB begrenzt.

SNDR	60,0738 dBc	ENOB	9,6856 Bit
SNR	60,1265 dBc	SFDR	78,7938 dBc

Tabelle 6.6: Mittelwert von den Ergebnissen der dynamischen Messung des SAR ADUs

## 6.4 Zyklischer A/D-Umsetzer

Der zyklische A/D-Umsetzer mit Switched-Opamp (SOA) Technik und Mismatch Kompensation ist in einer 0,8  $\mu\text{m}$  Standard CMOS Technologie entwickelt und gefertigt worden. Es wurden die mit einer 1,2  $\mu\text{m}$  Standard CMOS Technologie vergleichbaren Bauelemente verwendet, um einen Technologietransfer zu dieser Technologie, welche die Integration kapazitiver Drucksensoren ermöglicht, zu erleichtern. Somit wurden Vorteile, wie geringere Schwellenspannung, kleinere Kondensatoren oder kürzere Minimallänge der Transistoren, nicht genutzt. Im folgenden werden die wichtigsten Simulationsergebnisse von einem einfachen Matlab Modell und der realisierten Schaltung sowie die Messergebnisse zusammengestellt.



## 6.4.1 Simulation

In Kapitel 5.3.3 wurde eine Kompensation des Kondensatormismatches für einen zyklischen ADU mit SOA Technik vorgestellt. Ein Fehler in der Multiplizierung mit zwei hat einen hohen Einfluss auf die Nichtlinearität des ADUs. Mit einem einfachen Matlab Modell (siehe Anhang C) wird der Einfluss von Kondensator Mismatch zum einen in der Sample&Hold Stufe (SH) bei einer Multiplizierstufe ohne Kondensator Mismatch, und zum anderen der Einfluss von Kondensator Mismatch in der Multiplizierstufe (X2) bei einer Sample&Hold Stufe ohne Mismatch untersucht. Für eine feste prozentuale Abweichung in der Einheitskapazität wurde die maximale INL bestimmt. Dabei wurden alle möglichen Kombinationen positiver, negativer oder keiner Abweichung für alle Kondensatoren, welche die Verstärkung der jeweiligen Stufe bestimmen, untersucht. Der „worst case“ der INL mit und ohne Mismatch Kompensation über der prozentualen Abweichung der Kapazität ist für die beiden Fälle in Abbildung 6.21 und Abbildung 6.22 dargestellt. Dabei ist auch in der Sample&Hold Stufe aus Abbildung 5.16 eine Mismatch Kompensation durch Tauschen der Kondensatoren  $C_{1a}$  und  $C_{2a}$  bzw.  $C_{1b}$  und  $C_{2b}$  mit jedem Takt angenommen worden. Da aber, wie in Abbildung 6.21 und Abbildung 6.22 zu erkennen ist, die Verbesserung durch die Mismatch Kompensation in der Sample&Hold Stufe im Vergleich zur Multiplizierstufe gering ausfällt und die digitale Steuerung den Stromverbrauch erhöht, wird die Mismatch Kompensation nur auf die Multiplizierstufe angewendet.

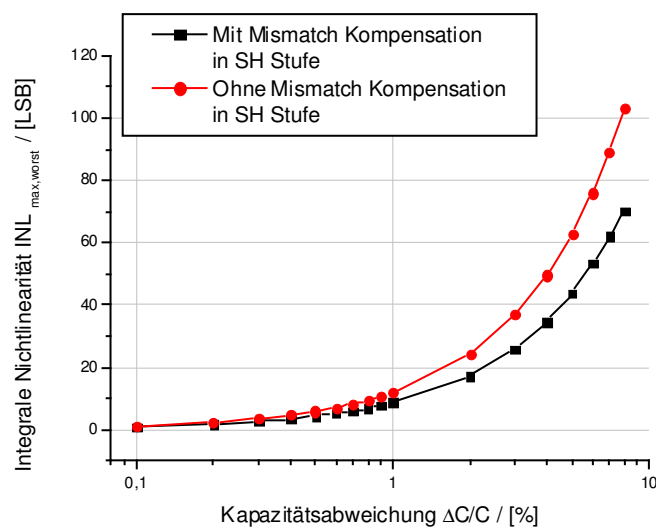


Abbildung 6.21: „Worst Case“ der INL (Simulation) über Kondensatormismatch in der Sample&Hold Stufe

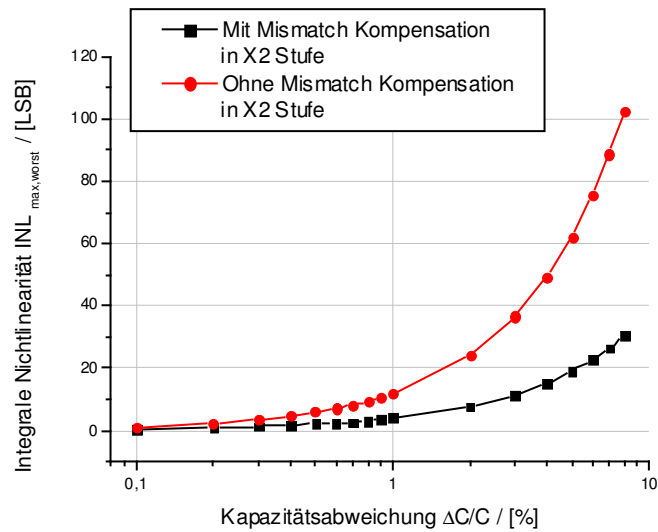


Abbildung 6.22: „Worst Case“ der INL (Simulation) über Kondensatormismatch in der Multiplizierstufe

Mit Mismatch Kompensation in der Multiplizierstufe fällt die INL bis zu dreimal kleiner aus als ohne Kompensation. Denn wie in Kapitel 5.3.3 für einen ungünstigen Fall von Mismatch gezeigt, hängt der Fehler ohne Kompensation maximal von der Kapazitätsabweichung und

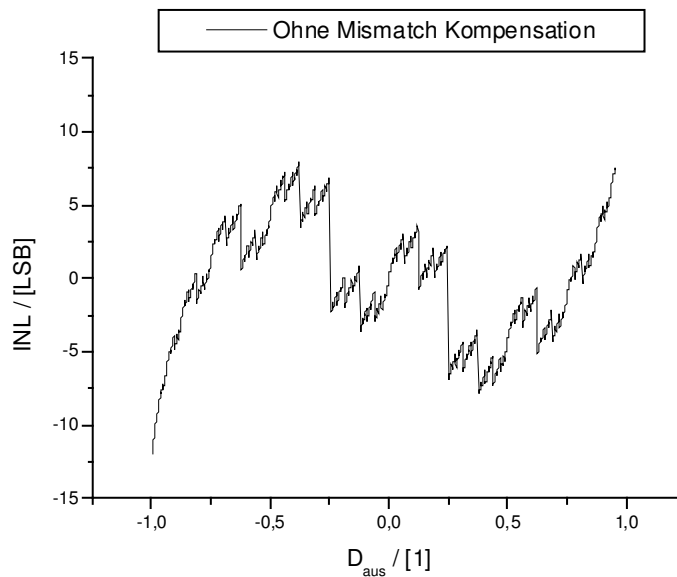
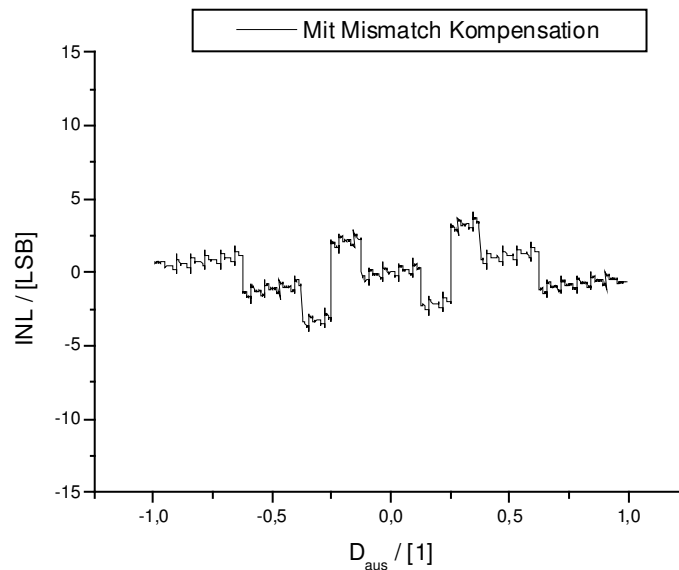


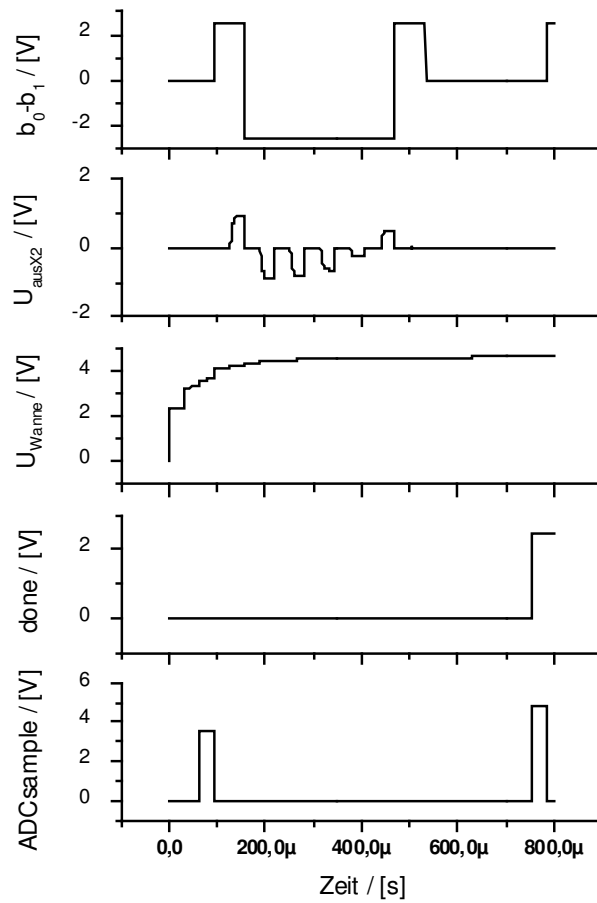
Abbildung 6.23: Simulation der INL des „worst case“ ohne Mismatch Kompensation (bei 1% Kapazitätsabweichung)



**Abbildung 6.24: Simulation der INL des „worst case“ mit Mismatch Kompensation (bei 1% Kapazitätsabweichung)**

mit Kompensation maximal den deren Quadrat ab. Der INL Verlauf des „worst case“ ist in Abbildung 6.23 ohne und in Abbildung 6.24 mit Mismatch Kompensation exemplarisch für 1% Kapazitätsabweichung aufgetragen. Dabei ist der Ausgangswert relativ angegeben, so dass der maximale Ausgangswert ungefähr eins ergibt.

Im folgenden werden die wichtigsten Simulationsergebnisse des auf Transistorebene realisierten zyklischen ADUs zusammengestellt. Abbildung 6.25 zeigt den zeitlichen Verlauf von einigen Signalen bei einer Eingangsspannung von 976,5625 mV. Der Reset wird in den ersten 20  $\mu\text{s}$  aktiviert. Die Differenz der Komparatorausgänge  $b_0$  und  $b_1$  gibt den RSD Code an und repräsentiert einen dezimalen Ausgangswert von 1000, wie er bei dieser Eingangsspannung und einer Versorgungsspannung von 2,5 V zu erwarten war. Dabei ist die einmalige Invertierung des Eingangssignals der Sample&Hold Stufe zur Offset Kompensation zu beachten. Somit tritt die ersten 6 Zyklen der RSD Code 1, gefolgt von einer  $-1$  und in den restlichen Zyklen eine 0 auf. Die Ausgangsspannung der Multiplizierstufe  $U_{\text{ausX2}}$  zeigt eine Verdopplung der vorherigen Spannung und die Addition bzw. Subtraktion einer Referenz entsprechend der Komparatorausgänge. Die Spannung  $U_{\text{Wanne}}$ , welche das Wannenpotenzial für einen PMOS in den Clock Boostern vorgibt, erreicht in einigen Zyklen seinen Endwert, so dass die pn-Übergänge im PMOS nicht mehr leiten können. Das Signal ADCsample gibt an, wann die Eingangsspannung von der Sample&Hold Stufe abgetastet wird, und das Signal done signalisiert einen abgeschlossenen Wandlungszyklus.



**Abbildung 6.25:** Simulation einiger Ausgangssignale und interne Signale des zyklischen ADUs ( $U_{\text{ein}}=976,5625\text{mV}$ )

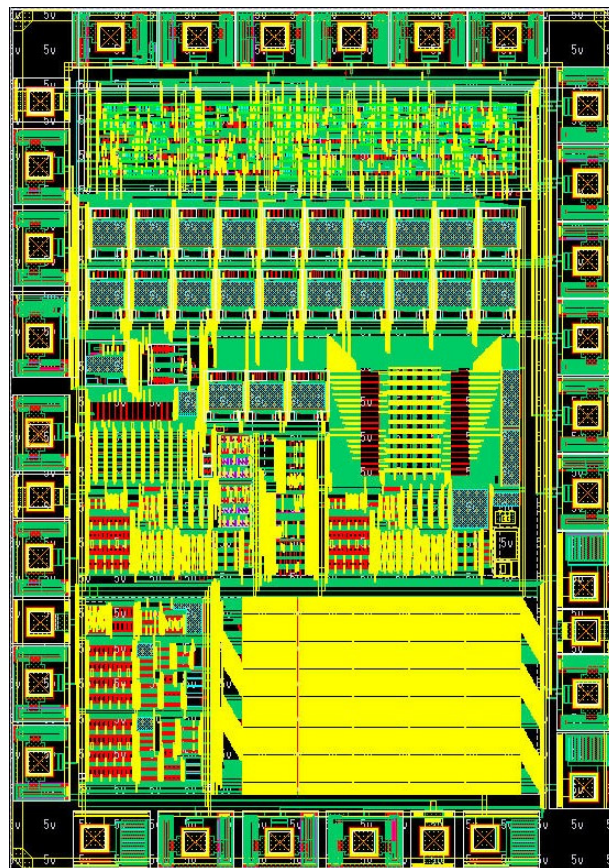
Der Stromverbrauch des ADUs ohne die Erzeugung der Referenzspannungen beträgt in der Simulation für das obige Beispiel im Analogteil etwa  $3,44\text{ }\mu\text{A}$  und für den Digitalteil etwa  $2,05\text{ }\mu\text{A}$ . Der Biasstrom wird mit  $960\text{ nA}$  von außen vorgegeben und in der Schaltung entsprechend gespiegelt.

Da die Übertragungskennlinie aufgrund langer Simulationszeiten für eine INL Bestimmung nicht hinreichend genau genug aufgenommen werden kann, wurde stichprobenartig die Abweichung des Ausgangswertes von einer Ausgleichsgeraden  $\Delta D_{\text{aus}}$  nach (Gl. 6.7) bestimmt. Für die Parameter „typical“, eine Temperatur von  $27^\circ\text{C}$  und  $2,5\text{ V}$  Versorgungsspannung wurde  $\Delta D_{\text{aus}}$  anhand von 251 Eingangsspannungen bestimmt, und liegt im Bereich von  $\pm 0,682\text{ LSB}$ . Idealerweise beträgt die Abweichung  $\pm 0,5\text{ LSB}$ . Zudem wurde die Abweichung  $\Delta D_{\text{aus}}$ , auf Basis einer Stichprobe mit 51 äquidistanten

	„typical“ T=27°C	„fast“; T=80°C	„slow“; T=-20°C
$\Delta D_{\text{aus}} / [\text{LSB}] @ U_{\text{DD}}=2,3\text{V}$	+/- 0,48406	+/- 0,66877	+/- 1,54071
$\Delta D_{\text{aus}} / [\text{LSB}] @ U_{\text{DD}}=2,8\text{V}$	+/- 0,5886	+/- 0,53792	+/- 0,48869
$\Delta D_{\text{aus}} / [\text{LSB}] @ U_{\text{DD}}=3,3\text{V}$	+/- 0,59265	+/- 0,61286	+/- 0,55714

**Tabelle 6.7: Simulationsergebnisse der Abweichung  $\Delta D_{\text{aus}}$  in den Corner Parametern für verschiedene Versorgungsspannungen**

Eingangsspannungen, für die Versorgungsspannungen 2,3 V und 2,8 V sowie 3,3 V in drei Corner Parametern verglichen (siehe Tabelle 6.7). Wegen der eingesetzten Clock Booster ist eine höhere Versorgungsspannung als 3,3 V im Dauerbetrieb nicht geeignet, da Drain-Source Spannungen in Höhe der verdoppelten Spannung auftreten. Ebenso sind niedrigere Versorgungsspannungen als 2,3 V nicht sinnvoll, da bei niedriger Temperatur und den Parametern „slow“ die Abweichung  $\Delta D_{\text{aus}}$  stark zunimmt. Ein Grund dafür ist die in diesem Fall hohe Schwellenspannung von über 1 V, welche zu einem Abschnüren der Stromquelle des Verstärkers bei Mittenpotenzial am Eingang führen kann.



**Abbildung 6.26: Layout des SOA basierten zyklischen ADUs**

Von dem entwickelten zyklischen A/D-Umsetzer wurde ein Layout (Abbildung 6.26) erstellt. Aus dem Layout kann eine Netzliste mit parasitären Kapazitäten extrahiert werden. Beim Layout wurde versucht die parasitären Kapazitäten zu minimieren, indem die Leitungsbreiten kritischer Leitungen reduziert werden, und die kapazitive Kopplung von Steuerleitungen zu empfindlichen Knoten verringert wird. Allerdings ist die kapazitive Kopplung von der Taktleitung zum empfindlichen Verstärker-Eingang bei einem Switched-Opamp (SOA), welcher geschaltet wird, kaum zu vermeiden. Eine solche kapazitive Kopplung führt zu Offset in der Sample&Hold Stufe und Multiplizierstufe. Weiterhin haben eine gegenseitige Kopplung von Verstärker-Eingang zu Verstärker-Ausgang sowie von Stufeneingang zu Verstärker-Eingang einen Einfluss auf die Verstärkung der jeweiligen Stufe.

Mit der parasitär extrahierten Netzliste wurde eine Backannotating-Simulation durchgeführt. Die parasitären Kapazitäten von den Ausgängen des zweistufigen SOAs zu Masse verschieben den zweiten Pol zu niedrigeren Frequenzen und verschlechtern die Stabilität. Aus diesem Grund wurde die Kompensations-Kapazität des SOAs in der Sample&Hold Stufe vergrößert. Die parasitären Kapazitäten stellen nur eine Abschätzung dar, zeigen aber einen deutlichen Anstieg der Abweichung  $\Delta D_{\text{aus}}$ , welche ein Maß für die Nichtlinearität darstellt. Diese reicht in der Backannotating-Simulation für „typical“, 27°C und 2,5 V Versorgungsspannung von –3,15 LSB bis 2,91 LSB.

### 6.4.2 Messung

Für den gefertigten Testchip des zyklischen A/D-Umsetzers wurden einige charakteristische Merkmale von ADUs bestimmt. Das Chipfoto des Testchips ist in Abbildung 6.27 zu sehen. Die Messung der Übertragungskennlinie mit einem aufgenommenen Wert pro Eingangsspannung zeigt ein zufälliges Springen zwischen drei Ausgangswerten aufgrund von Rauschen. Das Überschreiben der auf dem Chip erzeugten Referenzspannungen mit externen Quellen brachte keine Verbesserung des Rauschens. Deshalb wurde der Mittelwert aus 2000 Messwerten pro Eingangsspannung gebildet. Aus der ermittelten Übertragungskennlinie sind die Differentielle Nichtlinearität DNL und die Integrale Nichtlinearität INL nach (Gl. 6.8) und (Gl. 6.9) mittels zweier Matlab Programme (siehe Anhang C) bestimmt worden. Die Verläufe der DNL und INL werden beispielhaft von einem der Testchips in Abbildung 6.28 und Abbildung 6.29 gezeigt. Die INL weist die für einen zyklischen RSD ADU typischen Sprünge auf.

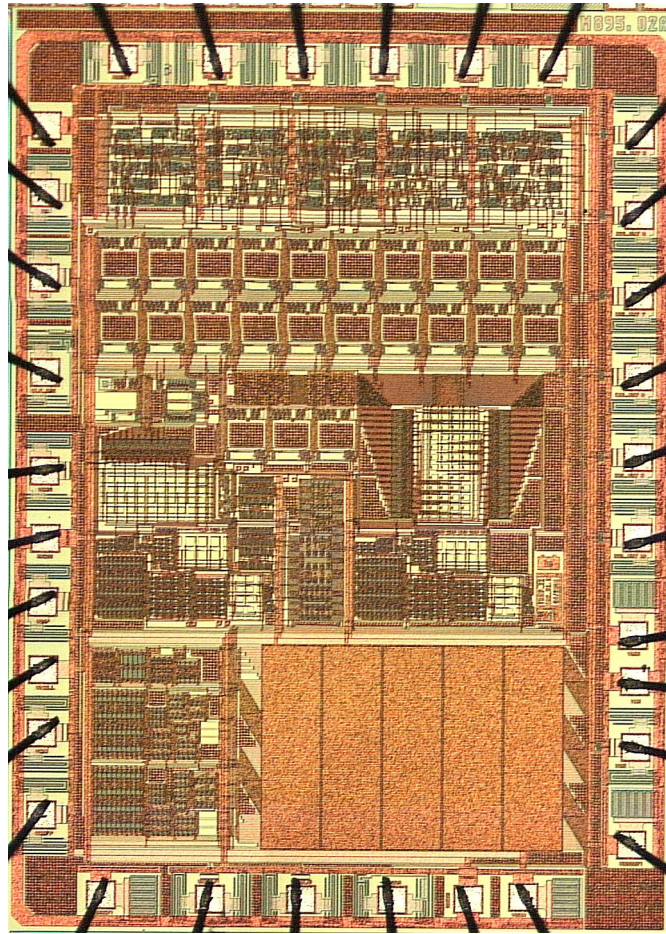


Abbildung 6.27: Foto vom Testchip des 11 Bit SOA basierten zyklischen ADUs

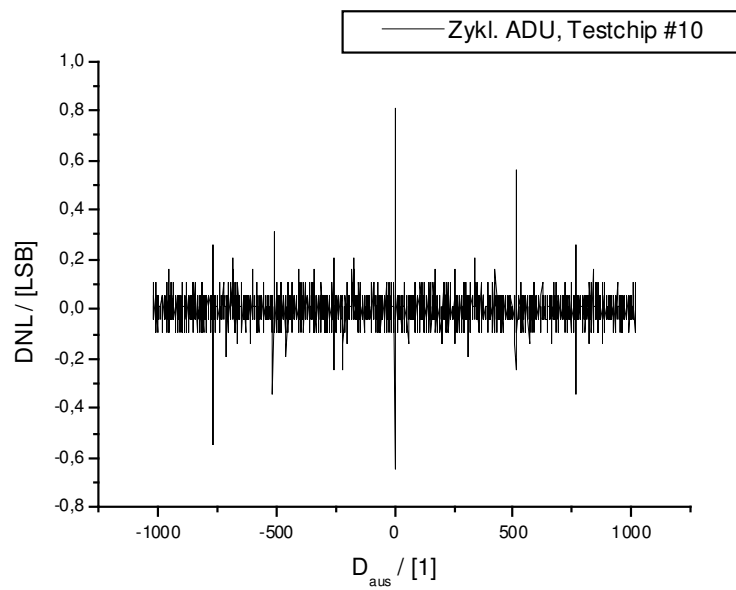


Abbildung 6.28: Messung der DNL eines Testchips des zyklischen ADUs



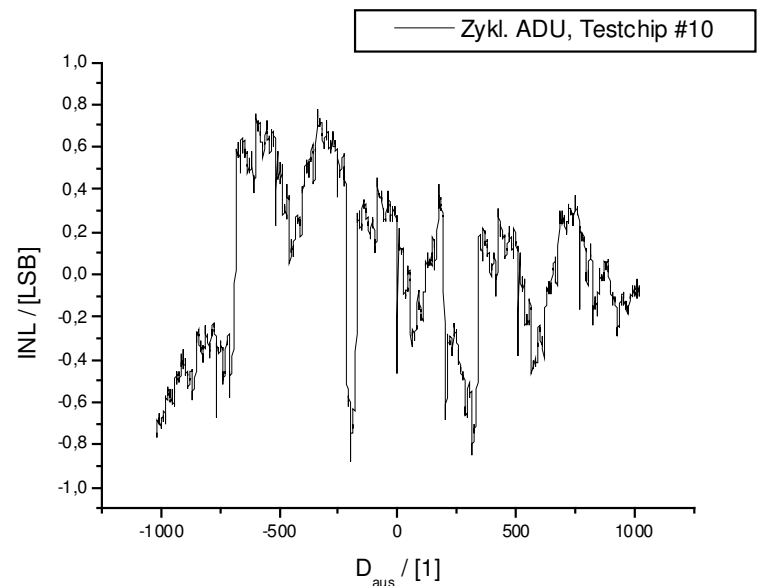


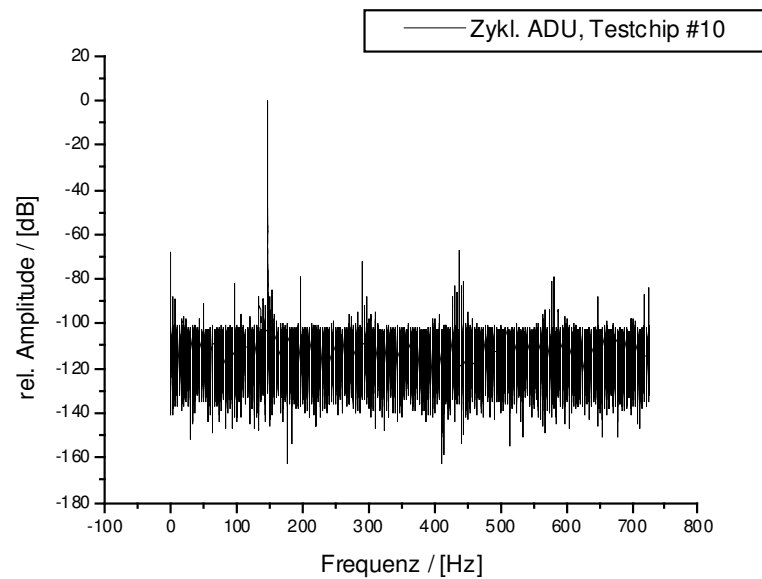
Abbildung 6.29: Messung der INL eines Testchips des zyklischen ADUs

Eine Zusammenfassung der Messungen des zyklischen ADUs liefert Tabelle 6.8. Dort sind die Mittelwerte von Messungen an 9 Testchips angegeben. Mit dem RSD Prinzip und 10 Wandlungszyklen besitzt der ADU nahezu 11 Bit Auflösung. Für ein binär kodiertes Wort werden 11 Zyklen benötigt. Dementsprechend wird bei 16 kHz Taktfrequenz eine Abtastrate von 1,45 kSample/s erreicht. Die INL, DNL und der Verstärkungsfehler fallen im Vergleich zum SAR ADU etwas höher aus, und der Offsetfehler liegt mit etwa 5 LSBs deutlich schlechter als beim SAR ADU. Der gemessene Stromverbrauch beträgt für den Analogteil ohne Referenzerzeugung etwas mehr als die Simulation gezeigt hat. Der Digitalteil zeigt mit

Auflösung	~ 11 Bit	Wandlungszyklen	10
Minimale INL	-1,21 LSB	Maximale INL	1,07 LSB
Minimale DNL	-0,63 LSB	Maximale DNL	0,91 LSB
Offsetfehler	4,89 mV	Verstärkungsfehler	1,16 %FSR
Abtastrate	1,45 kSample/s	Versorgungsspannung	2,5 V
Stromverbrauch (Analog)	~ 3,7 $\mu$ A	Stromverbrauch (Digital)	~ 3,2 $\mu$ A

Tabelle 6.8: Gemessene Daten des zyklischen A/D-Umsetzers





**Abbildung 6.30: Gemessenes FFT Spektrum bei VDD=2,5V; 145,45Hz Eingangssignalfrequenz; 1V Eingangsamplitude und 1,45kSample/s Abtastrate**

einem ungefähr 1  $\mu\text{A}$  höheren Stromverbrauch eine eindeutige Abweichung zur Simulation, da im Digitalteil die Ströme nicht durch Stromquellen vorgegeben und daher schwer vorhersagbar sind.

In dynamischen Messungen wurde ein Sinussignal der Frequenz 145,45 Hz mit der spezifizierten Abtastrate von 1,45 kSample/s abgetastet. Dies bedeutet ungefähr die fünffache Nyquistrate. Mittels einer Fast-Fourier-Transformation ist das Spektrum der  $2^{18}$  Samples bestimmt worden. In Abbildung 6.30 ist das Spektrum eines Testchips, welches auf den Spitzenwert des Signals normiert wurde, bei 2,5 V Versorgungsspannung dargestellt.

Mit (Gl. 6.11) bis (Gl. 6.13) lassen sich aus dem FFT Spektrum Merkmale wie SNR, SNDR und ENOB bestimmen. Neben diesen Merkmalen ist in Tabelle 6.9 zudem der SFDR angegeben. Bei den Werten handelt es sich um Mittelwerte der 9 Testchips. Im Vergleich zum SAR ADU ergibt sich beim zyklischen ADU eine geringere effektive Anzahl an Bits ENOB, obwohl der zyklische ADU etwa ein Bit mehr an Auflösung besitzt. Dies liegt zum einen an

SNDR	58,217 dBc	ENOB	9,377 Bit
SNR	60,148 dBc	SFDR	63,783 dBc

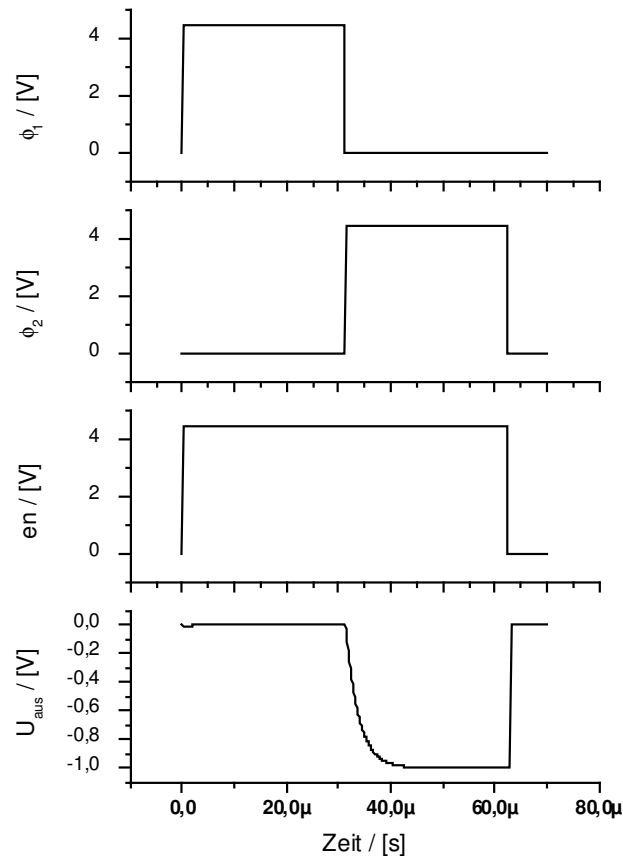
**Tabelle 6.9: Mittelwert von den Ergebnissen der dynamischen Messung des zyklischen ADUs**

einer größeren Verzerrung durch Nichtlinearitäten. Die Gründe für Nichtlinearitäten können bei parasitären Kapazitäten und im signalabhängigen Taktdurchgriff („Charge Injection“) der Schalter liegen. Zum anderen liegt der Hauptgrund im Rauschen, welches im SNR wiedergespiegelt wird. Das SNR ist bei beiden A/D-Umsetzern ungefähr gleich. Nach den Rauchbetrachtungen, die in Kapitel 5.4 durchgeführt wurden, war für den zyklischen ADU ein SNR von 70,5 dB und für den SAR ADU 66,7 dB berechnet worden. Die Abweichung zu dem mit dieser Architektur maximal möglichen 68 dB kann darin begründet sein, dass die Kondensatoren zu klein dimensioniert wurden. Denn das abgetastete Rauschen der Schalter wird durch die Kapazität der Kondensatoren bestimmt. Dieser Rauschanteil dominiert gegenüber dem Rauschen des zweistufigen Verstärkers. Die Kapazitäten der Kondensatoren sind so gering wie möglich gewählt worden, um den Leistungsverbrauch zu minimieren. Weiterhin spielen Effekte wie Einschwingprobleme eine Rolle, da bei Schwankungen in der Taktperiode („clock jitter“) der nicht eingeschwungene Zustand zufällige Fehler des Endwertes hervorruft. Dies kann sich im SNR widerspiegeln.

## 6.5 C/U-Konverter

Der C/U-Konverter aus Abbildung 5.27 ist für den gleichen Druckbereich wie die Kapazitätsauslese nach dem Oszillatorprinzip ausgelegt. Das bedeutet einen Druckbereich von 746,48 mbar bis 1279,68 mbar. Der maximale Durchmesser der Membran des Drucksensors beläuft sich mit den zum Entwicklungszeitpunkt vorhandenen Parametern auf 97  $\mu\text{m}$ . Die Schaltung ist auf Transistorebene in einer 1,2  $\mu\text{m}$  Standard CMOS Technologie aufgebaut, und mit einem AHDL Modell des Drucksensors simuliert worden.

Der C/U-Konverter ist mit dem Signal  $\phi$  aktivierbar, und ist mit Spannungshub und Taktphasen an den zyklischen ADU angepasst. Da bei diesen geringen Taktfrequenzen ein schnelles Takten für das 1/f-Rauschen von Vorteil ist, wird der C/U-Konverter mit der Taktfrequenz des nachfolgenden zyklischen ADUs und nicht mit der langsameren Abtastfrequenz betrieben. Nach der Konvertierung wird der C/U-Konverter bis zu einem erneuten Abtasten deaktiviert. In Abbildung 6.31 sind die Ausgangsspannung des C/U-Konverters und die wichtigsten Taktsignale für maximalen Druck dargestellt. Bei maximalem Druck wird die Spannung  $-1\text{ V}$  und bei minimalem Druck  $1\text{ V}$  erwartet. Die parasitären Kapazitäten an den OTA Eingängen haben einen großen Einfluss auf den Endwert der Ausgangsspannung. Dieser Einfluss kann durch eine hohe Leerlaufverstärkung des OTAs



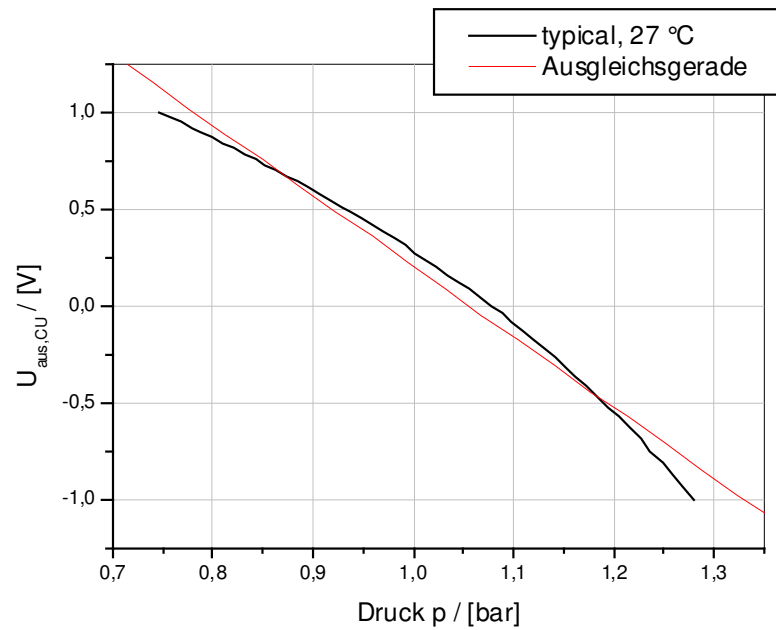
**Abbildung 6.31:** Simulation des Ausgangs und der Takte des C/U-Konverters bei maximalem Druck

reduziert werden. In Kapitel 5.3.4 ist die Abhängigkeit der Ausgangsspannung von der Leerlaufverstärkung anhand der mathematischen Berechnung untersucht worden. Bei einer Verstärkung von 110 dB, welche der verwendete OTA aufweist, wird der ideale Endwert nahezu erreicht.

Die simulierte Übertragungskennlinie des C/U-Konverters über den gesamten Druckbereich ist in Abbildung 6.32 zu sehen. Die eingezeichnete Ausgleichsgerade verdeutlicht den nichtlinearen Zusammenhang zwischen dem Druck und der Sensorkapazität. Diese Nichtlinearität muss durch eine Kalibration herausgerechnet werden. Die nicht lineare Abweichung der Ausgangsspannung von der Ausgleichsgerade BSL („best-fit straight line“) lautet

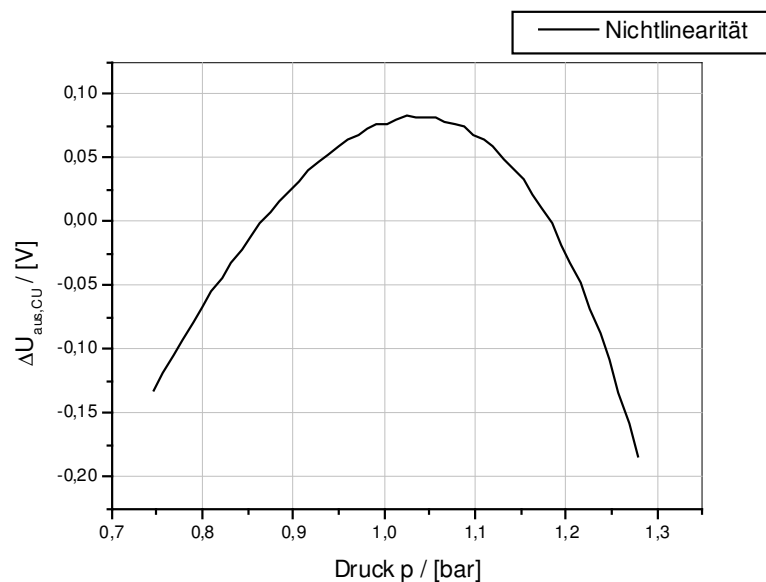
$$\Delta U_{\text{aus,CU}}(p) = U_{\text{aus,CU}}(p) - \text{BSL}(p). \quad (\text{Gl. 6.14})$$

Dieser Zusammenhang ist in Abbildung 6.33 dargestellt. Es ist zu erkennen, dass über dem gesamten Aussteuerbereich von 2 V Abweichungen von  $-180 \text{ mV}$  bis  $82 \text{ mV}$  auftreten.



**Abbildung 6.32: Simulierte Übertragungskennlinie des C/U-Konverters über den gesamten Druckbereich**

Beim Betrieb des C/U-Konverters in nur einem von 11 Taktzyklen resultiert ein durchschnittlicher Stromverbrauch von  $4,54 \mu\text{A}$ . In der aktiven Phase beträgt der Verbrauch



**Abbildung 6.33: Simulierte Nichtlinearität der Spannungs-Druck Kurve des C/U-Konverters**

ungefähr  $39\text{ }\mu\text{A}$ . Ein solch hoher Stromverbrauch ist notwendig, um mit der geforderten Taktfrequenz arbeiten zu können. Die Anforderungen an den OTA werden durch die parasitären Auflagekapazitäten des Drucksensors an den Eingängen des OTAs gesteigert. In einer zweiten Variante ist ein C/U-Konverter aufgebaut worden, dessen Drucksensoren mit der  $n^+$  Elektrode anstatt der Polysilizium Elektrode an den OTA Eingängen angeschlossen sind. Aufgrund der geringeren parasitären Kapazität von der  $n^+$  Elektrode zu Masse sinken die Anforderungen an die Bandbreite des OTAs und damit der Stromverbrauch. Der durchschnittliche Stromverbrauch liegt dann bei  $2,35\text{ }\mu\text{A}$ . Allerdings besteht die Gefahr, dass über das Substrat Störungen und Rauschen an die empfindlichen OTA Eingänge übertragen werden.

## 6.6 Vergleichsanalyse

In diesem Kapitel wird eine Vergleichsanalyse der Leistungseffizienz der entwickelten A/D-Umsetzer angestellt. Um diese mit ADUs aus verschiedenen Technologien vergleichen zu können, wird hier ein technologieunabhängiges Figure of Merit eingeführt. Zudem wird untersucht, wie weit die Berechnung des theoretischen Minimums der drei mit der SC-Schaltungstechnik realisierten ADU Typen aus Kapitel 4.3 von gefertigten ADUs erreicht werden.

### 6.6.1 Technologieunabhängiges Figure of Merit

Die fortschreitende Skalierung von modernen CMOS-Technologien hat auch eine Reduzierung der Leistung zur Folge, da die Versorgungsspannung aufgrund der maximalen Feldstärke bei dünnerer Oxiddicke  $t_{\text{ox}}$  reduziert werden muss. Nachteilig wirkt sich die Skalierung auf den Dynamikbereich [89] und damit auf das SNR der analogen Schaltungsteile aus, da der maximal mögliche Aussteuerbereich mit verringerter Versorgungsspannung sinkt. Um dem entgegenzuwirken gibt es zwei Ansätze. Der erste verfolgt den Gewinn an SNR auf Kosten der Bandbreite, z. B. durch Überabtastung. Die zweite Möglichkeit ist eine unterschiedliche Skalierung von Analog- und Digitalteil. Dabei ist zu beachten, dass einige Parameter wie Oxiddicke und Versorgungsspannung aus technologischen Gründen gleich skaliert werden müssen. Für eine Untersuchung des zweiten Ansatzes wird hier der Faktor  $K$  für die digitale Skalierung und für die analoge Skalierung der Faktor  $K_A$  eingeführt. Somit gilt für die Oxiddicke  $t_{\text{ox}} \sim 1/K$  und für die Versorgungsspannung entsprechend  $U \sim 1/K$ . Für

die analogen Transistoren gilt für die Weite  $W_A \sim 1/K_A$  und die Länge  $L_A \sim 1/K_A$ . Daraus lässt sich die Proportionalität der „analogen“ Gateoxidkapazität

$$C_A = \frac{\epsilon}{t_{ox}} \cdot W_A \cdot L_A \sim \frac{K}{K_A^2} \quad (\text{Gl. 6.15})$$

und der maximalen „analogen“ Frequenz ableiten, welche nach [64] für eine konstante Mobilität  $\mu$  in starker und schwacher Inversion wie folgt lautet:

$$f_{\max,A} = \frac{\mu \cdot U}{2 \cdot L_A^2} \sim \frac{K_A^2}{K}. \quad (\text{Gl. 6.16})$$

Die Transkonduktanz in starker Inversion bleibt von der Skalierung unberührt:

$$g_{m,A} = \mu \cdot C_{ox}' \cdot \frac{W_A}{L_A} \cdot (U_{GS} - U_{TH}) \sim 1. \quad (\text{Gl. 6.17})$$

Für die „analoge“ Leistung im allgemeinen ergibt sich demnach

$$P_A = C_A \cdot U_{DD}^2 \cdot f_A + U_{DD} \cdot g_m \cdot U_{Bias} \sim \frac{1}{K^2}. \quad (\text{Gl. 6.18})$$

Dabei gilt für den Bias-Strom  $I_{Bias} = g_m \cdot U_{Bias}$ . Eine ähnliche Untersuchung kann für die „digitale“ Leistung vorgenommen werden und liefert ebenfalls

$$P_D = C \cdot U_{DD}^2 \cdot f \sim \frac{1}{K} \cdot \frac{1}{K^2} \cdot K = \frac{1}{K^2}. \quad (\text{Gl. 6.19})$$

Dies bedeutet, dass sowohl digitale als auch analoge Schaltungen, die eine Technologie mit starker Skalierung verwenden, einen Leistungsverbrauch besitzen, welcher mit dem Quadrat des Skalierungsfaktor abnimmt. Um die Energieeffizienz verschiedener Arbeiten, welche meist in unterschiedlichen Technologien erstellt wurden, vergleichen zu können, muss die Abhängigkeit von der Technologie im klassischen Figure of Merit FOM eliminiert werden. Das in vielen Literaturstellen verwendete FOM zum Vergleich von ADUs anhand der Leistung  $P$ , der Auflösung  $B$  und der Signalbandbreite  $f_B$  besitzt entsprechend (Gl. 4.106) folgende Abhängigkeit:

$$\text{FOM}_{\text{klassisch}} = \frac{P}{2^B \cdot 2 \cdot f_B} \sim \frac{1}{K \cdot K_A^2}. \quad (\text{Gl. 6.20})$$

Um die Abhängigkeit des FOM von den Skalierungsfaktoren zu beseitigen, müssen bei diesem weitere Parameter mit einbezogen werden. Als Parameter, die für die meisten ADUs bekannt sind und einen eindeutigen Bezug zu den Skalierungsfaktoren besitzen, bietet sich die minimale Strukturweite der Technologie  $L$  für den Faktor  $K_A$  und die Versorgungsspannung  $U_{DD}$  für den Faktor  $K$  an. Das neue Figure of Merit, welches den Einfluss der Technologie auf die Leistungseffizienz eliminiert, lautet dann

$$\text{FOM}_{\text{Techn}} = \frac{P}{2^B \cdot 2 \cdot f_B \cdot U_{DD} \cdot L^2} \cdot \quad (\text{Gl. 6.21})$$

Hier bedeutet ein kleines FOM ebenfalls eine bessere Leistungseffizienz. Bei tatsächlich realisierten ADUs muss anstelle der Auflösung B die erreichte effektive Anzahl an Bits ENOB in die Berechnung des FOM eingehen.

Die Technologieskalierung ermöglicht, wie  $\text{FOM}_{\text{klassisch}}$  aus (Gl. 6.20) zeigt, die Realisierung immer leistungseffizienterer A/D-Umsetzer. Das bedeutet, die Technologieskalierung hilft dem theoretischen Minimum  $\text{FOM}_{\text{theor}}$  nach (Gl. 4.106) und den Berechnungen aus Kapitel 4.3 näher zu kommen. Jedoch gibt das theoretische Minimum die untere Grenze an, die bei gleicher Architektur nicht unterschritten werden kann. Zur Beurteilung der Schaltungstechnik und Architektur von A/D-Umsetzern, die in verschiedenen CMOS-Technologien realisiert worden sind, eignet sich  $\text{FOM}_{\text{Techn}}$  nach (Gl. 6.21) besser.

## 6.6.2 Vergleich

In Kapitel 4.3 wurde die Leistungseffizienz vom SAR ADU, dem zyklischen ADU und dem  $\Sigma\Delta$ -Modulator bzw. ADU in Abhängigkeit der Auflösung untersucht. Beim  $\Sigma\Delta$ -Modulator wurde zusätzlich dessen Ordnung mit einbezogen. Die theoretische notwendige Leistung  $P_{\text{theor}}$  wurde mit dem einfachen Ansatz der umzuladenden Kapazitäten und dem theoretischen Minimum der Bias-Ströme im Analogteil abgeschätzt. Für den SAR ADU ist die theoretische minimale Leistung durch (Gl. 4.81), für den zyklischen ADU durch (Gl. 4.89) und für den  $\Sigma\Delta$ -Modulator durch (Gl. 4.100) gegeben. Um  $P_{\text{theor}}$  des  $\Sigma\Delta$ -ADU zu erhalten wird die Leistung des Dezimationsfilters nach (Gl. 4.105) zum Modulator addiert. Die entsprechende Auflösung wurde über das erreichbare SNR bestimmt. Durch Anpassung der Einheitskapazitäten kann die mögliche Auflösung bzw. das mögliche SNR variiert werden, und der Leistungsverbrauch ändert sich dementsprechend. Da diese Betrachtung technologieunabhängig ist, wird zum Vergleich das in der Literatur übliche Figure of Merit, hier als  $\text{FOM}_{\text{theor}}$  (Gl. 4.106) bezeichnet, genutzt. Wie in Abbildung 4.19 zu erkennen, steigt bis auf beim  $\Sigma\Delta$ -ADU das FOM mit steigender Auflösung, da das SNR und damit die Leistung proportional zu  $2^{2B}$  ist. Der  $\Sigma\Delta$ -ADU besitzt einen überproportionalen Aufwand für das Dezimationsfilter bei niedrigen Auflösungen. Die Leistung des Dezimationsfilters für einen  $\Sigma\Delta$ -ADU wurde anhand eines eingeführten Figure of Merit  $\text{FOM}_{\text{DF}}$  (Gl. 4.103) mit dem Durchschnitt einiger Dezimationsfilter aus der Literatur bestimmt.

Referenz	Typ, B(, M)	FOM <sub>theor</sub>	FOM <sub>klassisch</sub>
[66]	SAR, 8	0,002 pJ	0,24 pJ
[67]	SAR, 10	0,019 pJ	4,54 pJ
[55]	Zyklisch, 10	0,013 pJ	18,26 pJ
[68]	Zyklisch, 11	0,03 pJ	17,8 pJ
[69]	$\Sigma\Delta$ Mod., 16, 4	0,06 pJ	1,22 pJ

**Tabelle 6.10: Theoretisches FOM und klassisches FOM realisierter Schaltungen verschiedener ADUs bzw. eines Modulators**

An einigen Beispielen soll untersucht werden, wie weit realisierte A/D-Umsetzer von dem theoretischen Minimum entfernt sind. Dafür werden in Tabelle 6.10 das theoretische Minimum mit FOM<sub>theor</sub> und Werte von realisierten Beispielschaltungen (also mit tatsächlich gemessener Leistungsaufnahme P) mit FOM<sub>klassisch</sub> (Gl. 6.20) verglichen.

Die Referenz [66] ist ein 8 Bit SAR ADU, welcher in einem 0,25  $\mu\text{m}$  CMOS Prozess gefertigt wurde. Die im Rahmen dieser Arbeit entwickelten 10 Bit SAR ADU und 11 Bit zyklische ADU sind in den Referenzen [67] und [68] veröffentlicht, wobei bei der Berechnung für den zyklischen ADU ebenfalls die gemessene Leistungsaufnahme verwendet wurde. Beide sind in einem 0,8  $\mu\text{m}$  Standard CMOS Prozess gefertigt worden. Dabei verwendet der zyklische ADU Bauelemente, die vergleichbar mit einem 1,2  $\mu\text{m}$  CMOS Prozess sind, um eine Umsetzung in einen Prozess mit monolithisch integrierbaren Drucksensoren zu erleichtern. Der zyklische 10 Bit ADU in [55] ist in einem 0,8  $\mu\text{m}$  BiCMOS Prozess gefertigt worden. Weiterhin wurde der 16 Bit  $\Sigma\Delta$ -Modulator vierter Ordnung aus [69] in einem 0,5  $\mu\text{m}$  CMOS Prozess gefertigt. Aus Tabelle 6.10 ist ersichtlich, dass der  $\Sigma\Delta$ -Modulator aus [69], dem das Dezimationsfilter zu einem vollständigen ADU fehlt, und der SAR ADU aus [66] dem theoretischen Minimum am nächsten kommen. Diese verwenden in den aufgelisteten Beispielen die am stärksten skalierten Technologien. Dies entspricht der Aussage, dass die Technologieskalierung hilft die Leistungseffizienz zu steigern. Das Verhältnis zwischen dem in der Praxis erreichten FOM<sub>klassisch</sub> und dem theoretischen Minimum FOM<sub>theor</sub> wird in Tabelle 6.11 verdeutlicht.

Ferner wurden nach [99] aus dem Jahr 1999 die meisten der A/D-Umsetzer, die sehr leistungseffizient sind, in den letzten sechs Jahren veröffentlicht. Der Grund liegt demnach in modernen Technologien.



Referenz	FOM <sub>klassisch</sub> / FOM <sub>theor</sub>	Technologie	Bemerkung
[69]	20,3	0,5 $\mu\text{m}$ CMOS	Nur $\Sigma\Delta$ -Modulator, ohne Dezimationsfilter
[66]	120	0,25 $\mu\text{m}$ CMOS	
[67]	238,9	0,8 $\mu\text{m}$ CMOS	
[68]	593,3	0,8 $\mu\text{m}$ CMOS	Design mit 1,2 $\mu\text{m}$ CMOS Designregeln
[55]	1404,6	0,8 $\mu\text{m}$ BiCMOS	

**Tabelle 6.11: Verhältnis vom in der Praxis erreichten Figure of Merit zu dem theoretischen Minimum**

Um aber die Architektur und Schaltungstechnik auf ihre Leistungseffizienz unabhängig von der verwendeten Technologie besser vergleichen zu können, ist im vorigen Kapitel das Figure of Merit  $\text{FOM}_{\text{Techn}}$  eingeführt worden (auch hier wird die tatsächlich gemessene Leistungsaufnahme verwendet). Das technologieunabhängige  $\text{FOM}_{\text{Techn}}$  aus (Gl. 6.21) ist für die obigen Beispiele nach Leistungseffizienz sortiert in Tabelle 6.12 aufgelistet. Die Werte bewegen sich in anderen Größenordnungen als das übliche  $\text{FOM}_{\text{klassisch}}$ , da die technologieabhängigen Faktoren wie die minimale Länge der Transistoren und die Versorgungsspannung mit einbezogen sind. Es ist zu erkennen, dass in dieser Betrachtung der eigene SAR ADU aus [67] und der eigene zyklische ADU aus [68] besser in der Leistungseffizienz als die Beispiele [66] und [55] gleichen ADU-Typs abschneiden.

Es bleibt anzumerken, dass nicht alle Designs dem Trend des theoretischen Minimums folgen oder von der Technologieskalierung entsprechend stark profitieren. Die Gründe liegen darin, dass die Leistungseffizienz auch stark vom Geschick des Designers abhängt, und die Qualität

Referenz	Typ, B(, M)	FOM <sub>Techn</sub>
[67]	SAR ADU, 10	2,84 $\text{As/m}^2$
[69]	$\Sigma\Delta$ Modulator, 16, 4	3,26 $\text{As/m}^2$
[66]	SAR ADU, 8	3,88 $\text{As/m}^2$
[68]	Zyklischer ADU, 11	4,94 $\text{As/m}^2$
[55]	Zyklischer ADU, 10	10,19 $\text{As/m}^2$

**Tabelle 6.12: Technologieunabhängiges FOM verschiedener ADUs**

einer Technologie nicht nur auf minimale Transistorlänge oder Versorgungsspannung zurückzuführen ist. So sind z.B. Matching oder Einhaltung der Parameter bei der Technologie und der Einsatz energiesparender Konzepte beim Designer wichtig.

In [78] wird eine Leistungsabschätzung für CMOS ADUs mit Nyquistrate auf der statistischen Grundlage veröffentlichter ADUs seit 1994 vollzogen. Als Faktoren für den Leistungsverbrauch werden die Versorgungsspannung, minimale Gatelänge, Signalfrequenz, Abtastfrequenz und die effektive Anzahl an Bits ENOB berücksichtigt. Die Abschätzung verbindet den „Top-Down“ Ansatz mit den Vorteilen vom „Bottom-Up“ Ansatz. Dies bedeutet eine Unabhängigkeit von der verwendeten Topologie. Da nur High-Speed ADUs, wie beispielsweise der Flash ADU, einbezogen sind, ist eine Anwendung auf die hier entwickelten ADUs nicht sinnvoll.

Ebenfalls auf statistischer Basis wird in [100] durch die Einführung eines generischen FOM, die Wahl eines bestimmten Typs von ADU für die gewünschte Anwendung ermöglicht. Die Anwendung gibt den Trade-Off zwischen Geschwindigkeit, Auflösung und Leistungsverbrauch vor. Das eingeführte FOM nutzt fünf Parameter, welche für verschiedene Arten von ADUs unterschiedlich ausfallen.

## **7 Zusammenfassung und Ausblick**

In diesem Kapitel wird zunächst eine Themenbeschreibung dieser Dissertation geliefert. Weiterhin werden die Ergebnisse der wichtigsten Kapitel zusammengefasst und die Neuerungen herausgestellt. Abschließend wird die mögliche zukünftige Arbeit beschrieben.

### **7.1 Themenbeschreibung**

In der Mikroelektronik sind energiesparende Schaltungen von wachsender Bedeutung, insbesondere für batteriebetriebene Geräte oder passive Transpondersysteme. Während sich mit digitalen Low-Power Schaltungen relativ viele Arbeiten beschäftigt haben, gibt es in der analogen Schaltungstechnik Bedarf an Hilfestellungen für die Entwicklung von analogen Low-Power Schaltungen. Aus diesem Grund ist das Thema dieser Arbeit der systematische Entwurf analoger Schaltungen mit minimalem Leistungsverbrauch. Der systematische Verlauf wird hier am Beispiel einer Ausleseschaltung für monolithisch integrierbare, kapazitive Drucksensoren durchgeführt. Dabei wird die Minimierung der Leistung auf verschiedenen Ebenen untersucht. Da die Beachtung des Rauschens in analogen Schaltungen von großer Bedeutung ist, werden hier Rauschberechnungen mit Hilfe einfacher Modelle vollzogen. Die Ergebnisse der theoretischen Leistungs- und Rauschbetrachtung werden in einer Fallstudie insbesondere anhand zweier A/D-Umsetzer mit Simulations- und Messergebnissen überprüft.

### **7.2 Ergebnisse und Innovationen**

Nachdem in Kapitel 2 die Grundlagen des MOSFETs und der Modellierung des Rauschens beschrieben sind, werden in Kapitel 3 die theoretischen Zusammenhänge des Leistungsverbrauchs sowohl für digitale als auch für analoge Schaltungen zusammengefasst. Dabei werden deren fundamentale und praktischen Limitierungen angegeben. Weiterhin werden die Leistungen im Digitalen und Analogen für ein einpoliges System verglichen. Abschließend werden hier allgemeine Maßnahmen für die Minimierung der Leistung in Analogschaltungen vorgeschlagen.

Mit Kapitel 4 wird der theoretische Grundstein dieser Arbeit gelegt. Auf den Ebenen Technologie, Schaltungstechnik und Systemarchitektur am Beispiel ADU-Architektur wird darauf eingegangen, welcher Lösungsansatz am energieeffizientesten ist. Dabei bilden die Schaltungstechnik und die Systemarchitektur den Schwerpunkt dieser Arbeit. Für die

Ansatzmöglichkeit in der Technologie wird auf Leckströme, Low-Voltage Tauglichkeit und Technologierobustheit eingegangen. Auf der Ebene der Schaltungstechnik wird die beste Leistungseffizienz am Beispiel eines Tiefpasses erster Ordnung mit einem bestimmten SNR für vier verschiedene Schaltungstechniken bestimmt. Wegen der vielfältigen Realisierungsmöglichkeiten der SC-Schaltungstechnik, wird die Ebene der Systemarchitektur anhand dreier A/D-Umsetzer in SC-Technik untersucht. Auf den Ebenen der Schaltungstechnik und ADU-Architektur wird jeweils das theoretische Minimum des Leistungsverbrauchs angegeben, welches auch die Limitierung für die Praxis angibt.

In Kapitel 5 werden die wichtigsten Komponenten für die Realisierung einer kapazitiven Sensorsignalauslese vorgestellt, und teilweise einer genaueren Rauschbetrachtung unterzogen. Zunächst wird allerdings eine allgemeine Betrachtung von Sensorausleseschaltungen vorgenommen, und der monolithisch integrierbare Drucksensor vorgestellt. Als Sensorauslese wird hier zum einen ein einfaches System nach dem Oszillatorprinzip vorgeschlagen, welches mit einem Zähler eine vollständige Drucksensorauslese mit digitalem Ausgang bildet. Zum anderen bietet sich eine Kombination aus C/U-Konverter und ADU an. Eine Untersuchung der Leistungseffizienz der Sensorauslese nach dem Oszillatorprinzip zeigt im Vergleich zur Untersuchung der ADUs aus Kapitel 4, dass eine Kombination aus ADU und C/U-Konverter vom Leistungsverbrauch her günstiger ist. Daher wurden zwei verschiedene Low-Power ADUs und ein C/U-Konverter realisiert. Für den entwickelten zyklischen ADU, welcher die Switched-Opamp (SOA) Technik nutzt, wird eine neuartige Kompensation für Kondensator-Mismatch vorgeschlagen. Anders als übliche Mismatch Kompensationen, die den Verstärker in allen Phasen benötigen, erlaubt der zyklische Kondensatortausch das zeitweilige Abschalten des Verstärkers, um Strom zu sparen. Bei den Rauschbetrachtungen ist für SC-Schaltungen untersucht worden, wie sich Taktfrequenz und Kompensation des Verstärkers auf das SNR bzw. den Leistungsverbrauch auswirken.

Die wichtigsten Simulations- und Messergebnisse der Komponenten einer Drucksensorausleseschaltung werden in Kapitel 6 zusammengestellt. Dabei sind der SAR ADU und der zyklische ADU auch als Testchip gefertigt worden. Aus Sicht der Leistungseffizienz schneidet die Realisierung der kapazitiven Sensorauslese nach dem Oszillatorprinzip, mit relativ geringer Performance und einem durchschnittlichen Stromverbrauch von 293  $\mu\text{A}$  schlecht ab. Als Beleg für das Ergebnis aus Kapitel 5, dass eine Kombination aus C/U-Konverter und ADU eine bessere Leistungseffizienz aufweist, dienen zudem die Simulations- und Messergebnisse dieser Kombination. In Matlab-Simulationen ist die Wirkung der vorgeschlagenen Mismatch Kompensation für den zyklischen ADU belegt worden. Um den

Vergleich von verschiedenen A/D-Umsetzern in unterschiedlichen Prozessen zu erleichtern, wird hier ein technologieunabhängiges Figure of Merit FOM vorgestellt, welches die Einflüsse der Technologieskalierung über die Versorgungsspannung und die minimale Transistorlänge eliminiert. Die Skalierung hilft der theoretischen Abschätzung des FOM aus Kapitel 4 näher zu kommen, und dies wird hier zudem mit einigen Beispielen aus der Literatur unterlegt.

## 7.3 Zukünftige Arbeit

Als zukünftige Arbeit, wäre es interessant zu untersuchen, welche Anforderungen auf der Ebene der Technologie für den Entwurf von analogen Low-Power Schaltungen notwendig sind. So könnte beispielsweise durch geeignete Dotierungen, eine niedrige Schwellenspannung bei gleichzeitig niedrigen Leckströmen gefunden werden. Zudem wäre es vorteilhaft, einen hochohmigen und präzise einstellbaren Widerstand zu integrieren, um auch kleine Ströme genau einstellen zu können.

Für die Testchips der beiden A/D-Umsetzer wäre ein Redesign im Hinblick auf den Stromverbrauch vielversprechend. So kann eine Anordnung des Kondensatorarrays beim SAR ADU wie in Abbildung 5.14 zum einen den Leistungsverbrauch verringern, da die gesamte umzuladende Kapazität der zweier Einheitskondensatoren entspricht. Zum anderen wird das Matching verbessert, da nur Einheitskondensatoren verwendet werden. Das Rauschverhalten dieser Variante wäre noch zu untersuchen. Weiterhin kann der Stromverbrauch durch den Einsatz eines regenerativen Komparatorlatches anstatt der drei Inverter reduziert werden. Denn in der Abtastphase fließt der meiste Strom im kurzgeschlossenen Inverter, während das Komparatorlatch nur den Querstrom im Entscheidungsprozess führt. Als Referenz kann die Versorgungsspannung dienen.

Beim zyklischen ADU wird vorgeschlagen, einen einzelnen nicht geschalteten Verstärker anstelle zweier SOAs zu nutzen. Die Schaltbedingungen sind in der Anordnung von Abbildung 5.26 zu finden. Da die Eingangsstufe der SOAs jederzeit aktiv bleibt, ist der Stromverbrauch durch diese Variante weiter zu verringern. Ein weiterer Vorteil durch den Verzicht eines SOAs liegt darin, dass die Taktleitungen besser vom empfindlichen Verstärker-Eingang getrennt werden können.

# Literatur

- [1] MOSFET Modeling & BSIM3 User's Guide“, Yuhua Cheng, Chenming Hu, Kluwer Academic Publishers, 1999
- [2] „Design of Analog CMOS Integrated Circuits“, Behzad Razavi, McGraw-Hill, 2000
- [3] „Analysis and Design of Analog Integrated Circuits“, Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, John Wiley & Sons, 2001
- [4] „CMOS – Circuit Design, Layout, and Simulation“, R. Jacob Baker, IEEE Press, 2005
- [5] „Low Level Currents in Insulated Gate Field Effect Transistors“, M. B. Barron, Solid-State Electronics, 1972
- [6] „Subthreshold Characteristics of Insulated-Gate Field-Effect Transistors“, Ronald R. Troutman, Satya N. Chakravarti, IEEE Transactions on Circuit Theory, 1973
- [7] „Leakage Currents of MOS Devices under Surface Depletion Conditions“, R. A. Stuart, W. Eccleston, Electron. Lett., 1972
- [8] „Subthreshold Design Considerations for Insulated Gate Field-Effect Transistors“, Ronald R. Troutman, IEEE Journal of Solid-State Circuits, 1974
- [9] „Subthreshold Slope for Insulated Gate Field-Effect Transistors“, Ronald R. Troutman, IEEE Transactions on Electron Devices, 1975
- [10] „A Precise MOSFET Model for Low-Voltage Circuits“, Toshiaki Masuhara, Jun Etoh, Minoru Nagata, IEEE Transactions on Electron Devices, 1974
- [11] „CMOS Analog Integrated Circuits Based on Weak Inversion Operation“, Eric Vittoz, Jean Fellrath, IEEE Journal of Solid-State Circuits, 1977

- [12] „An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications“, Christian C. Enz, Francois Krummenacher, Eric A. Vittoz, Analog Integrated Circuits and Signal Processing, 1995
- [13] „A Compact Non-Quasi-Static Extension of a Charge-Based MOS Model“, Alain-Serge Porret, Jean-Michel Sallese, Christian C. Enz, IEEE Transactions on Electron Devices, 2001
- [14] „Small-Signal Subthreshold Model for I.G.F.E.T.s“, R. W. J. Barker, Electronics Letters, 1976
- [15] „Low-Power CMOS VLSI Circuit Design“, Kaushik Roy, Sharat Prasad, John Wiley & Sons, 2000
- [16] „Noise-Induced Error Rate as Limiting Factor for Energy per Operation in Digital IC's“, K.-U. Stein, IEEE Journal of Solid-State Circuits, Vol. SC-12, No. 5, pp. 527 - 530, October 1977
- [17] „A Simple Theory to predict the Threshold Voltage in Short-Channel IGFETs“, L. D. Yau, Solid-State Electron., 1974
- [18] „An Analytical Breakdown Model for Short-Channel MOSFETs“, F.-C. Hsu et al., IEEE Trans. Electron. Dev., 1983
- [19] „Threshold Voltage Model for Deep-Submicrometer MOSFETs“, Z.-H. Liu et al. IEEE Trans. Electron. Dev., 1993
- [20] „Reverse Short-Channel Effects on Threshold Voltage in Submicron Salicide Devices“, C. Y. Lu, J. M. Sung, IEEE Electron Dev. Lett., 1989
- [21] „Grundlagen der Elektrotechnik“, Ingo Wolff, Universitätskript, Verlagsbuchhandlung Nellissen-Wolff, 1997

- [22] „Low Power Microelectronics: Retrospect and Prospect“, J. D. Meindl, Proc. IEEE, 1995
- [23] „dtv-Atlas zur Physik“, Deutscher Taschenbuch Verlag, 1996
- [24] „CMOS Low-Power Analog Circuit Design“, C. C. Enz, E. A. Vittoz, Emerging Technologies: Designing Low Power Digital Systems, 1996
- [25] „Performance Comparison of Analog and Digital Circuits“, B. J. Hosticka, Proceedings of the IEEE, 1985
- [26] „The EPFL-EKV MOSFET Model Equations for Simulation“, M. Bucher, C. Lallement, C. Enz, F. Theodoloz, F. Krummenacher, Electronics Laboratories, Swiss Federal Institute of Technology (EPFL), Lausanne, Switzerland, 1998
- [27] „Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Crircuits“, K. Roy, S. Mukhopadhyay, H. Mahmoodi-Meimand, Proceedings of the IEEE, Vol. 91, No. 2, February 2003
- [28] „Temperature dependence of gate induced drain leakage current in silicon CMOS devices“, K. Rais, F. Balestra, G. Ghibaudo, Electronics Letters, Vol. 30, No. 1, 6th January 1994
- [29] „Accurate Estimation of Total Leakage Current in Scaled CMOS Logic Circuits Based on Compact Current Modeling“, S. Mukhopadhyay, A. Raychowdhury, K. Roy, Proceedings – Design Automation Conference, pp. 169 - 174, June 2003
- [30] „Cycle-True Leakage Current Modeling for CMOS Gates“, D. Eckerbert, P. Larsson-Edefors, Proceedings – IEEE International Symposium on Circuits and Systems 5, pp. 507 - 510, 2001



- [31] „Leakage Current Reduction in CMOS VLSI Circuits by Input Vector Control“, A. Abdollahi, F. Fallah, M. Pedram, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 12, No. 2, February 2004
- [32] „Locally Switched and Limited Source-Body Bias and Other Leakage Reduction Techniques for a Low-Power Embedded SRAM“, S. Cserveny, L. Sumanen, J.-M. Masgonty, C. Piguet, IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 52, No. 10, October 2005
- [33] „Leakage Current Cancellation Technique for Low Power Switched-Capacitor Circuits“, L. S. Y. Wong, S. Hossain, A. Walker, Proceedings of the International Symposium on Low Power Electronics and Design, Digest of Technical Papers, pp. 310-315, August 2001
- [34] „Design of Low-Voltage Low-Power Operational Amplifier Cells“, R. Hogervorst, J. H. Huijsing, Kluwer Academic Publishers, Fourth Printing, 2002
- [35] „Low-Power CMOS Design“, A. Chandrakasan, R. Broderesen, IEEE Press, 1998
- [36] „Trade-Offs in Analog Circuit Design“, C. Toumazou, G. Moschytz, B. Gilbert, Kluwer Academic Publishers, 2002
- [37] „CMOS Analog Circuit Design“, P. E. Allen, D. R. Holberg, Oxford University Press, 2nd Edition, 2002
- [38] „Analog baseband for Telecom“, A. Baschiroto, F. Maloberti, Tutorial Course, Otranto (Lecce), Italien, Juni 2006
- [39] „Analog Integrated Circuit Design“, D. A. Johns, K. Martin, John Wiley & Sons Inc., 1997
- [40] „Power Efficient Charge Pump in Deep Submicron Standard CMOS Technology“, R. Pelliconi, D. Iezzi, A. Baroni, M. Pasotti, P. L. Rolandi, IEEE Journal of Solid-State Circuits, Vol. 38, No. 6, pp. 1068-1071, June 2003

- [41] „Very Low-Voltage Digital-Audio  $\Delta\Sigma$  Modulator with 88-dB Dynamic Range Using Local Switch Bootstrapping“, M. Dessouky, A. Kaiser, IEEE Journal of Solid-State Circuits, Vol. 36, No. 3, pp. 349-355, March 2001
- [42] „The Design of Low-Voltage Low-Power Sigma-Delta Modulators“, S. Rabii, B. A. Wooley, Kluwer Academic Publishers, 1999
- [43] „Design of Low-Voltage CMOS Switched-OpAmp Switched-Capacitor Systems“, V. S. L. Cheung, H. C. Luong, Kluwer Academic Publishers, 2003
- [44] „A 1.5-V 12-bit Power-Efficient Continuous-Time Third-Order  $\Sigma\Delta$  Modulator“, F. Gerfers, M. Ortmanns, Y. Manoli, IEEE Journal of Solid-State Circuits, Vol. 38, No. 8, pp. 1343-1352, August 2003
- [45] „Low-Power Decimation Filter Design for Multi-Standard Transceiver Applications“, C. J. Barrett, University of California at Berkeley, December 1997
- [46] „A low-Power, Area-Efficient Digital Filter for Decimation and Interpolation“, B. P. Brandt, B. A. Wooley, IEEE Journal of Solid-State Circuits, Vol. 29, No. 6, pp. 679-687, June 1994
- [47] „A 16-Bit 250-kHz Delta-Sigma Modulator and Decimation Filter“, P. C. Maulik, M. S. Chadha, W. L. Lee, P. J. Crawley, IEEE Journal of Solid-State Circuits, Vol. 35, No. 4, pp. 458-467, April 2000
- [48] „A 5-V Single-Chip Delta-Sigma Audio A/D Converter with 111 dB Dynamic Range“, I. Fujimori, K. Koyama, D. Trager, F. Tam, L. Longo, IEEE Journal of Solid-State Circuits, Vol. 32, No. 3, pp. 329-336, March 1997
- [49] „Analog vs. Digital: A Comparison of Circuit Implementations for Low-Power Matched Filters“, M. D. Hahm, E. G. Friedman, E. L. Titlebaum, IEEE International Symposium on Circuits and Systems, Vol. 4, pp. 280-283, 12-15 May 1996

- [50] „All-CMOS Temperature Independent Current Reference“, C. H. Lee, H. J. Park, Electronics Letters, Vol. 32, No. 14, pp. 1280-1281, 4th July 1996
- [51] „Design and Characterization of Radiation Tolerant Integrated Circuits in Deep Submicron CMOS Technologies for the LHC Experiments“, G. Anelli, Dissertation, CERN, Dezember 2000
- [52] „Power Trade-Offs and Low-Power in Analog CMOS ICs“, M. A. T. Sanduleanu, E. A. J. M. van Tuijl, Kluwer Academic Publishers, 2002
- [53] „Design of Analog Integrated Circuits and Systems“, K. R. Laker, W. M. C. Sansen, McGraw-Hill, 1994
- [54] „Low Power Schmitt Trigger Circuit“, S. F. Al-Sarawi, Electronics Letters, Vol. 38, No. 18, pp. 1009-1010, 29th August 2002
- [55] „An Ultralow-Power Switched Opamp-Based 10-B Integrated ADC for Implantable Biomedical Applications“, G. Bonfini, A. S. Brogna, C. Garbossa, L. Colombini, M. Bacci, S. Chicca, F. Bigongiari, N. C. Guerrini, G. Ferri, IEEE Transactions on Circuits and Systems I: Regular Papers, Vol. 51, No. 1, pp. 174-178, January 2004
- [56] „SC Amplifier and SC Integrator with an Accurate Gain of 2“, K.-S. Lee, Y. Choi, F. Maloberti, IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 52, No. 4, pp. 194-198, April 2005
- [57] „A Switched-Opamp with Fast Common Mode Feedback“, M. Waltari, K. Halonen, Proceedings of the 6th IEEE International Conference on Electronics, Circuits and Systems 1999, Vol. 3, pp. 1523-1525, September 1999
- [58] „A CMOS 13-b Cyclic RSD A/D Converter“, B. Ginetti, P. G. A. Jespers, A. Vandemeulebroecke, IEEE Journal of Solid-State Circuits, Vol. 27, No. 7, pp. 957-965, July 1992

- [59] „MOSFET Models for SPICE Simulation including BSIM3v3 and BSIM4“, W. Liu, John Wiley & Sons, 2001
- [60] „Highly Sensitive Capacitance Measurement for Sensors“, B. K. Marlow, D. C. Greager, R. Kemp, M.B. Moore, Electronics Letters, Vol. 29, No. 21, pp. 1844-1845, 14th October 1993
- [61] „Rauschen“, Heinz Bittel, Leo Storm, Springer-Verlag, 1971
- [62] „Noise Sources and Calculation Techniques of Switched Capacitor Filters“, J. H. Fischer, IEEE Journal of Solid-State Circuits, Vol. 17, Issue 4, pp. 742 - 752, August 1982
- [63] „Data Converter Terminology“, Atmel Corporation, 2004
- [64] „Technische Elektronik 1“, F. J. Tegude, Vorlesungsskript, Universität Duisburg-Essen, 2000
- [65] „Elektrische Speicher – Stand und Perspektiven der Technik“, J. Tübke, Präsentation, Fraunhofer-Institut Chemische Technologie, 2006
- [66] „An Ultra-Low Power ADC for Distributed Sensor Networks“, M. D. Scott, B. E. Boser, K. S. J. Pister, Proc. of the 28th European Solid-State Circuits Conf. (ESSCRIC), pp. 255-258, Florence (Italy), September 2002
- [67] „A 10 Bit Very Low-Power CMOS SAR-ADC for Capacitive Micro-Mechanical Pressure Measurement in Implants“, B. Bechen, D. Weiler, T. v. d. Boom, B. J. Hosticka, Advances in Radio Science – Kleinheubacher Berichte 2005, Vol. 4, pp. 243-246, September 2006
- [68] „A Very Low-Power CMOS 11-b Cyclic A/D Converter with Mismatch Compensation“, B. Bechen, T. v. d. Boom, D. Weiler, B. J. Hosticka, IEEE Ph. D. Research in Microelectronics and Electronics, pp. 293-296, June 2006

- [69] „A 1.5V 1.0mW Audio  $\Sigma\Delta$  Modulator with 98dB Dynamic Range“, A. L. Coban, P. E. Allen, IEEE International Solid-State Circuits Conference, Digest of Technical Papers, February 1999
- [70] „Microwatt Switched Capacitor Circuit Design“, E. Vittoz, Gordon and Breach Science Publishers. Electrocomponent Science and Technology, Vol. 9, pp. 263-273, 1982
- [71] „Advances in Low Power Design Techniques“, E. Dijkstra, Low Power – Low Voltage Workshop, ULM, September 1994
- [72] „Low-Power CMOS Digital Design“, A. P. Chandrakasan, S. Sheng, R. W. Brodersen, IEEE Journal of Solid-State Circuits, Vol. 27, Issue 4, pp. 473-484, April 1992
- [73] „Designing Low-Power Digital CMOS“, G. M. Blair, Electronics & Communication Engineering Journal, Vol. 6, Issue 5, pp. 229-236, October 1994
- [74] „Design Solutions for Low-Power Digital Filters“, R. Rossi, G. Torelli, V. Liberali, The 8th IEEE International Conference on Electronics, Circuits and Systems (ICECS), Vol. 1, pp. 505-508, September 2001
- [75] „Low-Power Digital Systems Based on Adiabatic-Switching Principles“, W. C. Athas, L. J. Svensson, J. G. Koller, N. Tzartzanis, E. Ying-Chin Chou, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 2, Issue 4, pp. 398-407, December 1994
- [76] „Designing Low Power of Sigma Delta Modulator for Biomedical Application“, H.-Y. Lee, C.-M. Hsu, S.-C. Huang, Y.-W. Shih, C.-H. Luo, Biomedical Engineering – Applications, Basis & Communications, Vol. 17, pp. 181-185, 2005
- [77] „A 0.5V, 1 $\mu$ W Successive Approximation ADC“, J. Sauerbrey, D. Schmitt-Landsiedel, R. Thewes, IEEE Journal of Solid-State Circuits, Vol. 38, Issue 7, pp. 1261-1265, July 2003

- [78] „A Power Estimation Model for High-Speed CMOS A/D Converters“, E. Lauwers, G. Gielen, Proc. of the Design, Automation and Test in Europe Conference and Exhibition 1999, pp. 401-405, March 1999
- [79] „The Design of High-Performance Analog Circuits on Digital CMOS Chips“, E. A. Vittoz, IEEE Journal of Solid-State Circuits, SC-20, No. 3, pp. 657-665, June 1985
- [80] „Low-Power Low-Voltage Limitations and Prospects in Analog Design“, E. A. Vittoz, Advances in Analog Circuit Design Workshop, Eindhoven, March 1994
- [81] „A Very Low-Power CMOS Mixed-Signal IC for Implantable Pacemaker Applications“, L. S. Y. Wong, S. Hossain, A. Ta, J. Edvinsson, D. H. Rivas, H. Nääs, IEEE Journal of Solid-State Circuits, Vol. 39, No. 12, December 2004
- [82] „A Time-Based Energy-Efficient Analog-to-Digital Converter“, H. Y. Yang, R. Sarpeshkar, IEEE Journal of Solid-State Circuits, Vol. 40, No. 8, August 2005
- [83] „An Ultralow-Energy ADC for Smart Dust“, M. D. Scott, B. E. Boser, K. S. J. Pister, IEEE Journal of Solid-State Circuits, Vol. 38, No. 7, July 2003
- [84] „The EKV Model: A MOST Model Dedicated to Low-Current and Low-Voltage Analog Circuit Design and Simulation“, C. C. Enz, aus „Low-Power HF Microelectronics“, editiert von G. S. Machado, IEE Circ. and Syst. Series N 8, IEE publications, 1996
- [85] „Operation and Modeling of the MOS Transistor“, Y. Tsividis, Second Edition, McGraw-Hill International Editions, 1999
- [86] „Channel Length as a Design Parameter for Low Noise Wideband LNAs in Deep Submicron CMOS Technologies“, S. Andersson, C. Svensson, Proceedings IEEE NORCHIP Conference, pp. 123 - 126, 2004

- [87] „Low Power Design: Ways to Approach the Limits“, E. A. Vittoz, IEEE International Solid-State Circuits Conference, 41st ISSCC, Digest of Technical Papers, pp. 14 - 18, 1994
  
- [88] „RF-CMOS Performance Trends“, P. H. Woerlee, M.J. Knitel, R. v. Langevelde, D. B. M. Klaassen, L. F. Tierneijer, A. J. Scholten, A. T. A. Zegers-van Duijnhoven, IEEE Transactions on Electron Devices, Vol. 48, Issue 8, pp. 1776 - 1782, August 2001
  
- [89] „Scaling of Analog-to-Digital Converters into Ultra-Deep-Submicron CMOS“, Y. Chiu, B. Nikolic, P. R. Gray, Proceedings of the IEEE Custom Integrated Circuits Conference 2005, pp. 375 - 382, September 2005
  
- [90] „Technology Scaling Impact on Embedded ADC Design for Telecom Receivers“, J. H. Nielsen, P. Malcovati, A. Baschirotto, IEEE International Symposium on Circuits and Systems, ISCAS 2005, Vol. 5, pp. 4614 – 4617, May 2005
  
- [91] „Transistor Matching in Analog CMOS Applications“, M. J .M. Pelgrom, H. P. Tuinhout, M. Vertregt, International Electron Devices Meeting, IEDM 1998, pp. 915 – 918, December 1998
  
- [92] „Matching Properties of MOS Transistors“, M. J .M. Pelgrom, A. C. J. Duinmaijer, A. P. G. Welbers, IEEE Journal of Solid-State Circuits, Vol. 24, Issue 5, pp. 1433 – 1439, October 1989
  
- [93] „A Smart Pressure Transducer with On-Chip Readout, Calibration and Nonlinear Temperature Compensation based on Spline-Functions“, O. Machul, D. Hammerschmidt, W. Brockherde, B. J. Hosticka, E. Obermeier, P. Krause, IEEE International Solid-State Circuits Conference, 44th ISSCC, Digest of Technical Papers, pp. 198 – 199, February 1997

- [94] „Monolithic Integrated Surface Micromachined Pressure Sensors with Analog On-Chip Linearization and Temperature Compensation“, H. K. Trieu, M. Knier, O. Koster, H. Kappert, M. Schmidt, W. Mokwa, The Thirteenth Annual International Conference on Micro Electro Mechanical Systems, pp. 547 – 550, January 2000
- [95] „A Noise Model for Quantized Data“, M. Bertocco, C. Narduzzi, P. Paglierani, D. Petri, IEEE Instrumentation and Measurement Technology Conference, pp. 1243 – 1247, May 1998
- [96] „CMOS Adjustable Schmitt Triggers“, Z. Wang, IEEE Transactions on Instrumentation and Measurement, Vol. 40, No. 3, pp. 601 – 605, June 1991
- [97] „Modeling of Capacitor Array Mismatch Effect in Embedded CMOS CR SAR ADC“, Z. Lin, H. Yang, L. Zhong, J. Sun, S. Xia, 6th International Conference on ASIC, Vol. 2, pp. 979 – 982, October 2005
- [98] „Effects of the Architecture on Noise Performance of CMOS Operational Amplifiers“, B. J. Hosticka, W. Brockherde, M. Wrede, Proceedings of the European Conference on Circuit Theory and Design, pp. 238 – 241, 1983
- [99] „Analog-to-Digital Converter Survey and Analysis“, R. H. Walden, IEEE Journal on Selected Areas in Communications, Vol. 17, No. 4, pp. 539 – 550, April 1999
- [100] „Figure of merit based selection of A/D converters“, M. Vogels, G. Gielen, Proceedings of the Design, Automation and Test in Europe Conference and Exhibition, pp. 1090 – 1091, 2003
- [101] „Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization“, C. C. Enz, G. C. Temes, Proceedings of the IEEE, Vol. 84, Issue 11, pp. 1584 – 1614, November 1996



# Anhang

## Anhang A Ergänzungen zur Kapazitätsauslese nach dem Oszillatorprinzip

Als Ergänzung zu den Ausführungen des Hauptteils dieser Arbeit wird hier die Umwandlung des pulsbreitenmodulierten Signals der Kapazitätsauslese nach dem Oszillatorprinzip in ein digitales Wort mit einem Zähler angeführt.

### A.1 Zähler

Der Zähler für die Kapazitätsauslese nach dem Oszillatorprinzip ist mit der Hardwarebeschreibungssprache Verilog HDL entworfen worden. Die Beschreibung ist in Quellcode A.1 aufgeführt:

```
// Verilog HDL "functional"
//
//
//-----
//
// Zähler der Drucksensorausleseschaltung
//
//-----
//

module Counter (CLKe, CLKi, RN, Q[12:0]);

    input CLKe;
    input CLKi;
    input RN;

    output [12:0]Q;

    reg [12:0] Q;
    reg [12:0] count_clk;
    reg [1:0] ctrl;

    always @(posedge CLKi or negedge RN)
        begin

//-----RESET-----

            if (~RN)
            begin
                Q[12:0] <= 13'd0;
                count_clk[12:0] <= 13'd0;
            end
        end
    endmodule
```

```

        ctrl[1:0] <= 2'd0;
    end // if (~RN)

//-----BEGIN-----

    else
    begin
        if (CLKe)
        begin
            case(ctrl[1:0])
            2'd0:
                begin
                    ctrl[1:0] <= 2'd1;
                    Q[12:0] <= count_clk[12:0];
                end
            2'd1:
                begin
                    ctrl[1:0] <= 2'd2;
                    count_clk[12:0] <= 13'd2;
                end
            2'd2:
                begin
                    count_clk[12:0] <= count_clk[12:0]+13'd1;
                end
            endcase // case (ctrl[1:0])
        end // if (CLKe)
    else
        begin
            case(ctrl[1:0])
            2'd2:
                begin
                    ctrl[1:0] <= 2'd0;
                    count_clk[12:0] <= count_clk[12:0]+13'd1;
                end
            2'd0:
                begin
                    count_clk[12:0] <= count_clk[12:0]+13'd1;
                end
            endcase // case (ctrl[1:0])
        end // else (CLKe)
    end // else (RN)
    end // always @ (posedge CLK or negedge RN)

endmodule // Counter

```

### Quellcode A.1: Verilog HDL Beschreibung des Zählers

Für die Drucksensorausleseschaltung wird von außen ein Auslesezeitfenster vorgegeben. Die Schaltung wurde für ein Auslesefenster von 7,8125 ms entsprechend zu 128 Hz ausgelegt. Mit der schnellstmöglichen Oszillationsfrequenz in den Corner Parametern „fast“ und 0 °C von 489,883 kHz muss der Zähler mindestens eine Wortbreite von

$$n_{\text{Zähler,min}} = \lceil \log_2(f_{\text{Oszi,max}} \cdot t_{\text{Auslese}}) \rceil \quad (\text{Gl. A.1})$$

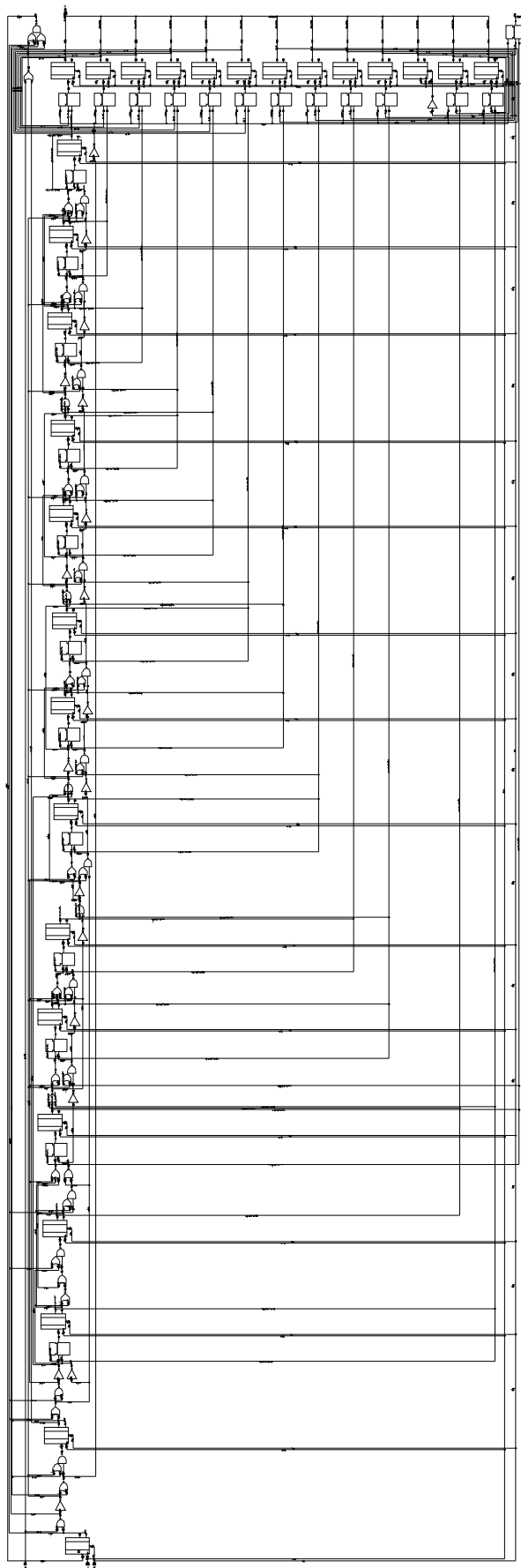


Abbildung A.1: Schaltplan des Zählers

besitzen. Dies ergibt 11,9 Bit, und mit 1 Bit Reserve wurde das Register des Zählers mit 13 Bit angelegt.

Der Zähler besitzt drei Eingänge und 13 Ausgänge. Der Eingang CLKi wird intern mit dem Ausgang des Schmitt-Triggers beschaltet und der externe Eingang CLKe gibt das Auslesefenster vor. Zudem können mit dem low-aktiven Reset RN das Zählregister `count_clk<12:0>` und die Ausgänge `Q<12:0>` zurückgesetzt werden.

Der Takt des Auslesefensters muss den hohen Pegel an CLKe mindestens zwei Pulse des zu zählenden Taktes an CLKi halten, da zum einen der Zählstand des Zählregisters `count_clk` an das Ausgangsregister Q übergeben werden muss, und zum anderen das Zählregister zurückgesetzt werden muss. Das Zählregister nimmt direkt den Wert zwei an, da bei der Übergabe bereits ein Puls vernachlässigt wurde. Der Zähler reagiert auf negative Flanke des Resets RN und auf positive Flanke des internen Eingangs CLKi.

Mit Hilfe der Synthetisierungssoftware Synopsys ist aus der Verilog Beschreibung ein Schaltplan aus Standardzellen generiert worden. Dieser ist in Abbildung A.1 dargestellt.

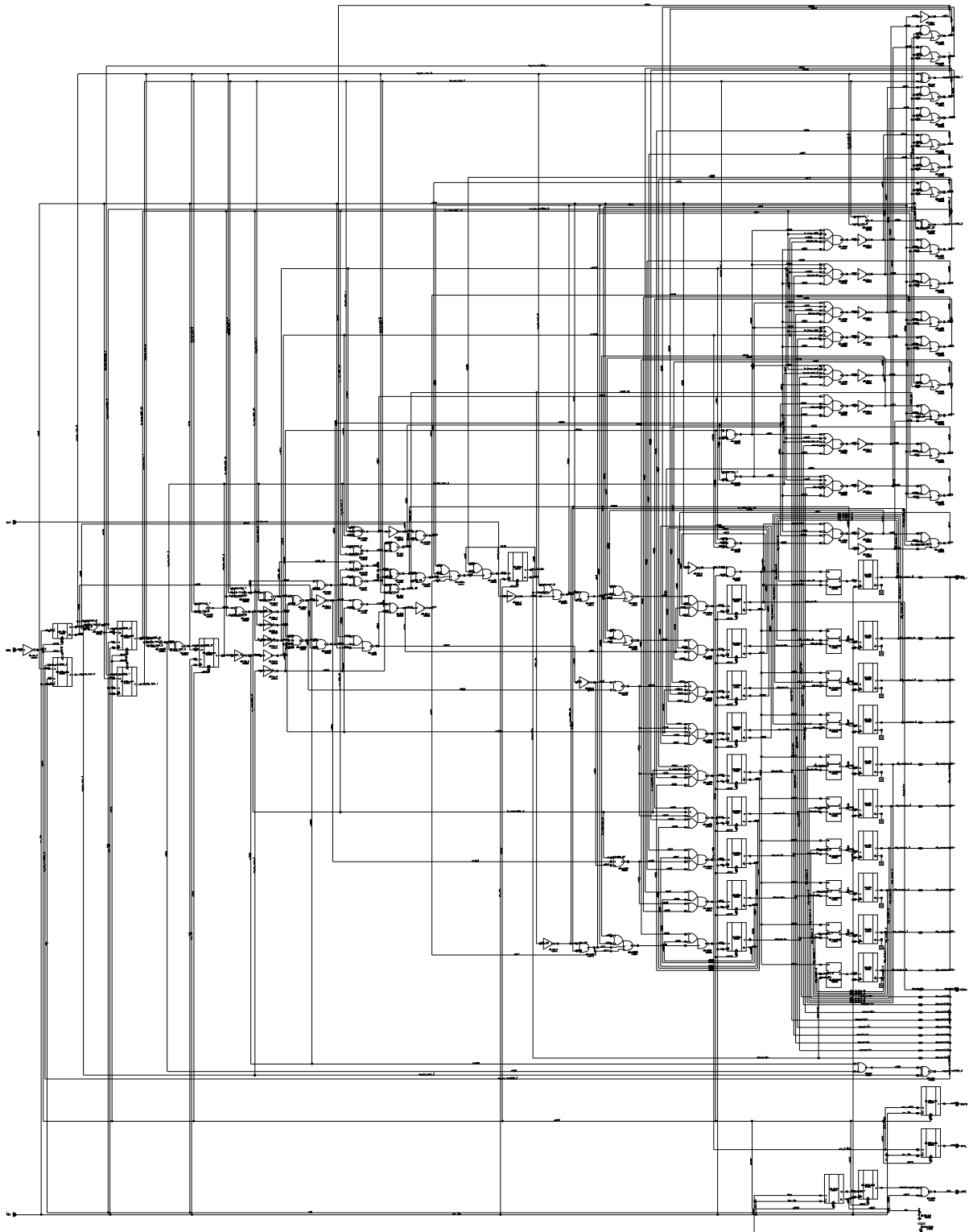
## Anhang B Ergänzungen zum SAR A/D-Umsetzer

In diesem Kapitel wird die Beschreibung des Digitalteils des realisierten SAR ADUs angeführt, und eine Matlab Beschreibung des Umsetzers sowie ein Matlab Programm zur Auswertung der Messergebnisse vorgestellt.

### B.1 Digitalteil

Der Digitalteil besteht aus einer State-Machine, welche anhand des Komparatorausganges die Steuersignale bestimmt und deren Verilog Beschreibung in Quellcode B.1 zu sehen ist, sowie einer Schaltung, die aus den Steuersignalen die invertierten und nichtüberlappenden Steuersignale generiert. Zudem werden die Steuersignale durch NOR-Gatter in der Initialisierungsphase und der Samplingphase zu Null gesetzt.

Die State-Machine aus Quellcode B.1 reagiert auf positive Taktflanken des Taktes und des high-aktiven Resets. Im Falle des Resets werden die Ausgänge `done`, `sha_in` und `steuer` zu Null gesetzt, und der Zähler der halben Zyklen `ncycle_half` wird auf 18 gesetzt. Bei der nächsten Taktflanke nach Zurücksetzen des Resets wird das Initialisierungssignal `vinit` für



**Abbildung B.1: Schaltplan der State-Machine für den SAR ADU**

eine Taktperiode gesetzt, und bei jeder Taktflanke ohne Reset wird `ncycle_half` hochgezählt. Erreicht `ncycle_half` den Wert 19 werden die Werte des Steuerregisters `steuer` an das

```
// Verilog HDL for "SAR_ADC_ce08", "SAR_Contr_Reg_10bit_test2" "functional"

module SAR_Contr_Reg_10bit_test2(clk_16k, comp_out, reset, sha_in, steuer,
dig_output, done, vinit);

    input clk_16k;
    input comp_out;
    input reset;

    output      sha_in;
    output [9:0] steuer, dig_output;
    output      done, vinit;

    reg [9:0]    steuer, dig_output;
    reg [4:0]    ncycle_half;
    reg          sha_in, done, first_cycle_r, second_cycle_r;

    wire         vinit, second_cycle_l;

    always @ (posedge clk_16k or posedge reset)
        begin
            if (reset)
                begin
                    sha_in <= 0;
                    steuer <= 0;
                    done <= 0;
                    ncycle_half <= 18;
                end // if (reset)
            else
                begin
                    if (ncycle_half == 19)
                        begin
                            dig_output <= steuer;
                            sha_in <= 1;
                            steuer <= 0;
                            done <= 1;
                            ncycle_half <= 0;
                        end // if (ncycle_half == 19)
                    else
                        begin
                            sha_in <= 0;
                            done <= 0;
                            ncycle_half <= ncycle_half + 1;
                            if (ncycle_half[0] || (ncycle_half == 0))
                                begin
                                    steuer[9 - (ncycle_half[4:1] + ncycle_half[0])] <= 1;
                                end // if (ncycle_half[0] || (ncycle_half == 0))
                            if ((!comp_out) && (ncycle_half[0] || steuer[0]))
                                begin
                                    steuer[9 - ncycle_half[4:1]] <= 0;
                                end
                            end // else: !if(ncycle_half == 19)
                        end // else: !if(reset)
                end // always @ (posedge clk_16k)

            always @(posedge clk_16k or posedge reset)
                begin
                    if (reset)
                        begin
                            first_cycle_r <= 0;
                            second_cycle_r <= 0;
                        end
                end
        end
```

```
        end
    else
        begin
            second_cycle_r <= second_cycle_l;
            first_cycle_r <= 1;
        end // else: !if(reset)
    end // always @ (posedge clk_16k or posedge reset)

assign second_cycle_l = first_cycle_r;
assign vinit = first_cycle_r & (!second_cycle_r);

endmodule
```

### Quellcode B.1: Verilog HDL Beschreibung der State-Machine vom SAR ADU

Ausgangsregister des ADUs dig\_output übergeben, und das Steuerregister zu Null gesetzt. Weiterhin wird der Ausgang done gesetzt und die Samplingphase eingesetzt, indem sha\_in den Wert Eins annimmt. Durch das Zurücksetzen des Zählers ncycle\_half beginnt ein neuer Wandlungszyklus. Im folgenden Taktzyklus werden done bzw. sha\_in wieder zu Null gesetzt und ncycle\_half zählt wieder die Takte. Für den Fall, dass ncycle\_half ungerade oder den Wert Null besitzt, werden die Bits des Steuersignals steuer beginnend beim MSB auf Eins gesetzt. Für den Fall, dass der Komparatorausgang Null ist, und, dass ncycle\_half ungerade ist oder das LSB von steuer gesetzt wurde, wird das zuvor gesetzte Bit von steuer zurückgesetzt. Im umgekehrten Fall bleibt es gesetzt. So werden sukzessive alle Bits bestimmt. Der synthetisierte Schaltplan der State-Machine ist in Abbildung B.1 dargestellt.

## B.2 Matlab Beschreibung des SAR ADUs

Ein einfaches Modell eines 10 Bit SAR ADUs wurde in Matlab erstellt, und dessen Beschreibung ist in Quellcode B.2 zu finden. Dem Modell können von außen die Eingangsspannung, die Referenzspannungen, die Kapazitäten der verwendeten Kondensatoren und die eingangsbezogene Rauschspannung des Komparators vorgegeben werden. Zunächst werden die einzelnen Kapazitäten an das Array c übergeben, und mit zwei For-Schleifen werden die Gesamtkapazitäten des LSB Kondensatorarrays Cges\_2nd und des MSB Kondensatorarrays Cges\_1st berechnet. Dann wird die Anzahl der Eingangsspannungen des Vektors Vin bestimmt. Es werden eine innere und äußere While-Schleife durchlaufen. Die äußere Schleife wird solange durchlaufen bis die letzte Eingangsspannung erreicht ist. Es werden jeweils der Ausgangswert out der aktuellen Eingangsspannung sowie die Bits b zu

```
function Dout =
SC_SAR_ADC_real_v3(Vin,Vref_m,Vref_p,Vm,C1,C2,C3,C4,C5,C6,C7,C8,C9,C10,Cs,C
0,Vncmp);

%
SC_SAR_ADC_real_v3(Vin,Vref_m,Vref_p,Vm,C1,C2,C3,C4,C5,C6,C7,C8,C9,C10,Cs,C
0,Vncmp)
% Modell eines realen 10 Bit "SC SAR ADC"
% Version 3
% Autor: Benjamin Bechen
%
% Vin = analoge Eingangsspannung (Vektor oder Einzelwert)
% N_cycle = Anzahl der Konvertierungszyklen (idealer ADC: Anzahl der Bits)
% Vref_m = negative Referenzspannung (typisch relativ: 0)
% Vref_p = positive Referenzspannung (typisch relativ: +1)
% Vm = Mittenspannung (typisch Vm=Vdd/2)
% C1,C2,C3,C4,C5,C6,C7,C8,C9,C10 = Kondensatoren der SC-Schaltung
% (typisch C1,C6=1Cein; C2,C7=2Cein; C3,C8=4Cein; C4,C9=8Cein;
C5,C10=16Cein)
% Cs = Transformationskondensator der SC-Schaltung
% C0 = Zusatzkondensator der SC-Schaltung (geht auf Vin und Vref_m)
% Vncmp = Effektivwert des eingangsbezogenen Komparatorrauschens

N_cycle=10;
c0=C0;c(1)=C1;c(2)=C2;c(3)=C3;c(4)=C4;c(5)=C5;
c(6)=C6;c(7)=C7;c(8)=C8;c(9)=C9;c(10)=C10;
cs=Cs;
cparlsb=0; cparmsb=0;

Cges_1st=0;
for i=1:(N_cycle/2)
    Cges_1st=Cges_1st+c(i);
end
Cges_2nd=0;
for i=(N_cycle/2+1):N_cycle
    Cges_2nd=Cges_2nd+c(i);
end

N_in_max = length(Vin); % Bestimmung der Anzahl an Eingangsspannungen
N_in_aktuell=1; % Aktuelle Eingangsspannung, Nummer im Eingangsvektor

while N_in_aktuell <= N_in_max,
    N = 1; % Laufvariable für Zyklus
    out = 0;
    for i=1:N_cycle
        b(i)=0;
    end
    % Initialisierung des Eingangsknotens vom S/H Komparator (Sampling
Phase)
    Vk(N)=Vm;
    N=N+1;
    Vn=Vncmp*randn(N_cycle,1); % Berechnung eines Rauschvektors

    while N <= N_cycle+1
        b(N_cycle-(N-2))=1;
        Cref0_1st=0;Cref1_1st=0;Cref0_2nd=c0;Cref1_2nd=0;
        for i=6:N_cycle
            Cref0_1st=Cref0_1st+bitcmp(b(i),1)*c(i); % Kapazitäten an Vref_m
rechts von Cs
        end
        for i=6:N_cycle
```



```

        Crefl_1st=Crefl_1st+b(i)*c(i); % Kapazitäten an Vref_p rechts von
Cs
    end
    for i=1:5
        Cref0_2nd=Cref0_2nd+bitcmp(b(i),1)*c(i); % Kapazitäten an Vref_m
links von Cs
    end
    for i=1:5
        Crefl_2nd=Crefl_2nd+b(i)*c(i); % Kapazitäten an Vref_p links von
Cs
    end

Vk(N)=(Vref_m*(Cref0_1st+cs*Cref0_2nd/(cs+Cges_2nd+c0+cparlsb))+Vref_p*(Cre
fl_1st+cs*Crefl_2nd/(cs+Cges_2nd+c0+cparlsb)))-
((Cges_2nd+c0)*cs/(cs+Cges_2nd+c0+cparlsb)+Cges_1st)*(Vin(N_in_aktuell)-
Vm)+Vm*(cparmsb+cs*cparlsb/(cs+Cges_2nd+c0+cparlsb)))/(Crefl_1st+Cref0_1st+
cs*(Cges_2nd+c0+cparlsb)/(cs+Cges_2nd+c0+cparlsb)+cparmsb);
    if Vk(N)<=Vm+Vn(N-1)
        b(N_cycle-(N-2))=1;
    else
        b(N_cycle-(N-2))=0;
    end
    N=N+1;
end

for i=1:N_cycle
    out = out + b(i)*2^(-(N_cycle-i+1));
end

Dout(N_in_aktuell) = out;
N_in_aktuell = N_in_aktuell + 1;
end

```

### Quellcode B.2: Matlab-Modell eines 10 Bit SAR A/D-Umsetzers

Null gesetzt. Die Laufvariable für den Zyklus wird auf Eins gesetzt, und die Ausgangsspannung des D/A-Umsetzers für den ersten Zyklus auf Mittenspannung gelegt. Der Zyklenzähler wird um Eins erhöht, und die innere Schleife wird durchlaufen bis alle Bits bestimmt sind. Dafür werden die Bits beginnend beim MSB zu Eins gesetzt. Ein Bit mit dem Wert Eins bedeutet, dass der entsprechende Kondensator an die positive Referenz und bei einer Null an die negative Referenz angeschlossen wird. In weiteren For-Schleifen werden die Gesamtkapazitäten, die an die positive oder die negative Referenz angeschlossen sind, für das LSB und MSB Kondensatorarray bestimmt. Mit diesen Werten und der Gleichung aus Kapitel 6.3.1 berechnet sich die Ausgangsspannung des DAUs für den momentanen Zyklus. Der Komparator vergleicht diese Spannung mit der Mittenspannung plus Rauschspannung, und entscheidet, ob das Bit zurückgesetzt wird. Nach 10 Zyklen wird der relative Ausgangswert bestimmt, und an den Ausgangsvektor Daus an der Stelle der entsprechenden Eingangsspannung übergeben. Der Vorgang wird für die nächste Eingangsspannung wiederholt.

## B.3 Skripte zur Auswertung der Messungen in Matlab

Bei der Bestimmung der DNL sind die Übergangspunkte von einem digitalen Ausgangswert zu nächsten notwendig. Aufgrund von Rauschen wechselt das Ausgangssignal im Übergangsbereich. Der Übergangspunkt wird hier mit 50 % Wahrscheinlichkeit bestimmt. Das dafür verwendete Matlab Skript ist in Quellcode B.3 angegeben. Zunächst wird die Kennlinie eingelesen und in Eingangsspannung und Ausgangswert aufgeteilt. Dann wird der Datensatz reduziert, so dass der maximale Ausgangswert ungefähr die gleiche Stufenbreite erhält. Durch diese Übertragungskennlinie wird eine Ausgleichsgerade gelegt, und damit die effektive und ideale LSB Spannung bestimmt. Dabei wird das Programm RSL genutzt, welches aus der Ausgleichsgeraden die zu einem Ausgangswert entsprechende analoge Eingangsspannung liefert. Mit der Ausgleichsgeraden lassen sich auch Verstärkungsfehler und Offsetfehler berechnen. Daraufhin werden die Übergangspunkte mit 50 % Wahrscheinlichkeit gesucht. Nach der Bestimmung des erstmaligen Auftretens des nächst höheren Ausgangswertes, kann ab diesem Wert das Auftreten des vorherigen Ausgangswertes gezählt werden. Tritt der vorherige Ausgangswert nicht mehr auf ist der Übergangspunkt gefunden. Dabei ist es möglich, dass ein Code übersprungen wurde. Die fehlenden Ausgangswerte werden gespeichert und erhalten den gleichen Übergangspunkt. Für den Fall, dass der vorherige Ausgangswert wieder aufgetreten ist, wird der Übergangsbereich vom ersten Auftreten des nächst höheren Ausgangswertes an durchlaufen. Die Anzahl des Auftretens des vorherigen Ausgangswertes wird herunter gezählt, beginnend mit der zuvor bestimmten Anzahl. Die Anzahl des nächst höheren Ausgangswertes wird beginnend mit Null herauf gezählt. Wenn die Anzahl der beiden Werte gleich ist, ist der Übergangspunkt erreicht. Nun kann die DNL berechnet werden und die wichtigsten Werte werden in eine Datei geschrieben.

```
% Auswertung_SAR_DNL
% Berechnet die DNL eines ADCs
% mit der Methode der Ausgleichsgeraden
% und den Sprungschwellen mit 50% Wahrscheinlichkeit
% Version 1
% Autor: Benjamin Bechen

Nres=10;      %Auflösung des ADCs
Stufeca=200;  %ungefähre Anzahl Messwerte pro Stufe
Vref_p=2.5;   %Referenzen
Vref_m=0;

A=dlmread(Kennlinie, '\t');
Vin=A(:,1);
Dout=A(:,2);
```

```
size(Vin)
size(Dout)

Douttest = 0;
Nmax = 1;
while (Douttest ~= 2^Nres-1)
    Douttest = Dout(Nmax);
    Nmax=Nmax+1;
end;
Nmax=Nmax+Stufeca;

Vin=Vin(1:Nmax);
Dout=Dout(1:Nmax);

size(Vin)
size(Dout)

p=polyfit(Vin,Dout,1)

V_LSBe=(RSL(p(1),p(2),2^Nres-1)-RSL(p(1),p(2),0))/(2^Nres-1);
V_LSBi=(Vref_p-Vref_m)/2^Nres

GE=V_LSBi/V_LSBe-1;
Offset=(-p(2)/p(1))-1/2*V_LSBi;

Zeig=1;Out=0;i=1;m=1;MC='';
while (Out<(2^Nres-1))
    Douttest=Out;
    while (Douttest<=Out) %erstmaliges Auftreten des nächsthöheren Codes
        if Zeig<length(Dout)
            Zeig=Zeig+1;
        end;
        Douttest=Dout(Zeig);
    end;
    r=0;s=0;
    for n=(Zeig):(Zeig+Stufeca/2)
        if (Dout(n)==Out)
            r=r+1; %Anzahl Auftreten des vorherigen Codes ab dem
            erstmaligen Auftreten des nächsthöheren Codes
        end;
    end;
    if (r==0)
        Te(i)=Vin(Zeig); %bei Sprung ohne Rauschen: analoge Spannung
        beim erstmaligen Auftreten
        Out=Out+1;
        i=i+1;
        if (Dout(Zeig+Stufeca/2)>Out) %Werden Codes übersprungen?
            r=-1;
            for x=(Dout(Zeig-1)+2):(Dout(Zeig+Stufeca/2)) %übersprungene
            Codes erhalten die gleiche Schwelle
                MC(m)=Out; %Missing Codes werden gespeichert
                m=m+1;
                Te(i)=Vin(Zeig); %fehlende Codes erhalten gleiche
            Schwelle => DNL=-1
            Out=Out+1;
            i=i+1;
        end;
    end;
end;
if (r>0)
    while (r~=s) %Bestimmung der Schwelle mit 50% Wahrscheinlichkeit
        Zeig=Zeig+1;
```

```
        if (Dout(Zeig)==Out)
            r=r-1;
        elseif (Dout(Zeig)==(Out+1))
            s=s+1;
        end;
    end;
    Te(i)=Vin(Zeig);    %Zuweisung der Schwelle
    Out=Out+1;
    i=i+1;
end;
end;

DoutvsDNL=DNL(Te,V_LSBe,Nres);
size(DoutvsDNL)

sim_path='I:\Projekte\TRMP\SAR_ADC_V1.4\Matlab\';    %Pfadangabe für
Ergebnisspeicherung
File_name_DNL='DNL_SAR_ADC_1_4_4.txt';

FID=fopen(sprintf('%s%s',sim_path,File_name_DNL),'w');    %Ausgabe des
Simulationsergebnisses in Datei
fprintf(FID,'Dout DNL\n');
for i=(1:(2^Nres-1));
    fprintf(FID,'%f %f\n',DoutvsDNL(i,1),DoutvsDNL(i,2));
end;
fprintf(FID,'#SAR ADC Berechnung DNL mit V_LSBe=%1.3e, GE=%1.3e,
Offset=%1.3e\n',V_LSBe, GE, Offset);
fclose(FID);

File_name_MC='MC_SAR_ADC_1_4_4.txt';

FID2=fopen(sprintf('%s%s',sim_path,File_name_MC),'w');    %Ausgabe des
Simulationsergebnisses in Datei
fprintf(FID2,'Missing Codes:\n');
for i=(1:length(MC));
    fprintf(FID2,'%f\n',MC(i));
end;
fclose(FID2);
```

### Quellcode B.3: Auswertung der Übertragungskennlinie in Matlab zur Bestimmung der Übergangspunkte und der DNL (SAR ADU)

Die Berechnung der DNL erfolgt mit Hilfe von Quellcode B.4. Mit den Daten der Übergangspunkte  $T_e$ , der effektiven LSB Spannung  $V\_LSBe$  und der Auflösung  $N$ , wird die DNL für alle möglichen digitalen Ausgangswerte berechnet.

```
function out = DNL(Te,V_LSBe,N)

% Berechnet DNL eines ADCs
% Te = Analoge Eingangsspannungen der Sprungschwellen
% N = Auflösung des ADCs

N_in_aktuell = 0;

while N_in_aktuell < (2^N-1),
    if N_in_aktuell == 0
```

```
DNL_out(N_in_aktuell+1)=((Te(N_in_aktuell+1)-0)/V_LSBe)-1;
else
    DNL_out(N_in_aktuell+1)=((Te(N_in_aktuell+1)-
    Te(N_in_aktuell))/V_LSBe)-1;
end;
N_in_aktuell=N_in_aktuell+1;
Dout(N_in_aktuell)=N_in_aktuell-1;
end;

out =[Dout;DNL_out]';
```

### Quellcode B.4: Matlab Programm zur Berechnung der DNL beim SAR ADU

Die Auswertung der Daten mit dem Ziel der INL Berechnung erfolgt wie bei der Bestimmung der DNL. Nach der Reduzierung des Datensatzes werden wiederum eine Ausgleichsgerade und die Übergangspunkte bestimmt. Die INL wird dann mit Quellcode B.5 berechnet und die Werte in eine Datei geschrieben. Dafür werden die Ausgangswerte mit den entsprechenden Übergangspunkten, die LSB-Spannung und die Koeffizienten der Ausgleichsgeraden übergeben. Die Bestimmung der INL erfolgt über den Abstand der Stufenmitte zur Ausgleichsgeraden.

```
function out = INL_b(Te,DoutINL,V_LSBe,p1,p2)

% Berechnet INL eines ADCs
% Te = Analoge Eingangsspannungen der Sprungschwellen
% Version 1b

N_in_aktuell = 0;

while N_in_aktuell < (length(Te)),
    if N_in_aktuell == 0
        INL_out(N_in_aktuell+1)=(((Te(N_in_aktuell+1)+0)/2)-
        RSL(p1,p2,DoutINL(N_in_aktuell+1)))/V_LSBe;
    else
        INL_out(N_in_aktuell+1)=(((Te(N_in_aktuell+1)+Te(N_in_aktuell))/2)-
        RSL(p1,p2,DoutINL(N_in_aktuell+1)))/V_LSBe;
    end;
    N_in_aktuell=N_in_aktuell+1;
    Dout(N_in_aktuell)=DoutINL(N_in_aktuell);
end;

out =[Dout;INL_out]';
```

### Quellcode B.5: Matlab Programm zur Berechnung der INL beim SAR ADU

## B.4 Parameter des SAR A/D-Umsetzer

Die allgemeinen Parameter des SAR ADUs in der verwendeten 0,8  $\mu\text{m}$  Standard CMOS Technologie für die Rauschberechnung sind in Tabelle B.1 aufgeführt.

$C / [\text{fF}]$	500	$C_{\text{ox}} / [\text{fF}/\mu\text{m}^2]$	2,2
$B / [\text{Bit}]$	10	$U_{\text{pp}} / [\text{V}]$	2,5
$K_{\text{fn}} / [(\text{As})^2/\text{cm}^2]$	$4 \cdot 10^{-31}$	$K_{\text{fp}} / [(\text{As})^2/\text{cm}^2]$	$10^{-32}$
$f_{\text{S}} / [\text{kHz}]$	16	$\alpha$ (@ 16kHz)	0,96
$W_{\text{n}} / [\mu\text{m}]$	2	$W_{\text{p}} / [\mu\text{m}]$	2
$L_{\text{n}} / [\mu\text{m}]$	30	$L_{\text{p}} / [\mu\text{m}]$	8
$g_{\text{mn}} / [\mu\text{S}]$	2,767	$g_{\text{mp}} / [\mu\text{S}]$	3,291
$g_{\text{dsn}} / [\text{nS}]$	0,529	$g_{\text{dsp}} / [\text{nS}]$	8,004
$C_{\text{dbn}} / [\text{fF}]$	14,36	$C_{\text{dbp}} / [\text{fF}]$	3,04
$C_{\text{dsn}} / [\text{fF}]$	46,87	$C_{\text{dsp}} / [\text{fF}]$	11,88
$C_{\text{gsn}} / [\text{fF}]$	79,84	$C_{\text{gsp}} / [\text{fF}]$	24,03

Tabelle B.1: Parameter des SAR-ADU für eine Berechnung des Rauschens

## B.5 Berechnung der Rauschspannungsquadrate

Die Werte der in der Berechnung des Rauschens des realisierten SAR ADUs vorkommenden Rauschspannungsquadrate sind in Tabelle B.2 aufgeführt.

$\overline{u}_{\text{nausDAU,Schalter}}^2 / [\text{V}^2]$	$5,175 \cdot 10^{-10}$	$\overline{u}_{\text{neinInv 1,th}}^2 / [\text{V}^2]$	$3,408 \cdot 10^{-10}$
$\overline{u}_{\text{neinInv 2,th}}^2 / [\text{V}^2]$	$4,321 \cdot 10^{-11}$	$\overline{u}_{\text{neinInv 3,th}}^2 / [\text{V}^2]$	$8,572 \cdot 10^{-17}$
$\overline{u}_{\text{neinInv 1,1/f}}^2 / [\text{V}^2]$	$4,939 \cdot 10^{-8}$	$\overline{u}_{\text{neinInv 2,1/f}}^2 / [\text{V}^2]$	$3,24 \cdot 10^{-8}$
$\overline{u}_{\text{neinInv 3,1/f}}^2 / [\text{V}^2]$	$6,427 \cdot 10^{-14}$	$\overline{u}_{\text{nein,ges}}^2 / [\text{V}^2]$	$1,652 \cdot 10^{-7}$

Tabelle B.2: Rauschspannungsquadrate des SAR-ADUs

## Anhang C Ergänzungen zum zyklischen A/D-Umsetzer

Dieses Kapitel beschreibt die Realisierung des Digitalteils des zyklischen ADUs. Zudem werden das Matlab-Modell des zyklischen ADUs und die Auswerteskripte für die Messungen

des gefertigten Testchips vorgestellt. Ebenso werden einige Parameter der entwickelten Schaltung angegeben.

### C.1 Digitalteil

Der Digitalteil des zyklischen ADUs besteht zum einen aus einer Schaltung, welche aus dem RSD Code ein Zweier-Komplement bildet. Diese wurde aus [58] übernommen, und benötigt etwas Logik, welche die einmalige Invertierung in der Sample&Hold Stufe und die daraus resultierende Änderung im RSD Code aufhebt. Zum anderen gehört eine State-Machine zum

```
// Verilog HDL for "SOA_Cyclic_ADC", "State_Mach_2compl_mism_comp_07_top"
"functional"

module State_Mach_2compl_mism_comp_07_top (phi1, phi2, twocompl_out, b0,
b00, reset, ADCsample_int, switch_int, switchinv_a_int, switchinv_b_int,
rsdinv, dig_output, done, reset_2compla_int, reset_2complb_int, s1_int,
s5_int, s10_int, s11_int, s12_int, s13_int, s17_int, s18_int, s20_int);

    input          phi1, phi2;
    input [10:0]    twocompl_out;
    input          reset;
    input          b0, b00;

    output          ADCsample_int, switch_int, switchinv_a_int,
switchinv_b_int, rsdinv;
    output [10:0]    dig_output;
    output          done, reset_2compla_int, reset_2complb_int;
    output          s1_int, s5_int, s10_int, s11_int, s12_int, s13_int,
s17_int, s18_int, s20_int;

    wire           sync, dav;

    State_Mach_2compl_mism_comp_07_sub1 Untermodul1(phi2, b0, b00, reset,
dav, ADCsample_int, switch_int, switchinv_b_int, reset_2compla_int, sync,
done, s10_int, s11_int, s12_int);

    State_Mach_2compl_mism_comp_07_sub2 Untermodul2(phi1, twocompl_out,
reset, sync, rsdinv, dig_output, dav, reset_2complb_int, switchinv_a_int,
s1_int, s5_int, s13_int, s17_int, s18_int, s20_int);

endmodule
```

#### Quellcode C.1: Verilog Beschreibung der State-Machine für den zyklischen ADU in oberster Instanz

Digitalteil, die zur Steuerung der Schalter dient. Die State-Machine ist in der Hardwarebeschreibungssprache Verilog programmiert worden und besteht aus zwei Teilen, die in der Beschreibung aus Quellcode C.1 zusammengeführt sind. Die Synchronisierung der beiden Untermodule geschieht über die Signale sync und dav. Das Signal sync wird von

Unterm modul 1 an 2 und das Signal dav von Unterm modul 2 an 1 übergeben. Das Unterm modul 1 aus Quellcode C.2 reagiert auf negative Flanken des Taktes phi2 und vom Reset reset. Bei Ausführung des low-aktiven Reset werden alle Ausgänge und der Zähler counter1 zurückgesetzt.

```
// Verilog HDL for "SOA_Cyclic_ADC", "State_Mach_2compl_mism_comp_07_sub1"
"functional"
```

```
module State_Mach_2compl_mism_comp_07_sub1 (phi2, b0, b00, reset, dav,
ADCsample_int, switch_int, switchinv_b_int, reset_2compla_int, sync, done,
s10_int, s11_int, s12_int);
```

```
    input    phi2;
    input    reset;
    input    b0, b00;
    input    dav;
```

```
    output   ADCsample_int, switch_int, switchinv_b_int;
    output   reset_2compla_int, sync, done;
    output   s10_int, s11_int, s12_int;
```

```
    reg [3:0] counter1;
    reg      ADCsample_int, switch_int, switchinv_b_int;
    reg      reset_2compla_int, sync, done;
    reg      s10_int, s11_int, s12_int;
```

```
    always @ (negedge phi2 or negedge reset)
```

```
    begin
```

```
        if (!reset)
```

```
        begin
```

```
            reset_2compla_int <= 0; //mit reset_2complb_int ver-or-en
```

```
            counter1 <= 0;
```

```
            ADCsample_int <= 0; //mit phi1 ver-and-en
```

```
            switch_int <= 0;
```

```
            switchinv_b_int <= 0;
```

```
            sync <= 0;
```

```
            done <= 0;
```

```
            s10_int <= 0; //mit phi1 ver-and-en
```

```
            s11_int <= 0; //mit phi1 ver-and-en
```

```
            s12_int <= 0; //mit phi1 ver-and-en
```

```
        end // if (!reset)
```

```
    else
```

```
    begin
```

```
        case ( counter1 )
```

```
            0 :
```

```
            begin
```

```
                counter1 <= counter1 + 1;
```

```
                if (dav == 1) done <= 1;
```

```
                reset_2compla_int <= 0;
```

```
                sync <= 1;
```

```
                ADCsample_int <= 1;
```

```
                switch_int <= 0;
```

```
                switchinv_b_int <= 0;
```



```

        s10_int <= (b0)&&(!b00);
        s11_int <= ~(b0||b00);
        s12_int <= (!b0)&&(b00);
    end // if (counter1 == 0)
1 :
    begin
        counter1 <= counter1 + 1;
        reset_2compla_int <= 1;
        sync <= 0;
        ADCsample_int <= 0;
        switch_int <= 1;
        s10_int <= (b0)&&(!b00);
        s11_int <= ~(b0||b00);
        s12_int <= (!b0)&&(b00);
    end // if (counter1 == 1)
2 :
    begin
        counter1 <= counter1 + 1;
        done <= 0;
        switch_int <= 0;
        switchinv_b_int <= 1;
        s10_int <= (b0)&&(!b00);
        s11_int <= ~(b0||b00);
        s12_int <= (!b0)&&(b00);
    end // if (counter1 == 2)
10 :
    begin
        counter1 <= 0;

        s10_int <= (b0)&&(!b00);
        s11_int <= ~(b0||b00);
        s12_int <= (!b0)&&(b00);
    end
default :
    begin
        counter1 <= counter1 + 1;
        reset_2compla_int <= reset_2compla_int;
        ADCsample_int <= ADCsample_int;
        switch_int <= switch_int;
        switchinv_b_int <= switchinv_b_int;
        sync <= sync;
        done <= done;
        s10_int <= (b0)&&(!b00);
        s11_int <= ~(b0||b00);
        s12_int <= (!b0)&&(b00);
    end
endcase // case( counter1 )
end // else: !if(!reset)
end // always @ (negedge phi2 or negedge reset)

endmodule

```

#### Quellcode C.2: Verilog Beschreibung der Unterinstanz 1 der State-Machine für den zyklischen ADU

Bei nicht gesetztem Reset zählt der Zähler counter1 mit jeder fallenden Flanke von phi2 aufwärts und in einer Case-Abfrage auf den Zählerstand werden die Ausgänge dem geforderten Taktschema und dem RSD Code entsprechend gesetzt oder zurückgesetzt. Nach

dem Durchlauf aller Zyklen wird der Zähler zurückgesetzt, und das Zweierkomplement an die Ausgänge des ADUs übergeben. Zur Signalisierung eines abgeschlossenen Wandlungzyklus, wird beim Zählerstand von Null das Signal done ausgegeben, wenn dav gesetzt ist. Also wenn das Untermodul 2 alle Zyklen durchlaufen hat und kein Reset gesetzt wurde.

```
// Verilog HDL for "SOA_Cyclic_ADC", "State_Mach_2compl_mism_comp_07_sub2"  
"functional"
```

```
module State_Mach_2compl_mism_comp_07_sub2 (phil, twocompl_out, reset,  
sync, rsdinv, dig_output, dav, reset_2complb_int, switchinv_a_int, s1_int,  
s5_int, s13_int, s17_int, s18_int, s20_int);
```

```
    input          phil;  
    input [10:0]    twocompl_out;  
    input          reset;  
    input          sync;
```

```
    output          rsdinv;  
    output [10:0]    dig_output;  
    output          dav, reset_2complb_int, switchinv_a_int;  
    output          s1_int, s5_int, s13_int, s17_int, s18_int, s20_int;
```

```
    reg [10:0]       dig_output;  
    reg [3:0]        counter2;  
    reg             rsdinv;  
    reg             dav, reset_2complb_int, switchinv_a_int;  
    reg             s1_int, s5_int, s13_int, s17_int, s18_int, s20_int;
```

```
always @ (negedge phil or negedge reset)
```

```
begin
```

```
    if (!reset)
```

```
    begin
```

```
        dav <= 0;
```

```
        reset_2complb_int <= 0; //mit reset_2compla_int ver-or-en
```

```
        dig_output <= 0;
```

```
        switchinv_a_int <= 0;
```

```
        counter2 <= 0;
```

```
        rsdinv <= 0;
```

```
        s1_int <= 0;
```

```
        s5_int <= 0;
```

```
        s13_int <= 0;
```

```
        s17_int <= 0;
```

```
        s18_int <= 0;
```

```
        s20_int <= 0;
```

```
    end // if (!reset)
```

```
    else
```

```
    begin
```

```
        case ( counter2 )
```

```
            0 :
```

```
                if (sync == 1)
```

```
                begin
```

```
                    counter2 <= counter2 + 1;
```

```
                    reset_2complb_int <= 1;
```

```
                    rsdinv <= 0;
```

```
                    switchinv_a_int <= 1;
```

```
                    s1_int <= 1;
```

```
                    s5_int <= 1;
```

```

        s13_int <= 0;
        s17_int <= 0;
        s18_int <= 0;
        s20_int <= 1;
    end // if (sync == 1 and counter == 0)
1 :
    begin
        counter2 <= counter2 + 1;
        dav <= 0;
        rsdinv <= 1;
        switchinv_a_int <= 0;
        s5_int <= 0;
        s13_int <= 1;
        s18_int <= 1;
        s20_int <= 0;
    end // if (counter2 == 1)
2 :
    begin
        counter2 <= counter2 + 1;
        switchinv_a_int <= 1;
        s1_int <= 0;
        s5_int <= 1;
        s17_int <= 1;
        s18_int <= 0;
    end // if (counter2 == 2)
3 :
    begin
        counter2 <= counter2 + 1;
        s1_int <= 1;
        s13_int <= 0;
        s17_int <= 0;
        s20_int <= 1;
    end // if (counter2 == 3)
4 :
    begin
        counter2 <= counter2 + 1;
        s5_int <= 0;
        s13_int <= 1;
        s18_int <= 1;
        s20_int <= 0;
    end // if (counter2 == 4)
5 :
    begin
        counter2 <= counter2 + 1;
        s1_int <= 0;
        s5_int <= 1;
        s17_int <= 1;
        s18_int <= 0;
    end // if (counter2 == 5)
6 :
    begin
        counter2 <= counter2 + 1;
        s1_int <= 1;
        s13_int <= 0;
        s17_int <= 0;
        s20_int <= 1;
    end // if (counter2 == 6)
7 :
    begin
        counter2 <= counter2 + 1;
        s5_int <= 0;
        s13_int <= 1;

```

```

        s18_int <= 1;
        s20_int <= 0;
    end // if (counter2 == 7)
8 :
    begin
        counter2 <= counter2 + 1;
        s1_int <= 0;
        s5_int <= 1;
        s17_int <= 1;
        s18_int <= 0;
    end // if (counter2 == 8)
9 :
    begin
        counter2 <= counter2 + 1;
        s1_int <= 1;
        s13_int <= 0;
        s17_int <= 0;
        s20_int <= 1;
    end // if (counter2 == 9)
10 :
    begin
        counter2 <= 0;
        reset_2complb_int <= 0;

        //switchinv_a_int <= 0;

        dav <= 1;
        dig_output <= twocompl_out;
        s5_int <= 0;
        s13_int <= 1;
        s18_int <= 1;
        s20_int <= 0;
    end // if (counter2 == 10)
default :
    begin
        counter2 <= counter2 + 1;
        reset_2complb_int <= reset_2complb_int;
        switchinv_a_int <= switchinv_a_int;
        dig_output <= dig_output;
        dav <= dav;
        rsdinv <= rsdinv;
        s1_int <= s1_int;
        s5_int <= s5_int;
        s13_int <= s13_int;
        s17_int <= s17_int;
        s18_int <= s18_int;
        s20_int <= s20_int;
    end
endcase // case( counter2 )
end // else: !if(!reset)
end

endmodule

```

**Quellcode C.3: Verilog Beschreibung der Unterinstanz 2 der State-Machine für den zyklischen ADU**

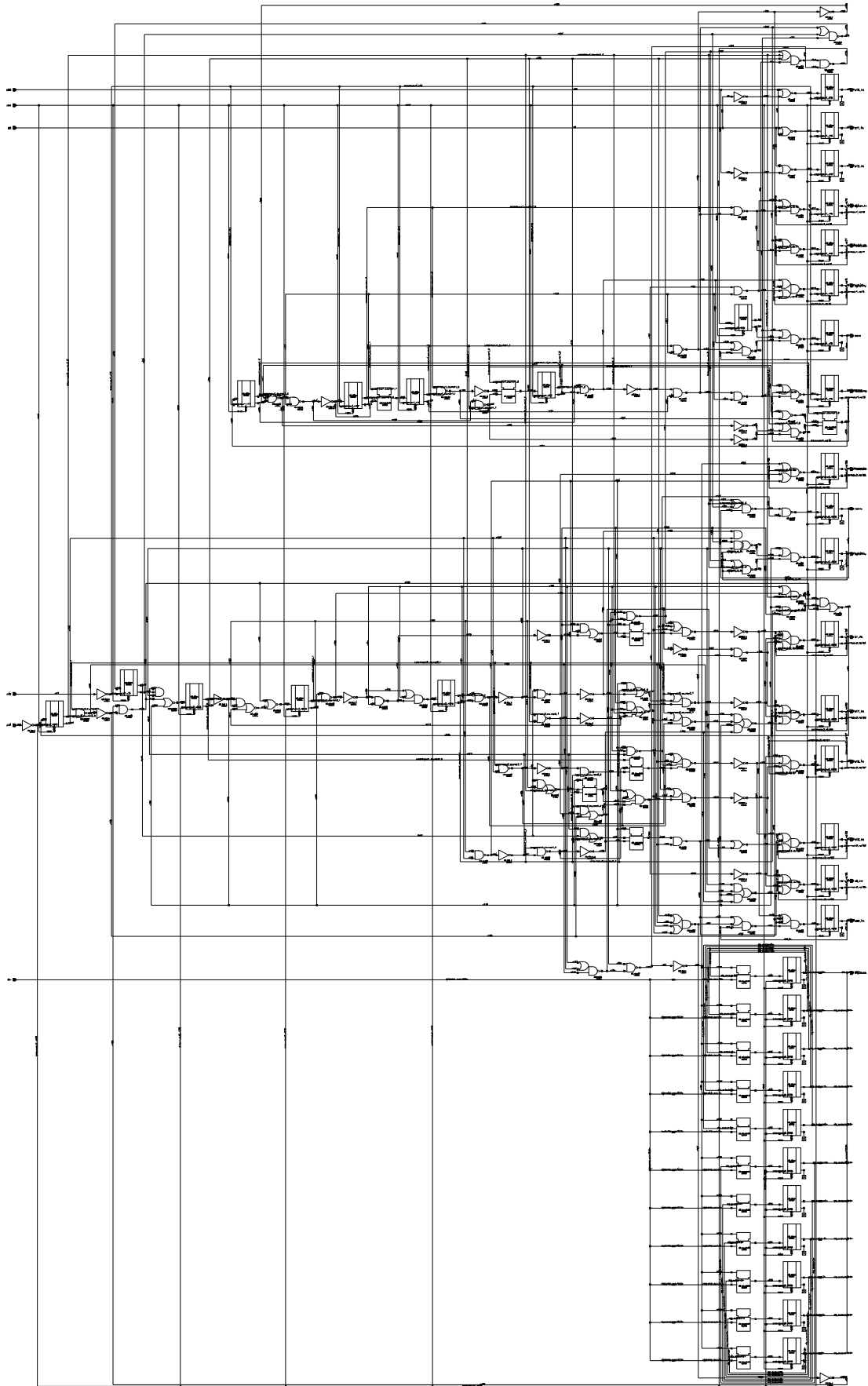


Abbildung C.1: Schaltplan der State-Machine für den zyklischen ADU

In Quellcode C.3 ist das Untermodul 2 angegeben, welches auf negative Flanken von phi1 und reset reagiert. Es funktioniert nach dem gleichen Schema wie das Untermodul 1, wobei nach einem Reset oder Wandlungszyklus der Zählvorgang erst beginnt, wenn das Synchronisationssignal sync von Untermodul 1 gesetzt wurde. Dies garantiert auch nach einem ungünstig gesetzten Reset, dass Untermodul 1 zuerst mit dem Setzen der Signale beginnt.

Der aus der Verilog Beschreibung synthetisierte Schaltplan ist in Abbildung C.1 dargestellt. Außerhalb der State-Machine werden die Steuersignale für die Schalter mit UND-Verknüpfungen nur in den benötigten Phasen phi1 oder phi2 durchgeschaltet.

## C.2 Matlab Beschreibung des zyklischen ADUs

In Kapitel 6 wurde die INL in Abhängigkeit des Kondensatormismatches in der Sample&Hold Stufe und Multiplizierstufe simuliert. Der Code des einfachen Matlab Modells in der Variante mit Mismatch Kompensation ist in Quellcode C.4 zu sehen.

```
function Dout =
SC_SOA_Cyclic_ADC_10bit_RSD_real_mmc02(Vin,Vref_m,Vref_p,Vrail_m,Vrail_p,Vc
m,Av0,c0x2,c1x2,c2x2,c3x2,c4x2,Av1,clsh,c2sh,c3sh);

% Modell eines realen "SC SOA Cyclic ADC RSD" (mit Redundant Signed Digit
Technik)
% (mit Mismatch Compensation)
% Vorlage: keine
% Version 2
% Autor: Benjamin Bechen

% Vin = analoge Eingangsspannung (Vektor oder Einzelwert)
% N_cycle = Anzahl der Konvertierungszyklen (RSD ADC: Anzahl der Bits - 1)
% Vref_m = negative Referenzspannung Komparator (typisch relativ: -0.125)
% Vref_p = positive Referenzspannung Komparator (typisch relativ: +0.125)
% Vcm = Mittenspannung (typisch: 0)
% Av0 = Leerlaufverstärkung OTA in X2 Stufe
% Av1 = Leerlaufverstärkung OTA in SH Stufe
% Vrail_m = negative Referenzspannung (typisch relativ: -0.5)
% Vrail_p = positive Referenzspannung (typisch relativ: +0.5)
% Cein = Einheitskondensator der SC-Schaltung

N_cycle=10;
C0a_g=c0x2; C1a_g=c1x2; C2a_g=c2x2; C3a_g=c3x2; C4a_g=c4x2;
C0b_g=c0x2; C1b_g=c1x2; C2b_g=c2x2; C3b_g=c3x2; C4b_g=c4x2;
N_in_max = length(Vin); % Bestimmung der Anzahl an Eingangsspannungen
N_in_aktuell=1; % Aktuelle Eingangsspannung, Nummer im
Eingangsvektor

while N_in_aktuell <= N_in_max,
    N = 1; % Laufvariable für Zyklus
    out = 0;
    C3a=C3a_g; C3b=C3b_g;
    for i=1:N_cycle
```

```

        b(i)=0;
    end
    Voutp(N)=Vin(N_in_aktuell)/2+Vcm;
    Voutm(N)=-Vin(N_in_aktuell)/2+Vcm;
    while N <= N_cycle
        if (N==1)
            C0a=C0a_g; C1a=C1a_g; C2a=C2a_g; C4a=C4a_g;
            C0b=C0b_g; C1b=C1b_g; C2b=C2b_g; C4b=C4b_g;
        elseif (mod(N,3)==2)
            C0a=C4a_g; C1a=C0a_g; C2a=C2a_g; C4a=C1a_g;
            C0b=C4b_g; C1b=C0b_g; C2b=C2b_g; C4b=C1b_g;
        elseif (mod(N,3)==0)

            C0a=C1a_g; C1a=C4a_g; C2a=C2a_g; C4a=C0a_g;
            C0b=C1b_g; C1b=C4b_g; C2b=C2b_g; C4b=C0b_g;
        else
            C0a=C0a_g; C1a=C1a_g; C2a=C2a_g; C4a=C4a_g;
            C0b=C0b_g; C1b=C1b_g; C2b=C2b_g; C4b=C4b_g;
        end
        if (mod(N,2)==1)
            C1a_f=c1sh; C2a_f=c2sh; C3a_f=c3sh;
            C1b_f=c1sh; C2b_f=c2sh; C3b_f=c3sh;
        else
            C1a_f=c3sh; C2a_f=c2sh; C3a_f=c1sh;
            C1b_f=c3sh; C2b_f=c2sh; C3b_f=c1sh;
        end
        if (Voutp(N)>=Vref_p)
            b(N)=1;
        elseif (Voutp(N)<=Vref_m)
            b(N)=-1;
        else
            b(N)=0;
        end
        N=N+1;
        Vinp(N)=(Voutp(N-1)-Vcm)*C1a_f/(C3a_f+(C1a_f+C2a_f+C3a_f)/Av1);
        Vinm(N)=(Voutm(N-1)-Vcm)*C1b_f/(C3b_f+(C1b_f+C2b_f+C3b_f)/Av1);
        Vin(N)=Vinp(N)-Vinm(N);
        Vinp(N)=Vin(N)/2+Vcm;
        Vinm(N)=-Vin(N)/2+Vcm;

        Voutp(N)=Vcm*(C2a-C0a-C1a)/(C4a+(C0a+C1a+C2a+C3a+C4a)/Av0)-b(N-1)*Vrail_p*C2a/(C4a+(C0a+C1a+C2a+C3a+C4a)/Av0)+Vinp(N)*(C0a+C1a)/(C4a+(C0a+C1a+C2a+C3a+C4a)/Av0);
        Voutm(N)=Vcm*(C2b-C0b-C1b)/(C4b+(C0b+C1b+C2b+C3b+C4b)/Av0)-b(N-1)*Vrail_m*C2b/(C4b+(C0b+C1b+C2b+C3b+C4b)/Av0)+Vinm(N)*(C0b+C1b)/(C4b+(C0b+C1b+C2b+C3b+C4b)/Av0);
        Vout(N)=Voutp(N)-Voutm(N);
        Voutp(N)=Vout(N)/2+Vcm;
        Voutm(N)=-Vout(N)/2+Vcm;
    end

    for i=1:N_cycle
        out = out + b(i)*2.^(-i);
    end

    Dout(N_in_aktuell) = out;
    N_in_aktuell = N_in_aktuell + 1;
end

```

**Quellcode C.4: Matlab-Modell eines 11 Bit zyklischen A/D-Umsetzers**

In der äußeren While-Schleife werden die Eingangsspannungen des Vektors  $V_{in}$  durchgefahen. Zudem werden der digitale Ausgangswert  $out$  und der RSD-Code  $b$  initialisiert. Weiterhin werden die Spannungen  $V_{outp}$  und  $V_{outm}$ , welche auf den Eingang der Sample&Hold Stufe und die Komparatoren gelangen, mit der Eingangsspannung  $V_{in}$  belegt. In der inneren While-Schleife werden die Kapazitäten der Multiplizierstufe und der Sample&Hold Stufe zugewiesen, und je nach Zyklus durchgetauscht. Die Variante ohne Mismatch Kompensation verzichtet im Unterschied dazu auf das Durchtauschen der Kapazitäten. Daraufhin findet der ideale Vergleich mit den Referenzen und die Bestimmung von  $b$  statt. Es folgt eine Erhöhung des Zyklenzählers  $N$  und die Schleife aus Sample&Hold Stufe und Multiplizierstufe wird durchlaufen. Bei der Berechnung von deren Ausgangsspannungen werden endliche Leerlaufverstärkungen  $Av_0$  und  $Av_1$  der verwendeten Verstärker angenommen. Wenn  $N$  die maximale Zyklenanzahl  $N_{cycle}$  überschreitet bricht die innere While-Schleife ab. Nach Durchlauf der inneren While-Schleife wird ein relativer Ausgangswert, aus dem RSD-Code bestimmt.

### C.3 Skripte zur Auswertung der Messungen in Matlab

Ähnlich zum SAR ADU wird aus Messergebnissen der Testchips vom zyklischen ADU die Differentielle und Integrale Nichtlinearität bestimmt. Da beim zyklischen ADU aufgrund von Rauschen der digitale Ausgangswert bei einer festen Eingangsspannung meist zwischen drei Werten springt, wurden Mittelwerte aus 2000 Messungen pro Eingangsspannung gebildet. Folglich besitzt die Übertragungskennlinie keine eindeutigen Stufen mehr. Aus diesem Grund werden die Übergangspunkte immer in der Mitte zweier benachbarter Ausgangswerte festgelegt. Dies wird beispielhaft für die Bestimmung der DNL in Quellcode C.5 durchgeführt. Zuvor wird die eingelesene Übertragungskennlinie um  $3\sigma$  des Rauschens an den äußeren Rändern gekürzt, da ein Sättigungseffekt an den Rändern auftritt.

```
% Auswertung_Cyclic_DNL
% Berechnet die DNL eines ADCs
% mit der Methode der Ausgleichsgeraden
% Version 1
% Autor: Benjamin Bechen

clear;
Nres=11;
Vswing=2;
Stufeca=20;
stdabw=0.65;
```



```
Kennlinie='I:\Projekte\TRMPII\SOA_Cyclic_ADC_V1.C\Matlab\ÜK_Cyclic_Mittel_1_C_2.txt';

A=dlmread(Kennlinie,'\t');
Vin=A(:,1);
Dout=A(:,2);

Nmin=1; Nmax=1;
for i=(1:length(Dout))
    if (Dout(i) <= -2^(Nres-1)+1+3*stdabw)
        Nmin=i;
    elseif (Dout(i) < 2^(Nres-1)-1-3*stdabw)
        Nmax=i;
    end
end;
Nmax=Nmax+1;

Vin=Vin(Nmin:Nmax);
Dout=Dout(Nmin:Nmax);

p=polyfit(Vin,Dout,1)

V_LSBe=(RSL(p(1),p(2),2^(Nres-1)-1)-RSL(p(1),p(2),-2^(Nres-1)+1))/(2^Nres-2);
V_LSBi=(Vswing)/2^Nres

GE=V_LSBi/V_LSBe-1;
Offset=(-p(2)/p(1))-0;

Douttest=round(Dout(1));

Zeig=1;

for i=(1:length(Dout))
    if (Dout(i)>Douttest+0.5)
        Te(Zeig)=Vin(i);
        DoutDNL(Zeig)=Dout(i);
        Zeig=Zeig+1;
        Douttest=round(Dout(i));
    end
end

DoutvsDNL=DNL(Te,DoutDNL,V_LSBe);
size(DoutvsDNL)

% DNL Plot
figure(2);
Y_min=min(DoutvsDNL(:,2));
Y_max=max(DoutvsDNL(:,2));
Y_step=1;
X_min=min(DoutvsDNL(:,1));% X_min=Vref_m;
X_max=max(DoutvsDNL(:,1));% X_max=Vref_p;
plot(DoutvsDNL(:,1),DoutvsDNL(:,2),'o-');
axis([X_min X_max Y_min Y_max]); grid
title('Diff. Nichtlinearität (DNL) Cyclic plot');
xlabel('Dout [1]'); ylabel('DNL [LSB]');

sim_path='I:\Projekte\TRMPII\SOA_Cyclic_ADC_V1.C\Matlab\'; % Pfadangabe
für Ergebnisspeicherung
File_name_DNL='DNL_Cyclic_ADC_1_C_2.txt';
```

```
FID=fopen(sprintf('%s%s',sim_path,File_name_DNL),'w');      %Ausgabe des
Simulationsergebnisses in Datei
fprintf(FID,'Dout DNL\n');
for i=(1:length(DoutvsDNL(:,2)));
    fprintf(FID,'%f %f\n',DoutvsDNL(i,1),DoutvsDNL(i,2));
end;
fprintf(FID,'#SOA Cyclic ADC Berechnung DNL mit V_LSBe=%1.3e, GE=%1.3e,
Offset=%1.3e\n',V_LSBe, GE, Offset);
fprintf(FID,'DNLmin=%1.3f,
DNLmax=%1.3f\n',min(DoutvsDNL(:,2)),max(DoutvsDNL(:,2)));
fclose(FID);
```

### Quellcode C.5: Auswertung der Übertragungskennlinie in Matlab zur Bestimmung der Übergangspunkte und der DNL (Zyklischer ADU)

```
function out = DNL(Te,DoutDNL,V_LSBe)

% Berechnet DNL eines ADCs
% Te = Analoge Eingangsspannungen der Sprungschwellen

N_in_aktuell = 1;

while N_in_aktuell < (length(Te)),
    DNL_out(N_in_aktuell)=((Te(N_in_aktuell+1)-Te(N_in_aktuell))/V_LSBe)-1;
    Dout(N_in_aktuell)=round(DoutDNL(N_in_aktuell));
    N_in_aktuell=N_in_aktuell+1;
end;

out =[Dout;DNL_out]';
```

### Quellcode C.6: Matlab Programm zur Berechnung der DNL beim zyklischen ADU

```
function out = INL_b(Te,DoutINL,V_LSBe,p1,p2)

% Berechnet INL eines ADCs
% Te = Analoge Eingangsspannungen der Sprungschwellen
% Version 1b

N_in_aktuell = 1;

while N_in_aktuell < (length(Te)),
    Dout(N_in_aktuell)=round(DoutINL(N_in_aktuell));
    INL_out(N_in_aktuell)=(((Te(N_in_aktuell+1)+Te(N_in_aktuell))/2)-
RSL(p1,p2,Dout(N_in_aktuell)))/V_LSBe;
    N_in_aktuell=N_in_aktuell+1;
end;

out =[Dout;INL_out]';
```

### Quellcode C.7: Matlab Programm zur Berechnung der INL beim zyklischen ADU

Nach Bestimmung der Übergangspunkte, der Ausgleichsgeraden und dem LSB der Eingangsspannung, können DNL und INL mit den Matlab Auswertungen aus Quellcode C.6

und Quellcode C.7 berechnet werden. Da der zyklische ADU differentiell angelegt ist, fallen die beiden Auswerteprogramme etwas unterschiedlich zu den Versionen des SAR ADU aus.

## C.4 Parameter des realisierten zyklischen ADUs

Die allgemeinen Parameter des zyklischen ADUs für die Rauschberechnung sind in Tabelle C.1 aufgeführt. Der in der S&H-Stufe und der Multiplizierstufe verwendete Switched-Opamp besitzt die Parameter aus Tabelle C.2, und hat zudem eine 3dB-Eckfrequenz von 2,255 Hz. Weiterhin sind die Parameter des regenerativen Komparators in Tabelle C.3 aufgelistet.

$C$ / [pF]	1	$C_{ox}$ / [fF/ $\mu\text{m}^2$ ]	0,74
$B$ / [Bit]	11	$N_{cycle}$ / [1]	10
$U_{pp}$ / [V]	2	$\alpha$ (@ 16kHz)	0,96
$K_{fn}$ / [(As) $^2$ /cm $^2$ ]	$4 \cdot 10^{-31}$	$K_{fp}$ / [(As) $^2$ /cm $^2$ ]	$10^{-32}$

**Tabelle C.1: Parameter des zyklischen A/D-Umsetzers**

$g_{m1}$ / [ $\mu\text{S}$ ]	1,741	$g_{ds1}$ / [nS]	27,58
$g_{m5}$ / [ $\mu\text{S}$ ]	2,429	$g_{ds5}$ / [nS]	8,741
$g_{m7}$ / [ $\mu\text{S}$ ]	1,838	$g_{ds7}$ / [nS]	7,975
$g_{m9}, g_{m11}$ / [nS]	791,7	$g_{ds9}, g_{ds11}$ / [nS]	1,871
$g_{m13}$ / [ $\mu\text{S}$ ]	6,09	$g_{ds13}$ / [nS]	12,34
$g_{m15}$ / [ $\mu\text{S}$ ]	6,004	$g_{ds15}$ / [nS]	13,98
$W_1$ / [ $\mu\text{m}$ ]	400	$L_1$ / [ $\mu\text{m}$ ]	2
$W_5$ / [ $\mu\text{m}$ ]	12	$L_5$ / [ $\mu\text{m}$ ]	8
$W_7$ / [ $\mu\text{m}$ ]	4	$L_7$ / [ $\mu\text{m}$ ]	4
$W_9$ / [ $\mu\text{m}$ ]	4	$L_9$ / [ $\mu\text{m}$ ]	8
$W_{11}$ / [ $\mu\text{m}$ ]	4	$L_{11}$ / [ $\mu\text{m}$ ]	8
$C_{CSH}$ / [pF]	1,74	$C_{CX2}$ / [pF]	1,2

**Tabelle C.2: Parameter der Switched-Opamps im zyklischen ADU**

$g_{m1} / [\mu S]$	47,15	$g_{m3} / [\mu S]$	61,67
$g_{m7} / [\mu S]$	68,66	$C_{Lges} / [fF]$	91,72
$W_1 / [\mu m]$	32	$L_1 / [\mu m]$	2
$W_3 / [\mu m]$	16	$L_3 / [\mu m]$	2
$W_7 / [\mu m]$	48	$L_7 / [\mu m]$	2

**Tabelle C.3: Parameter des Komparators im zyklischen ADU**

## C.5 Berechnung der Rauschspannungsquadrate

Die Werte der in der Berechnung des Rauschens des realisierten zyklischen ADUs vorkommenden Rauschspannungsquadrate sind in Tabelle C.4 aufgelistet.

$\bar{u}_{naus,Schalter}^{-2} / [V^2]$	$4,633 \cdot 10^{-2}$	$\bar{u}_{nausVerstSH,th}^{-2} / [V^2]$	$8,285 \cdot 10^{-7}$
$\bar{u}_{nausVerstX2,th}^{-2} / [V^2]$	$6,693 \cdot 10^{-7}$	$\bar{u}_{nausVerstSH,1/f}^{-2} / [V^2]$	$1,936 \cdot 10^{-5}$
$\bar{u}_{nausVerstX2,1/f}^{-2} / [V^2]$	$2,272 \cdot 10^{-5}$	$\bar{u}_{nein,ges}^{-2} / [V^2]$	$4,422 \cdot 10^{-8}$

**Tabelle C.4: Rauschspannungsquadrate des zyklischen ADUs**

# Anhang D Ergänzungen zum C/U-Konverter

## D.1 Parameter des C/U-Konverters

Die allgemeinen Parameter des C/U-Konverters in der verwendeten 1,2  $\mu m$  Standard CMOS Technologie für die Rauschberechnung sind in Tabelle D.1 aufgeführt.

$C_{ox} / [\text{fF}/\mu\text{m}^2]$	0,71	$U_{pp} / [\text{V}]$	2
$f_s / [\text{kHz}]$	16	$f_{\text{sample}} / [\text{kHz}]$	1,455
$K_{fn} / [(\text{As})^2/\text{cm}^2]$	$4 \cdot 10^{-31}$	$K_{fp} / [(\text{As})^2/\text{cm}^2]$	$10^{-32}$
$W_1 / [\mu\text{m}]$	600	$L_1 / [\mu\text{m}]$	2
$W_7 / [\mu\text{m}]$	128	$L_7 / [\mu\text{m}]$	4
$W_9 / [\mu\text{m}]$	160	$L_9 / [\mu\text{m}]$	2
$W_{11} / [\mu\text{m}]$	80	$L_{11} / [\mu\text{m}]$	2
$W_{13} / [\mu\text{m}]$	54	$L_{13} / [\mu\text{m}]$	15
$g_{m1} / [\mu\text{S}]$	78,1	$g_{ds1} / [\text{nS}]$	615,4
$g_{m7} / [\mu\text{S}]$	103,4	$g_{ds7} / [\mu\text{S}]$	1,269
$g_{m9} / [\mu\text{S}]$	178,2	$g_{ds9} / [\mu\text{S}]$	2,286
$g_{m11} / [\mu\text{S}]$	172,2	$g_{ds11} / [\mu\text{S}]$	1,475
$g_{m13} / [\mu\text{S}]$	58,2	$g_{ds13} / [\mu\text{S}]$	3,274
$A_{Uh1} / [1]$	112,593	$A_{Uh2} / [1]$	290,943

Tabelle D.1: Parameter des C/U-Konverters

## D.2 Berechnung der Rauschspannungsquadrate

Die Werte der in der Berechnung des Rauschens des entworfenen C/U-Konverters vorkommenden Rauschspannungsquadrate sind in Tabelle D.2 gegeben

$\overline{u_{\text{nausSchalter}}}^2 / [\text{V}^2]$	$2,138 \cdot 10^{-8}$	$\overline{u_{\text{nausVerst, th}}}^2 / [\text{V}^2]$	$1,271 \cdot 10^{-10}$
$\overline{u_{\text{nausVerst, l/f}}}^2 / [\text{V}^2]$	$1,04 \cdot 10^{-10}$	$\overline{u_{\text{naus, ges}}}^2 / [\text{V}^2]$	$2,162 \cdot 10^{-8}$

Tabelle D.2: Rauschspannungsquadrate des C/U-Konverters

## Anhang E Nebenrechnungen

### E.1 Eingangsbezogenes Rauschen beim $\Sigma\Delta$ -Modulator

Der Zusammenhang von den Eingängen der Integratoren zum Eingang des  $\Sigma\Delta$ -Modulators lautet im z-Bereich:

$$U_{\text{nein}}(z) = U_{\text{nint } 1}(z) + U_{\text{nint } 2}(z) \cdot (z-1) + \dots + U_{\text{nint } M}(z) \cdot (z-1)^{M-1}. \quad (\text{Gl. E.1})$$

Die z-Übertragungsfunktion für den i-ten Integrator ergibt

$$H_{\text{nint } i}(z) = \frac{U_{\text{nein}}(z)}{U_{\text{nint } i}(z)} = (z-1)^{i-1}. \quad (\text{Gl. E.2})$$

Der Zusammenhang zwischen z-Bereich und Frequenzbereich ist durch

$$z = e^{j2\pi f \cdot T_s} \quad (\text{Gl. E.3})$$

gegeben. Für den Betrag von  $H_{\text{nint } i}(f)$  gilt damit

$$\begin{aligned} |H_{\text{nint } i}(f)| &= \sqrt{[H_{\text{nint } i}(f)]^2} = \sqrt{[H_{\text{nint } i}(f)] \cdot [H_{\text{nint } i}(f)]^*} \\ &= \left\{ \left( e^{j2\pi f \cdot T_s} - 1 \right) \cdot \left( e^{-j2\pi f \cdot T_s} - 1 \right) \right\}^{\frac{(i-1)}{2}} \\ &= \left\{ 2 - \left( e^{j2\pi f \cdot T_s} + e^{-j2\pi f \cdot T_s} \right) \right\}^{\frac{(i-1)}{2}} \\ &= \left\{ 2 - 2 \cdot \cos(2\pi f \cdot T_s) \right\}^{\frac{(i-1)}{2}} \\ &= \left\{ 4 \cdot [\sin(\pi f \cdot T_s)]^2 \right\}^{\frac{(i-1)}{2}} = \left\{ 2 \cdot \sin(\pi f \cdot T_s) \right\}^{(i-1)} \end{aligned} \quad (\text{Gl. E.4})$$

Da das herunter gemischte Rauschen im Basisband bis zur halben Taktfrequenz  $f_s$  gleich verteilt ist, liefert der i-te Integrator folgendes Rauschspannungsquadrat im Signalband (halbe Nyquistfrequenz  $f_N$ ) am Eingang des  $\Sigma\Delta$ -Modulators:

$$\bar{u}_{\text{neini}}^{-2} = \int_0^{\left(\frac{f_N}{2}\right)} |H_{\text{nint } i}(f)|^2 \cdot \frac{\bar{u}_{\text{nint } i}^{-2}}{\left(\frac{f_s}{2}\right)} \cdot df. \quad (\text{Gl. E.5})$$

Mit der Näherung  $\omega \cdot T_s / 2 \ll 1$  ist der Sinus ungefähr gleich seinem Argument. Aus (Gl. E.4) und (Gl. E.5) folgt mit der Taktfrequenz  $f_s$ , welche um das OSR höher als  $f_N$  ist:

$$\begin{aligned}
 \bar{u}_{\text{neini}}^{-2} &= \int_0^{\left(\frac{f_N}{2}\right)} \left| 2 \cdot \pi \cdot f \cdot T_S \right|^{2 \cdot (i-1)} \cdot \frac{\bar{u}_{\text{nint } i}^{-2}}{\left(\frac{f_S}{2}\right)} \cdot df \\
 &= \frac{\left( \frac{2 \cdot \pi}{\text{OSR} \cdot f_N} \right)^{(2 \cdot i - 2)}}{\left( \frac{\text{OSR} \cdot f_N}{2} \right)} \cdot \frac{1}{(2 \cdot i - 1)} \cdot \left( \frac{f_N}{2} \right)^{(2 \cdot i - 1)} \cdot \bar{u}_{\text{nint } i}^{-2} \quad (\text{Gl. E.6}) \\
 &= \frac{\pi^{(2 \cdot i - 2)} \cdot \bar{u}_{\text{nint } i}^{-2}}{\text{OSR}^{(2 \cdot i - 1)} \cdot (2 \cdot i - 1)}
 \end{aligned}$$

Das gesamte Rauschspannungsquadrat am Eingang des  $\Sigma\Delta$ -Modulators aufgrund des eingangsbezogenen Rauschens der Integratoren resultiert in

$$\bar{u}_{\text{nein}}^{-2} = \sum_{i=1}^M \bar{u}_{\text{neini}}^{-2} = \sum_{i=1}^M \frac{\pi^{(2 \cdot i - 2)} \cdot \bar{u}_{\text{nint } i}^{-2}}{\text{OSR}^{(2 \cdot i - 1)} \cdot (2 \cdot i - 1)} \quad (\text{Gl. E.7})$$